

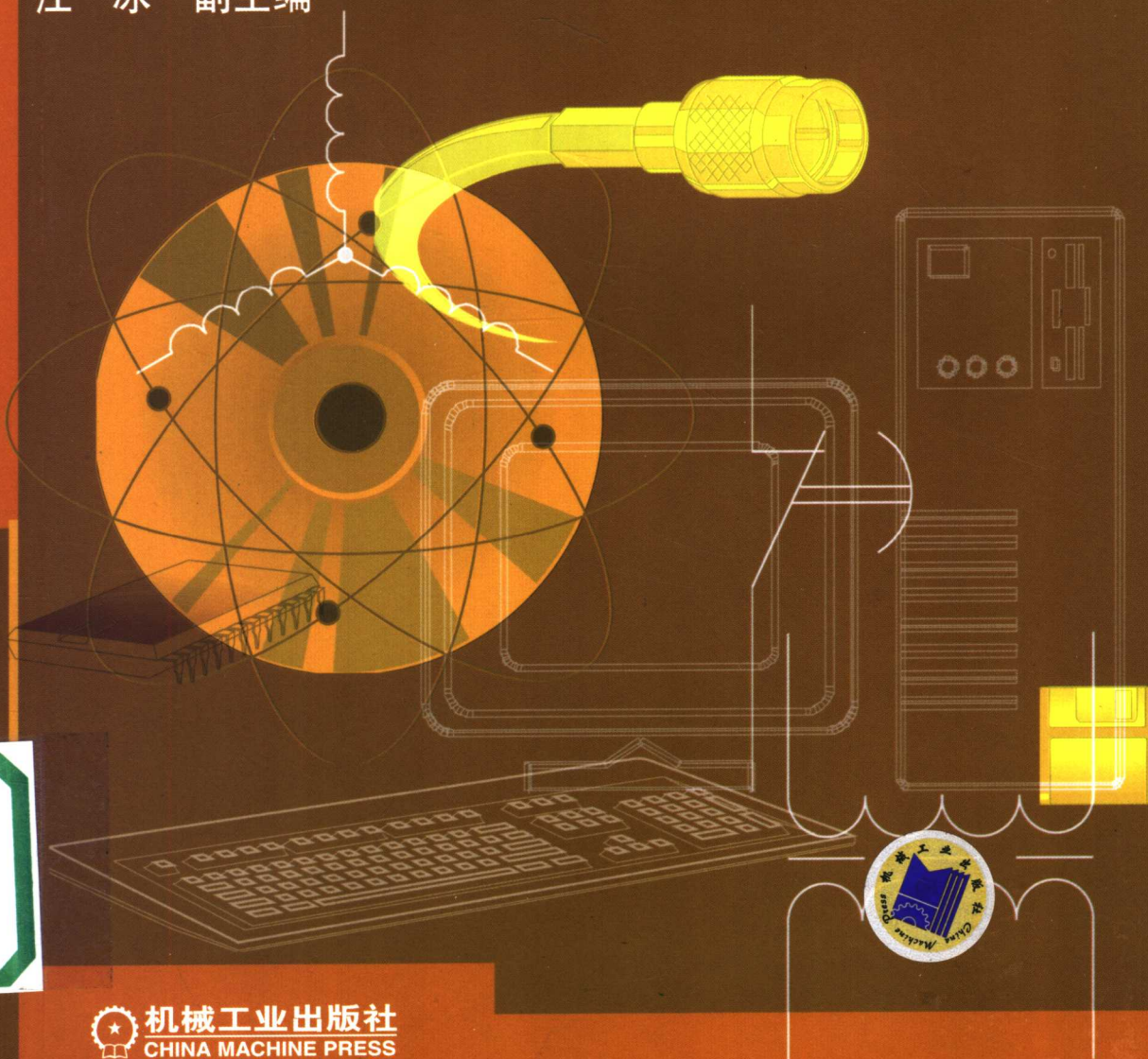
普通高等教育机电类规划教材

电子技术基础实验

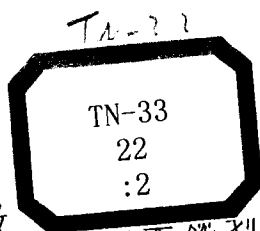
数字电子技术及其 EDA

下册

李庆武 主 编
江 冰 副主编



机械工业出版社
CHINA MACHINE PRESS



普通高等教 育部规划教材

电子技术基础实验 下册

——数字电子技术及其 EDA

主 编 李庆武
副主编 江 冰
参 编 张 卓 江 琴 梁瑞宇
主 审 皇甫正贤



机 械 工 业 出 版 社

本书从加强实践教学环节出发,分上、下两册。

上册“模拟电子技术及其 EDA”,较全面地介绍了模拟电子技术不同类型的实验。全书分四章,共 21 个实验,其中硬件实验 9 个、EWB 实验 8 个、在系统可编程模拟器件实验 4 个,电子技术综合设计课题 6 个。

下册“数字电子技术及其 EDA”,较全面的介绍了数字电子技术不同类型的实验。全书共分四章和 3 个附录。第一章数字逻辑电路硬件实验,包含 7 个实验;第二章数字逻辑电路仿真实验,包含 7 个实验;第三章在系统编程技术实践,包含 9 个实验;第四章数字电子技术课程设计,包含 6 个电路系统设计。附录 A EWB 软件使用简介,附录 B SE-3 型 ISP 数字系统实验箱使用说明,附录 C 常用逻辑符号对照表。

本书可作为高等院校计算机类、电子信息类、自动化工程类、电气工程类专业“电子技术基础”课程的实验教材,也可作为电气、电子信息类专业工程实践教科书,或者供从事自动化、电气工程、计算机控制的技术人员参考和学习。

机械工业出版社(北京市百万庄大街 22 号 邮政编码 100037)

责任编辑:高文龙 刘丽敏 版式设计:冉晓华 责任校对:王 欣

封面设计:姚 毅 责任印制:李 妍

北京中兴印刷有限公司印刷

2006 年 7 月第 1 版第 1 次印刷

169mm×239mm·7.75 印张·293 千字

定价:22.00 元(上、下册)

凡购本书,如有缺页、倒页、脱页,由本社发行部调换

本社购书热线电话(010) 68326294

编辑热线电话(010) 88379730

封面无防伪标均为盗版

前 言

数字电子技术是电类专业的一门重要技术基础课,课程的显著特点之一是它的实践性。因而实践教学就显得非常重要,它是将理论知识付诸于实践的重要手段。

随着科学技术的飞速发展,社会对人才的要求也越来越高,不仅要求具有丰富的知识,还要求其具有更强的知识运用能力及创新能力。以往在实验教学中,主要偏重于验证性实验内容,这种教学模式很难满足现代社会的需求。为适应新形势下教育的基本要求,为提高学生对知识的综合运用能力及创新能力,实验课的内容体系应突出:内容上的综合性、方法上的设计性和技术上的先进性。本教材具有如下特点:

1. 内容上的综合性

本教材系统地将数字电路的硬件实验、仿真实验、EDA技术和课程设计四部分优化整合,贯穿数字电子技术基础知识,突出多知识点的综合性。本教材不仅普遍适用于高校本科电气信息类专业的数字逻辑与系统、EDA技术和相应的课程设计实践类教学,而且对电气信息类工程技术人员也有很大的参考价值。

2. 方法上的设计性

本教材中涉及到的电路及其设计方法具有可操作性,注重电路设计、优化、实践的过程实现,对学生自己动手实践提供帮助。

3. 技术上的先进性

本实验教材在内容上引入数字在系统编程新技术,包括ABEL-HDL语言、VHDL语言的层次化设计方法和数字ISP器件。

本教材的编写目标是提高教师课堂和实践教学的效率与效果,在有限的学时内有更多的发挥余地。以学生为本,把培养学生学习能力、创新实践能力放在首位。

本教材的数字逻辑电路硬件实验部分,注重培养学生的实际动手能力;数字逻辑电路仿真实验部分,可使学生掌握仿真软件的使用,提高学习效率和效果;在系统编程技术实践分为两方面的内容,实验一~六是基于原理图和ABEL-HDL语言的电路设计,实验七~九是基于VHDL语言的电路设计,通过这部分内容的学习,使学生掌握电子电路现代化的设计方法;数字电子技术课程设计部分,可使学生加深对单元功能电路的理解,提高学生综合运用知识的能力。

考虑到本教材使用的仿真软件EWB和EDA设计软件中的逻辑符号与国标

IV

符号不一致，在附录 C 中专门作了对照说明。

本书第一章由李庆武和江琴编写，第二章和附录由李庆武编写，第三章由江冰和梁瑞宇编写，第四章由张卓编写。全书由李庆武和江冰负责统稿。

东南大学皇甫正贤教授主审了全稿，并提出了许多宝贵的意见，这些意见对提高本书质量十分重要，在此表示深切的谢意！

由于编者水平有限，书中难免有不妥和错误之处，敬请读者批评指正。

(电子技术基础实验)
授课教师使用意见反馈表

学 校	姓 名	职 称	使 用 量
邮编及电话	地 址	E-mail	授课时间

对使用教材的意见

● (字数) 篇幅

● 体系安排

● 内容选材

● 对教材立体化建设、多媒体开发的意见

● 重要修改意见

● 总体评价

责任编辑 高文龙

机械工业出版社高教分社

联系电话 010-88379730

地址 北京百万庄大街 22 号

谢谢!

100037

目 录

前言

第一章 数字逻辑电路硬件

实验 1

实验一 TTL 集成逻辑门的测试与使用 1

实验二 用 SSI 设计组合逻辑电路 6

实验三 数字函数发生器 9

实验四 MSI 时序功能器件的应用 12

实验五 脉冲信号产生电路 15

实验六 D/A、A/D 转换器 18

实验七 随机存取存储器及其应用 21

第二章 数字逻辑电路仿真

实验 23

实验一 Electronics Workbench 5.0 的使用 23

实验二 组合逻辑电路的设计与测试 24

实验三 逻辑电路的竞争冒险现象 26

实验四 触发器应用及同步时序电路的设计 27

实验五 计数显示电路 29

实验六 波形产生和整形电路 31

实验七 定时显示电路的设计和测试 33

第三章 在系统编程技术实践 35

实验一 多数表决器的设计 35

实验二 用 ABEL 语言设计 4 位全加器 40

实验三 用原理图和 ABEL 语言混合输入法设计 BCD 码全加器 44

实验四 四位乘法器 (并行法) 46

实验五 用层次化设计方法设计简易数字钟 47

实验六 多功能数字钟 52

实验七 计数器及 LED 译码器的设计 55

实验八 电子密码锁的设计 60

实验九 电梯控制器的设计 66

第四章 数字电子技术课程设计

设计 75

引言 数字电子技术课程设计基础及方法 75

实验一 多功能数字钟 78

实验二 交通灯控制器 80

实验三 简易数字频率计 83

实验四 洗衣机控制电路 87

实验五 4 人智力竞赛抢答器 89

附录 92

附录 A EWB 软件使用简介 92

附录 B SE—3 型 ISP 数字系统实验箱使用说明 110

附录 C 常用逻辑符号对照表 117

参考文献 119

第一章 数字逻辑电路硬件实验

实验一 TTL 集成逻辑门的测试与使用

一、实验目的

1. 掌握 TTL 集成与非门逻辑功能的测试方法。
2. 熟悉 TTL 与非门主要参数的测试方法。
3. 掌握通用实验箱的基本功能和使用方法。

二、实验原理

1. 与非门的逻辑功能

实验使用的 TTL 集成与非门 74LS20 是双 4 输入与非门。即在一块集成块内含有两个互相独立的与非门，每个与非门有 4 个输入端。芯片的引脚排列如图 1-1 所示。其逻辑功能可描述为：当输入端有一个或一个以上是低电平时，输出端为高电平；只有当输入端全部为高电平时，输出端才为低电平。逻辑表达式为： $Y = \overline{ABCD}$ 。逻辑符号如图 1-2 所示。

注意：TTL 电路对电源电压要求较严，电源电压 U_{CC} 只能允许在 $+5(1 \pm 10\%)$ 的范围内工作。超过 5.5V 将损坏器件；低于 4.5V 器件的逻辑功能将不正常。

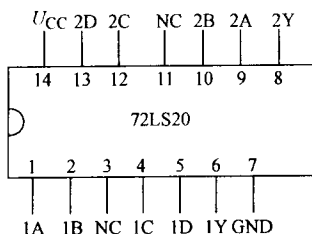


图 1-1 74LS20 引脚图

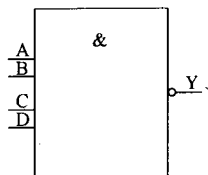


图 1-2 与非门逻辑符号

2. TTL 与非门的主要参数

(1) 低电平输出电源电流 I_{OCL} 和高电平输出电源电流 I_{OCH} 。

与非门处在不同的工作状态，电源提供的电流是不同的。低电平输出电源电流 I_{OCL} 是指：所有输入端悬空、输出端空载时，电源提供给器件的电流。高电平输出电源电流 I_{OCH} 则是指：每个门各有一个以上的输入端接地、输出端空载

时电源提供给器件的电流。电源电流的大小表示了器件静态功耗的大小, 通常 $I_{\text{CCL}} \gg I_{\text{OCH}}$ 。器件的最大功耗为

$$P_{\text{M}} = U_{\text{CC}} I_{\text{CCL}}$$

器件的平均功耗为

$$P_{\text{AV}} = \frac{1}{2} (I_{\text{CCL}} + I_{\text{OCH}}) U_{\text{CC}}$$

手册中提供的电源电流或功耗的值是指整个器件的数值。例如, 对于一个 74LS20 双 4 输入端与非门器件, 是指两个门的总的电源电流或功耗值。 I_{CCL} 的测试电路图如图 1-3a 所示。

(2) 低电平输入电流 I_{IL} 和高电平输入电流 I_{IH} 。

低电平输入电流 I_{IL} 是指: 被测输入端的输入电压 $U_{\text{IL}} \leq 0.4\text{V}$ 、其余输入端悬空, 输出端空载时, 由被测输入端流出的电流值。测试时, 把被测输入端接地, 可以测得与非门的输入短路电流 I_{IS} , 此值可近似地代替 I_{IL} 值。测试电路图如图 1-3b 所示。

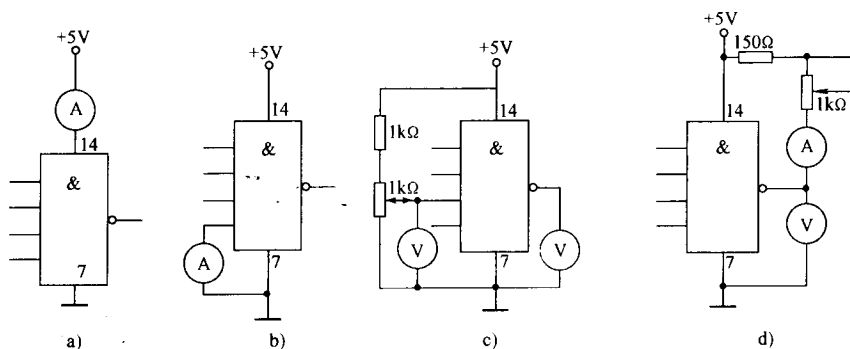


图 1-3 TTL 与非门静态参数测试电路图

高电平输入电流 I_{IH} 是指: 被测输入端接至 +5V 电源 (高电平), 其余输入端接地, 输出端空载时, 流入被测输入端的电流值。

(3) 电压传输特性 电压传输特性是反映输出电压 U_{O} 与输入电压 U_{i} 之间关系的特性曲线。测试电路图如图 1-3c 所示。从电压传输特性曲线上可以直接读得下述各参数值。

1) 输出高电平电压值 U_{OH} 是指与非门有一个以上输入端接地时的输出电压值。当输出端接有拉电流负载时, U_{OH} 值将下降。其允许的最小输出高电平电压值 $U_{\text{OH}(\min)} = 2.4\text{V}$ 。

2) 输出低电平电压值 U_{OL} 是指与非门的所有输入端悬空时的输出电压值。当输出端接有灌电流负载时, U_{OL} 值将升高。其允许的最大输出低电平电压值 $U_{\text{OL}(\max)} = 0.4\text{V}$ 。

3) 最小输入高电平电压值 $U_{IH(min)}$ 是指当输入电压大于此值时, 输出必为低电平。通常 $U_{IH(min)} < 2.0V$ 。

4) 最大输入低电平电压值 $U_{IL(max)}$ 是指当输入电压小于此值时, 输出必为高电平。通常 $U_{IL(max)} > 0.8V$ 。

5) 阈值电压值 U_T 是指与非门电压传输特性曲线上, $U_{OH(min)}$ 与 $U_{OL(max)}$ 间迅速变化段中点附近的输入电压值。当与非门工作在这一电压附近时, 输入信号的微小变化, 将导致电路状态的迅速改变。由于不同系列器件内部电路结构不同, 故 $U_T = 1.0 \sim 1.5V$ 不等。

6) 高电平直流噪声容限 U_{NH} 和低电平直流噪声容限 U_{NL} 。直流噪声容限是指在最坏条件下, 输入端所允许的输入电压变化的极限范围。它表示驱动门输出电压的极限值和负载门所要求的输入电压极限值之差。图 1-4 表示了两个与非门相连时直流噪声容限情况。由图可知, 高电平直流噪声容限为 $U_{NH} = U_{OH(min)} - U_{IH(min)}$, 低电平直流噪声容限为 $U_{NL} = U_{IL(max)} - U_{OL(max)}$, 通常 U_{NH} 与 U_{NL} 均应大于或等于 $400mV$ 。

(4) 扇出系数 N_O N_O 是指电路能驱动同类门电路的数目, 用以衡量电路的负载能力。

$$N_O = I_{OLMAX} / I_{IL}$$

N_O 的大小主要受输出低电平时输出端允许灌入的最大负载电流的限制。 U_{OL} 随负载电流增加而上升。

当 U_{OL} 上升到 $U_{OL(max)}$ 时, 此时的输出电流 I_{OL} 就是该电路允许的最大负载电流。式中的 I_{IL} 是同类门允许的最大输入电流值。

I_{OL} 的测试电路图如图 1-3d 所示。

(5) 平均传输延迟时间 t_{pd} 传输延迟时间是指输入波形边沿的 $0.5U_m$ 点至输出波形对应边沿的 $0.5U_m$ 点的时间间隔, 用以衡量门电路的开关速度。由于 TTL 门电路的延迟时间较小, 直接测量时对信号发生器和示波器的性能要求较高, 故采用测量由奇数个与非门组成的环形振荡器的振荡周期 T 来求得, 忽略了与非门的上升沿延迟时间和下降沿延迟时间的差别, 用平均传输延迟时间表示。其测试电路图如图 1-5 所示。

电路由 3 个与非门组成。其工作原理是: 假设电路在接通电源后某一瞬间, 电路中的 A 点为逻辑 1; 经过一级门的延迟时间, 使 B 点为逻辑 0; 又经过一级门的延迟时间, 使 C 点

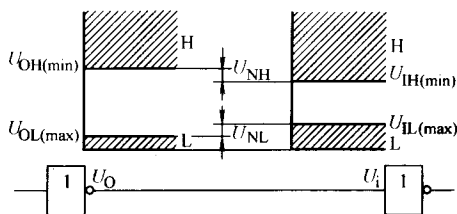


图 1-4 直流噪声容限情况

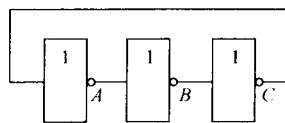


图 1-5 t_{pd} 测试电路

为逻辑 1；再经过一级门的延迟时间，使 A 点由原来的逻辑 1 变为逻辑 0。因此经过 3 级门的延迟时间，A 点电平发生了一次变化。同理可知，再经过 3 级门的延迟时间 A 点电平又重新回到逻辑 1。电路的其他各点电平也在不断地变化着，说明电路产生振荡。从分析可知：要使某一点发生一个周期的振荡，必须要经过 6 级门的延迟时间。因此平均传输延迟时间为

$$t_{pd} = \frac{T}{6}$$

实验使用的各种与非门的特性参数见表 1-1。表中提供的参数规范值是在一定的测试条件下获得的，仅供实验时参照。表中使用的 000、004、020 是 CT 系列数字尾数，表示品种代号。表中的电流值，以流进器件内部的取正值，流出器件的取负值。

表 1-1 000、004、020 参数规范值

参数名称	符号	单位	CT1000 系列		CT4000 系列		T000 系列	
高电平输出电源电流	I_{OH}	mA	000	≤ 8	000	≤ 1.6	T065	≤ 14
			004	≤ 12	004	≤ 2.4	T082	≤ 21
			020	≤ 4	020	≤ 0.8	T063	≤ 7
低电平输出电源电流	I_{OL}	mA	000	≤ 22	000	≤ 4.4	T065	≤ 28
			004	≤ 33	004	≤ 6.6	T082	≤ 42
			020	≤ 11	020	≤ 2.2	T063	≤ 14
高电平输入电流	I_{IH}	μA	≤ 40		≤ 20		≤ 50	
低电平输入电流	I_{IL}	mA	$\leq -1.6 $		$\leq -0.4 $		$\leq -1.6 $	
高电平输出电流	I_{OH}	μA	$\leq -400 $		$\leq -400 $		$\leq -400 $	
低电平输出电流	I_{OL}	mA	≥ 16		≥ 8		≥ 12.8	
输出高电平电压	U_{OH}	V	≥ 2.4		≥ 2.4		≥ 2.4	
输出低电平电压	U_{OL}	V	≤ 0.4		≤ 0.4		≤ 0.4	
平均延迟时间	t_{pd}	ns	≤ 18.5		≤ 15		$\leq 20(40)$	

逻辑门及其组成电路的静态逻辑功能测试，就是测试电路的真值表。电路的各输入端由数据开关提供 0 与 1 信号；在输出端，用由发光二极管组成的逻辑指示器显示，按真值表逐行进行测试，据测得的真值表可以对应地画出电路各输入、输出端的工作波形图。

三、预习与思考

1. 怎样用 4 输入端与非门实现 2 输入与非功能？
2. 怎样用 4 输入端与非门实现 8 输入与非功能？
3. 为什么说 TTL 与非门输入端是空相当于逻辑高电平？
4. 分别说明 TTL 与非门、或非门和与或非门的各输入端不使用时应如何处置？
5. 两个普通 TTL 与非门的输出端是否可以直接连在一起使用？为什么？

四、实验任务

1. 测试 74LS20 的主要参数

按图 1-3 所示电路进行各项测试，并将测试结果记入表 1-2 中。

表 1-2 测试结果

I_{CC}/mA	I_{IL}/mA	I_{OL}/mA	N_0	t_{pd}/ns

参照图 1-3c 所示电路逐点测试电压传输特性，并将结果记入表 1-3 中。

表 1-3 与非门电压传输特性记录

$U_i(\text{V})$	0.30	0.70	1.00				1.50	2.00
$U_o(\text{V})$					0.4			

2. 测量如图 1-6 所示各电路的逻辑功能，并根据测试结果，写出它们的逻辑表达式。

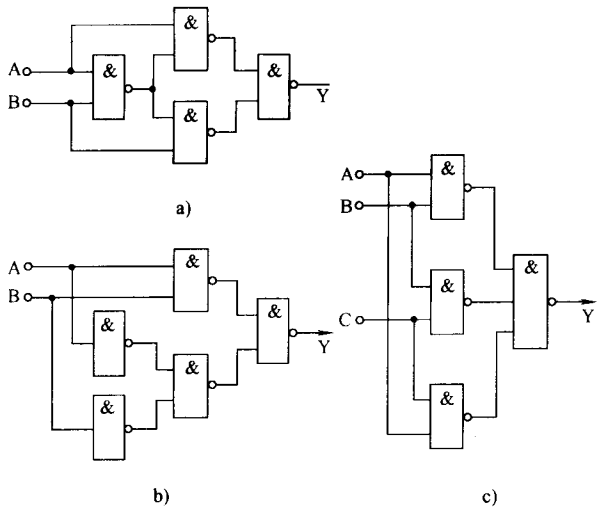


图 1-6 实验任务 3 逻辑图

3. 用与非门设计一个 4 人无弃权表决器，需要有三分之二以上赞成才获通过。检测所设计电路的逻辑功能。（选做内容）

五、实验设备与器材

- 1. 双踪示波器 1 台。
- 2. 晶体管直流稳压电源 1 台。

3. 数字电路实验箱。

4. 万用表及工具 1 套。

5. 主要器材：74LS20 3 只；电位器 ($1k\Omega$) 1 只，电阻若干。

六、实验报告要求

1. 画出完整的参数测试电路图，记录、整理测试数据，并对结果进行分析。

2. 在方格坐标纸上绘出实测的电压传输特性，贴在相应内容中，并从中读出各有关参数值。

3. 选做内容应有设计过程和设计逻辑图，记录实测的结果，并进行分析。

实验二 用 SSI 设计组合逻辑电路

一、实验目的

1. 掌握用 SSI 设计组合逻辑电路的方法及其调试。

2. 观察组合电路中的冒险现象。

二、实验原理

1. 组合逻辑电路设计的一般步骤

1) 根据任务要求分析确定逻辑变量并列成真值表。

2) 根据真值表写出逻辑函数表达式，并化简。

3) 选择标准器件实现简化后的逻辑函数。

逻辑化简是组合逻辑设计的关键步骤之一。为了使电路结构简单和使用器件较少，往往要求逻辑表达式尽可能简化。由于实际使用时要考虑电路的工作速度和稳定可靠等因素，在较复杂的电路中，还要求逻辑清晰易懂，所以最简设计不一定是最佳的。但一般说来，在保证速度、稳定可靠与逻辑清楚的前提下，尽量使用最少的器件，以降低成本，是逻辑设计者的任务。

2. 组合电路中的冒险

组合逻辑设计过程通常是在理想情况下进行的，即假定一切器件均没有延迟效应。但是实际上并非如此，信号通过任何导线或器件都需要一个响应时间。例如，一般中速 TTL 与非门的延迟时间为 $10 \sim 20\mu s$ 。而且由于制造工艺上的原因，各器件的延迟时间离散性很大，往往按照理想情况设计的逻辑电路，在实际工作中有可能产生错误输出。一个组合电路，在它的输入信号变化时，输出出现瞬时错误的现象称为组合电路的冒险现象。

组合电路的冒险现象有两种：一种称为函数冒险（即功能冒险）；另一种称为逻辑冒险。当电路有两个或两个以上变量同时发生变化时，变化过程中必然要经过一个或数个中间状态，如果这些中间状态的函数值与起始状态和终了状态的函数值不同，就会出现瞬时的错误信号。由于这种原因造成的冒险称为函数冒

险,显然这种冒险是函数本身固有的。逻辑冒险是指,在一个输入变量发生变化时,由于各传输通路的延迟时间不同导致输出出现瞬时错误。

本实验着重对逻辑冒险中的静态 0 型冒险进行研究(组合电路的静态 0 型冒险是指,在输出恒等于 1 的情况下,出现瞬时 0 输出的错误现象),分析和判断一个逻辑函数在其中一个输入变量(例如,设变量为 A)发生变化时,电路是否可能出现冒险现象,冒险现象的脉冲宽度是多少,如何消除冒险现象等。

3. 消除冒险情况的方法

竞争冒险的消除方法有多种,可根据情况加以选择。

1) 修改逻辑设计,增加校正项(冗余项)法。

对于函数的与或表达式,可以通过对除变量 A 以外的其他变量逐个进行赋值,若能使表达式出现 $F = A + \bar{A}$ 时,则表示电路在变量 A 发生变化时可能存在 0 型冒险。为了消除此冒险,一般可以增加校正项,该校正项就是被赋值各变量的乘积项。

对于函数的卡诺图,分析发现若有两个被圈项的圈相切,相切部分之间相应的变量发生变化时,函数可能存在冒险现象。消除该冒险现象的方法是增加把其两个相切部分圈在一起的一个圈项。

对于与非门组成的逻辑图中,若变量 A 通过两条传输路径(分别经过的门数量差为奇数)后,驱动同一个门电路,若在给其他各变量赋一定的值后,使这两条路径是畅通的,则 A 变量发生变化时,可能会出现冒险现象。假定每个门的平均传输延迟时间均为 $1t_{pd}$,那么两条路径经过门的数量差乘以 t_{pd} 就是冒险现象脉冲的可能宽度。显然被赋值的各变量乘积项,就是消除该冒险现象时应增加的校正项。

2) 在输入端引入封锁负脉冲或选通正脉冲法。由于组合电路的冒险现象是在输入信号变化过程中发生的,因此可以设法避开这一段时间,待电路稳定后再让电路正常输出。具体办法有:

在存在冒险现象的与非门的输入端引进封锁负脉冲。当输入信号变化时,将该门封锁(使门的输出为 1)。

在存在冒险现象的与非门的输入端引进选通正脉冲。选通脉冲不作用时,门的输出为 1;选通脉冲到来时,电路才有正常输出。显然,选通脉冲必须在电路稳定时才能出现。

3) 接入滤波电容法。由于冒险现象中出现的干扰脉冲宽度一般很窄,所以可在门的输出端并接一个几百皮法的滤波电容加以消除。但这样做将导致输出波形的边沿变坏,这在有些情况下是不允许的,因此只适用于对输出波形边沿要求不高的电路。

组合电路的冒险现象是一个重要的实际问题。当设计出一个组合逻辑电路

后, 首先应进行静态测试, 也就是按真值表依次改变输入变量, 测得相应的输出逻辑值, 验证其逻辑功能。再行动态测试, 观察是否存在冒险现象。然后根据不同情况分别采取消除冒险现象的措施。

三、预习与思考

1. 信号波形如图 1-7 所示, 这些干扰信号是否属冒险现象?
2. 设每个门的平均传输延迟时间是 $1t_{pd}$, 试画出图 1-8 电路在输入 A 信号发生变化时, 各点的工作波形。

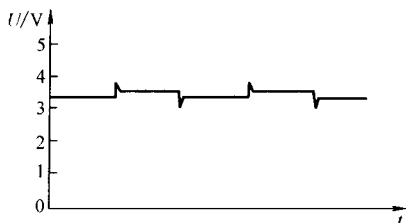


图 1-7 干扰信号波形图

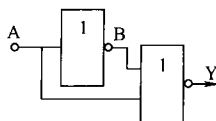


图 1-8 预习思考题 2 电路图

四、实验任务

1. 设计一个保险箱的数字代码锁, 该锁有规定的 4 位代码 A1、A2、A3、A4 的输入端和一个开箱钥匙孔信号 E 的输入端, 锁的代码由实验者自编 (例如 1011)。当用钥匙开箱时 ($E=1$), 如果输入代码符合该锁规定代码, 保险箱被打开 ($Z1=1$)。如果不符, 电路将发出报警信号 ($Z2=1$)。要求使用最少数量的与非门实现电路。检测并记录实验结果。

提示: 实验时锁被打开或报警可以分别使用两个发光二极管指示电路显示示意。除反变量需要使用的反相器外, 最简设计仅需使用 5 个与非门。

2. 使用与非门设计一个十字路口红绿灯控制电路, 检测所设计电路的功能, 列表记录测试结果。

图 1-9 是交叉路口的示意图, 图中 A、B 方向是主通道, C、D 方向是次通道, 在 A、B、C、D 4 道口附近各装有车辆传感器, 当有车辆出现时, 相应的传感器将输出信号 1。红绿灯点亮的规则如下:

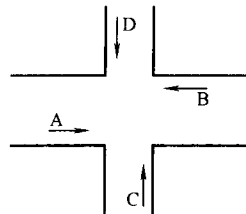


图 1-9 交叉路口的示意图

- (1) A、B 方向绿灯亮的条件

- ① A、B、C、D 均无传感信号。
- ② A、B 均有传感信号。
- ③ A 或 B 有传感信号, 而 C 和 D 不是全有传感信号。

- (2) C、D 方向绿灯亮的条件

① C、D均有传感信号，而A和B不是全有传感信号。

② C或D有传感信号，而A和B均无传感信号。

3. 人类有4种血型A、AB、B和O型，受血者和输血者血型必须符合图1-10所示的规定，否则有生命危险，现设计一个电路在受血者和输血者符合图中某一规定时输出为1，否则为0（选做内容）。

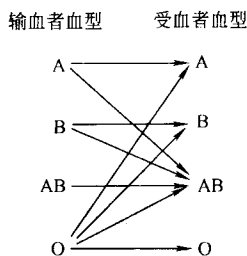


图 1-10 受血者和输血者血型示意图

提示：可用两个自变量的组合代表输血者血型，另外两个自变量的组合代表受血者血型，用输出变量代表是否符合规定。

五、实验设备与器材

1. 双踪示波器 1 台。
2. 脉冲信号发生器 1 台。
3. 晶体管直流稳压电源 1 台。
4. 数字电路实验箱。
5. 万用表及工具 1 套。
6. 主要器材：74LS20、74LS00、74LS86、74LS21 芯片各 1 片。

六、实验报告要求

1. 写出任务的设计过程（包括叙述有关设计技巧），画出设计电路图。
2. 记录检测结果，并进行分析。
3. 画出冒险现象的工作波形，必须标出零电压坐标轴。

实验三 数字函数发生器

一、实验目的

1. 掌握中规模集成数据选择器的逻辑功能和使用方法。
2. 学会利用数据选择器实现任意函数发生器。

二、实验原理

数据选择器又称多路开关或多路选择器，是一个多输入、单输出的组合逻辑电路。其功能类似于一个单刀多掷开关，在地址码的控制下，能从多路并行数据中选择某一路数据传送到公共的输出端输出。

1. 数据选择器的常见使用方法

数据选择器的用途很多，除具有将多个通道的信号传送到公共数据线上的基本用途外，还可实现逻辑函数、序列脉冲发生器、数据并—串转换等。

1) 函数发生器。数据选择器用作函数发生器时, 不需要用逻辑门来综合输出, 通常选择器的地址输入端数 n 要少于给定函数的变量 m , 故可以从 m 个变量中任选 n 个作为 MUX 的地址输入端。但要注意, 不同变量作为数据选择器的地址输入端时其结果也不同。输入端的表达式可由输出函数通过代数法或卡诺图法变换获得。例如, 用 4 选 1 数据选择器实现逻辑函数

$$F = \overline{A}\overline{B}\overline{C} + A\overline{B}\overline{C} + \overline{A}BC + AB\overline{C}$$

当选取 AB 作为地址输入端时,

$$F = \overline{A}\overline{B}(\overline{C} + C) + A\overline{B}\overline{C} + AB\overline{C} = \overline{A}\overline{B} \cdot 1 + A\overline{B}\overline{C} + AB\overline{C} + \overline{A}\overline{B} \cdot 0$$

将之与 4 选 1 MUX 的输出表达式相比较

$$Y = \overline{A}_1\overline{A}_0D_0 + \overline{A}_1A_0D_1 + A_1\overline{A}_0D_2 + A_1A_0D_3$$

可得, 数据输入端 D_0 、 D_1 、 D_2 、 D_3 依次取 0、1、C、 $\overline{C}$ 。画出逻辑电路图, 如图 1-11 所示。

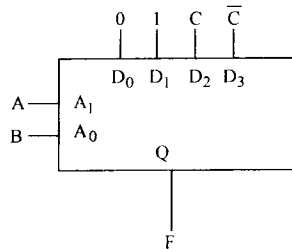


图 1-11 逻辑图

2) 序列信号发生器。在实际应用(如数据传输中信号的校验)中, 输出往往需要按一定节拍和规律循环变化, 即输出一个序列脉冲。如, 在 8s 内, 某系统的输出端依次输出 11001011, 每秒变化一次, 这就是一个脉冲序列发生器。

用计数器配合数据选择器可以产生序列脉冲。结构简单, 序列更改方便。具体实现: 将计数器的输出连接到 MUX 的地址输入端, 使得过一个节拍(即在计数脉冲控制下), MUX 的选择通道变化一次; 根据目标序列, 事先在数据选择器的数据输入端预置数, 使 MUX 的输出按照此节拍和规律变化, 最终输出所需的序列脉冲。

3) 数据的并一串转换。数据的传输分为并行和串行两类。简单地说, 并行指多位数据同时传输; 串行指多位数据依次传输。数据选择器有多路并行输入信号, 当地址输入端依次变化时, 并行数据依次传到输出端, 转换成串行数据输出。

2. 常用集成数据选择器及其功能

1) 8 选 1 数据选择器 74LS151。74LS151 的逻辑符号如图 1-12 所示, 其中 $A_2 \sim A_0$ 是地址输入端; $\overline{EN}$ 为使能控制端, 低电平有效; 当 $\overline{EN} = 1$ 时, 不论 $A_2 \sim A_0$ 为何状态, 均无输出 ($Y = 0$), 多路开关处于禁止状态; 当 $\overline{EN} = 0$ 时, 多路开关正常工作, 根据 $A_2 \sim A_0$ 状态选

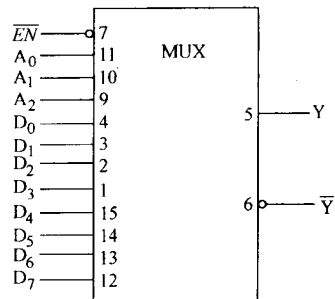


图 1-12 数据选择器 74LS151 逻辑符号