

集成电路设计宝典

李桂宏 谢世健 编著



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

TN402

15

集成电路设计宝典

李桂宏 谢世健 编著

電子工業出版社

Publishing House of Electronics Industry

北京 • BEIJING

内 容 简 介

本书全面系统地介绍 CMOS 及其兼容集成电路的设计理论和技术。全书共分 11 章, 主要包括 CMOS 电路设计中常用的方程、CMOS 电路基本单元的优化设计、逻辑控制单元、触发器、计数器、存储电路、CMOS 模拟电路及数模兼容电路、BiCMOS 兼容工艺与电路、低压与高压兼容电路、可靠性设计和可测性设计。本书坚持理论联系实际的原则, 不仅深入地分析各种电路的工作原理, 阐明电路中各个器件的地位和作用, 而且结合具体的案例给出了各个器件参数的设计计算方法。

本书不仅是正在从事集成电路工作的技术人员必备的工具书, 而且也是从事电路设计及相关专业技术人员必备的参考书, 同时也可供高等院校微电子及相关专业的教师、研究生和本科生作为教学参考书。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有, 侵权必究。

图书在版编目 (CIP) 数据

集成电路设计宝典 / 李桂宏, 谢世健编著. —北京: 电子工业出版社, 2006.4

ISBN 7-121-02372-5

I. 集… II. ①李… ②谢… III. 集成电路—电路设计 IV.TN402

中国版本图书馆 CIP 数据核字 (2006) 第 018857 号

责任编辑: 吴金生

印 刷: 北京东光印刷厂

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

经 销: 各地新华书店

开 本: 787×1092 1/16 印张: 26.5 字数: 678 千字

印 次: 2006 年 4 月第 1 次印刷

印 数: 5 000 册 定价: 60.00 元

凡购买电子工业出版社的图书, 如有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系。
联系电话: (010) 68279077。质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

前 言

当前人类已进入信息化的社会,信息技术已渗透到人们社会生活和经济活动的各个领域,改变着人们的生产方式和生活方式。作为信息技术基础之一的集成电路(IC)技术,其技术水平和生产规模已成为衡量一个国家综合实力——经济发展、科技进步和国防力量的重要标志之一。

集成电路技术是资金密集和知识密集的高新技术,从它诞生之日起就成为世界各工业发达国家和部分发展中国家竞相发展的核心技术的重要组成部分。我国也不例外,随着我国近年来经济的腾飞,信息产业已成为国民经济的支柱产业,集成电路技术也步入了快速发展的轨道。国家不仅在政策上给予支持,而且在资金上加以扶植,制定发展计划,培养科技人才,建立工业园区,加强开发研究。根据中国半导体行业协会的统计,截止到2005年底,国内从事集成电路设计的单位已经超过500家,这其中不仅有科研院所和高等学校,而且也有国有大中型企业和民营企业;从业人员超过2万人,行业收入超过100亿元人民币。未来5年内,我国的集成电路产业规模可能会超过日本、韩国和欧共体,位居全球第二位。按照目前普遍认可的估计,集成电路设计人才的需求总量在10万至20万之间。而通过高等院校和科研院所培养的人才远远不能满足产业发展的需要,相当比例的集成电路设计人才将不得不依靠企业本身自主培养。

无锡市华方微电子有限公司是专门从事半导体集成电路研究开发的民营股份制企业,首批通过国家集成电路设计企业认定。几年来,华方微电子有限公司在产品研究和开发的同时,自主培养了数十名集成电路设计的专门人才,除了在CMOS和BiCMOS兼容电路开发方面取得了许多最新成果外,还积累了不少人才培养的经验。在此基础上我们写成了本书,本书的部分内容就是取自公司内部的产品设计文件。因此,本书的作者均为多年从事实际产品研发的参与者。特别是谢世健教授,他在东南大学长期从事微电子技术的教学和科研工作,为华方微电子有限公司研发产品和培养人才,积累了丰富的经验,在CMOS电路设计和兼容技术方面造诣颇深。

CMOS技术具有高集成度、高速度、低功耗和低成本等优点,已成为超大规模集成电路的主流技术,也成为数字与模拟、CMOS和双极型及低压与高压等各种兼容电路的核心技术。因此,本书重点介绍CMOS及其兼容集成电路的设计理论和方法。全书共11章:第1章简要地给出设计中常用的方程,为以下几章打下设计的理论基础;第2章介绍CMOS基本单元的优化设计,讨论影响CMOS电路性能的关键因素和提高CMOS电路性能的基本方法;第3章至第6章介绍基本单元电路,包括逻辑控制单元、触发器、计数器和存储电路的设计方法;第7章介绍CMOS模拟电路及数模兼容电路,主要介绍CMOS数模电路中常见的模拟电路单元及相关电路的设计方法;第8章讨论BiCMOS兼容工艺和电路,主要讨论BiCMOS如何综合了双极型和CMOS各自的优点,在器件级、功能级及器件结构级做到完全兼容;第9章介绍低压与高压兼容的电路,即智能功率集成电路,主要讨论高压功率器件技术、高压MOS管原理和结构设计等;第10章讲述可靠性设计,即从电路设计、版图设计和工艺设计三个方面讨论集成电路的可靠性问题;第11章介绍可测性设计,重点介绍可测性设计常用的几种方

法。本书坚持理论联系实际的原则,不仅深入地分析各种电路的工作原理,阐明电路中各个器件的地位和作用,而且结合具体的案例给出各个器件参数的设计计算方法。因此,本书不仅是正在从事集成电路工作的技术人员必备的工具书,而且也是从事电路设计及相关专业技术人员必备的参考书,同时也可供高等院校微电子及相关专业的教师、研究生和本科生作为教学参考书。

本书中采用的外文符号较多,不仅有参数符号,还有多种逻辑符号和英文缩写。为使读者阅读方便,在本书的文前给出了本书常用符号一览表。

本书初稿第1章至第5章和第7章至第10章由谢世健编写,第6章由张怀东编写,第11章由刘明峰编写。全书由李桂宏提出构思,统一整理和修改。秦秀珍、沈丽梅、薛静蓉、周春燕、申萍萍等参与了文字图表的录排和绘制工作。

东南大学茅盘松教授对第7章提出了宝贵的修改意见。全书由东南大学张安康教授主审。电子工业出版社原副社长吴金生编审、江苏科技出版社原副社长吴茂林和编审许顺生对本书的出版提出了许多建设性的意见。在此,对所有关心和支持本书出版的朋友表示衷心的感谢。

由于编者水平有限,书中难免存在一些错误和疏漏之处,殷切希望广大读者批评指正。我们的电子邮件地址为 lgh@hopefind.com(李桂宏的)和 shijianxie05@yahoo.com(谢世健的)。

作 者

2006年2月

本书常用符号一览表

参 数 符 号

A_C	电容面积
A_{cell}	元胞面积
A_{ch}	元胞中漏极电流通道区的面积
A_{eff}	单位面积的有效沟道宽度
A_V	MOS 管的电压增益
A_{VE}	nMOS 管小信号电压增益
C	电容
C_C	补偿电容
C_d	MOS 管单位面积漏的 PN 结势垒电容
C_{dg}	栅—漏覆盖电容 (密勒电容)
C_{dn}	nMOS 管单位面积漏的 PN 结势垒电容
C_{dp}	pMOS 管单位面积漏的 PN 结势垒电容
C_F	CMOS 传输门下降时间与阈值电压和导电因子相关的参数
C_{FOX}	单位面积场氧化层电容
C_g	MOS 管栅输入电容
C_i	输入电容
C_{iG}	MOS 管单位沟道宽度的输入电容
$C_{(iG)F}$	倒相器的单位沟道宽度输入电容
$C_{(iG)HF}$	或非门的单位沟道宽度输入电容
$C_{(iG)TG}$	传输门的单位沟道宽度输入电容
$C_{(iG)YF}$	与非门的单位沟道宽度输入电容
C_{j0}	零偏压时的 PN 结势垒电容
C_{jn0}	零偏压时 nMOS 管的 PN 结势垒电容
C_{jp0}	零偏压时 pMOS 管的 PN 结势垒电容
C_L	MOS 管的负载电容
CMV^+	正向共模输入电压
CMV^-	负向共模输入电压
C_o	输出电容
C_{oD}	MOS 管单位沟道宽度的输出电容
$C_{(oD)F}$	倒相器的单位沟道宽度输出电容
$C_{(oD)HF}$	或非门的单位沟道宽度输出电容
$C_{(oD)TG}$	传输门的单位沟道宽度输出电容

$C_{(oD)YF}$	与非门的单位沟道宽度输出电容
C_{ox}	单位面积二氧化硅栅电容
C_R	CMOS 传输门上升时间与阈值电压和导电因子相关的参数
C_Z	杂散电容
d	PN 结耗尽层宽度
d_D	漏结结深
d_{MC}	主结到环结间电场重叠处的间距
d_n	LDMOS 管漏衬的垂直间距
E_B	半导体体内电场强度
E_C	雪崩击穿时的临界电场强度
E_{Cx}	MOS 管栅上的临界垂直电场
E_{Cy}	载流子漂移速度饱和时的临界电场
E_f	终端结的电场强度
E_g	禁带宽度
E_{max}	临界的最大电场强度
E_P	沟道夹断点的横向电场
E_S	半导体表面的电场强度
E_x	MOS 管栅上的垂直电场
E_y	MOS 管横向电场
F	MOS 管的电荷分配因子
f	工作频率
f_{max}	最高时钟频率
f_{P1}	运算放大器的第一极点频率
f_{P2}	运算放大器的第二（最高）极点频率
f_T	运算放大器的单位增益带宽
f_Z	运算放大器的零点频率
g_{ds}	MOS 管饱和区的输出电导
$g_{(ds)dep}$	耗尽型 MOS 管的输出电导
g_{dsn}	nMOS 管饱和区的输出电导
g_{dsp}	pMOS 管饱和区的输出电导
g_m	MOS 管跨导
g_{mb}	MOS 管衬底跨导
g_{mn}	nMOS 管的饱和区跨导
g_{mp}	pMOS 管的饱和区跨导
I_B	双极型管的基极电流
I_{BS}	双极型管临界饱和的基极电流
I_C	双极型管集电极电流
I_{C0}	双极型管反向饱和泄漏电流
I_D	MOS 管漏极电流
I_{DS}	MOS 管源漏电流

I_{DSat}	MOS 管的饱和电流
I_{DSn}	nMOS 管的源漏电流
I_{DSp}	pMOS 管的源漏电流
I_{E}	双极型管发射极电流
I_{g}	引发晶闸管触发电流
I_{o}	输出电流（有时也表示成 I_{out} ）
I_{R}	参考（基准）电流
I_{RF}	偏置栅高压管漂移区电阻层电流
I_{RP}	偏置栅高压管漂移区夹断点电流
I_{ST}	MOS 管的亚阈值电流
I_{sub}	衬底电流
I_0	差分放大器的工作电流
K	MOS 管的导电因子
k	玻尔兹曼常数
K'_{n}	nMOS 管的本征导电因子
K_{n}	nMOS 管的导电因子
K_{nef}	nMOS 管的有效导电因子
K_{ox}	介质层的击穿强度
K'_{p}	pMOS 管的本征导电因子
K_{p}	pMOS 管的导电因子
K_{pef}	pMOS 管的有效导电因子
L	考虑横向扩散后的 MOS 管有效沟道长度
L_0	版图上的 MOS 管沟道长度
L_{C}	偏置栅高压管的沟道长度
L_{CF}	双极型高压管集电结到集电极的间距
L_{D}	偏置栅高压管漏漂移区长度
L_{d}	MOS 管漏的扩散长度
L_{dg}	MOS 管栅漏的覆盖长度
L_{dn}	nMOS 管漏的扩散长度
L_{dp}	pMOS 管漏的扩散长度
L_{ef}	考虑沟长调制效应后的 MOS 管有效沟道长度
L_{FP}	DMOS 管的场极板长度
L_{R}	漂移区长度
L_{S}	源连接区长度
L_{Sf}	偏置栅高压管源场极板长度
M	雪崩倍增因子
M^*_{α}	寄生双极型管的载流子倍增因子
M_{c}	MOS 管输出电容和输入电容之比
M_{F}	CMOS 传输门与阈值电压有关的参数
M_{L}	长沟道指标

M_n	CMOS 倒相器与工作条件、材料物理和工艺有关的参数
M_V	速度优值
N_A	受主杂质的浓度 (P 型衬底的掺杂浓度)
N_{Amax}	DMOS 管沟道区的最大掺杂浓度
N_B	衬底掺杂浓度
N_D	施主杂质的浓度 (N 型衬底的掺杂浓度)
N_{DS}	偏置栅高压管漂移区的注入剂量
N_{eff}	总沟道电荷系数
n_i	本征载流子浓度
N_R	偏置栅高压管漂移区的平均掺杂浓度
P_A	CMOS 倒相器附加功耗
P_T	CMOS 倒相器动态功耗
q	电子电荷
Q_B	耗尽层的电荷密度
Q_k	CMOS 传输门与工作条件、材料物理和工艺有关的参数
Q_{SS}	氧化层中的界面态密度
R	电阻
R_{11}	方块电阻
R_a	DMOS 管中耗尽型 MOS 管的沟道电阻
R_B	衬底电阻
r_b	P 阱的横向电阻
R_C	双极型高压管漂移区等效电阻
R_{ch}	偏置栅高压管沟道区的导通电阻
R_D	双极型高压管集电区漂移区电阻
R_d	偏置栅高压管漂移区的导通电阻
r_{ds}	MOS 管饱和区的输出阻抗
R_E	外延层电阻
r_e	双极型管的发射极等效电阻
R_j	DMOS 管中 JFET 的导通电阻
r_j	主结结深
R_N	双极型高压管发射区漂移区电阻
r_n	nMOS 管的导通电阻
R_o	输出电阻
r_o	输出电阻
R_{on}	偏置栅和 DMOS 高压管的导通电阻
r_{on}	MOS 管线性区的导通电阻、CMOS 传输门的导通电阻
r_p	pMOS 管的导通电阻
R_S	源极寄生电阻
S	MOS 管亚阈值斜率
S_L	MOS 管源漏区的周长

S_R	转换速率
T_{CP}	时钟脉冲的时钟周期
t_{cp}	时钟脉冲的平均传输时间
T_D	非阶跃脉冲条件下的偶延迟时间
t_D	输入波形稳定值的 50% 到相应输出波形稳定值的 50% 所需时间, 称延迟时间
T_{DCP}	钟控门的偶延迟时间
T_{DF}	倒相器的偶延迟时间
T_{DTG}	传输门的偶延迟时间
T_{DYF}	与非门的偶延迟时间
t_F	倒相器的平均传输时间
t_f	输出电平从工作电压的 90% 下降到 10% 所需要的时间, 称下降时间
t_{FOX}	场氧化层厚度
t_{HF}	或非门的平均传输时间
t_{ox}	栅氧化层厚度
t_{pd}	平均传输延迟时间
t_{PHL}	由高电平到低电平的平均传输时间, 即输入上升边的 50% 到输出下降边的 50% 的平均延迟时间
t_{PLH}	由低电平到高电平的平均传输时间, 即输入下降边的 50% 到输出上升边的 50% 的平均延迟时间
t_r	输出电平从工作电压的 10% 上升到 90% 所需要的时间, 称上升时间
V^+	前沿触发电平
V^-	后沿触发电平
V_A	厄里电压
V_B	上门限电平
V_{BE}	双极型管的基极—发射极偏压
V_{bi}	PN 结接触电位差 (自建电势)
V_{BR}	击穿电压
$V_{(BR)D}$	偏置栅 MOS 管漂移区漏端的雪崩击穿电压
$V_{(BR)DS}$	MOS 管源漏击穿电压
V_{BS}	MOS 管的衬底偏压, 衬底电阻上的电压降
V_{CC}	双极型电路的电源电压
V_{CE}	双极型管集电极—发射极偏压
V_D	MOS 管漏极电位
V_{DD}	MOS 管电路的电源电压
V_{DG}	MOS 管的漏栅电压
V_{DGn}	nMOS 管的漏栅电压
V_{DGp}	pMOS 管的漏栅电压
V_{DS}	MOS 管的源漏电压
V_{DSat}	MOS 管进入饱和区的饱和电压
V_{DSn}	nMOS 管的源漏电压

V_{DSp}	pMOS 管的源漏电压
V_{EE}	负向的地电位
V_{F}	PN 结正向压降
V_{FB}	MOS 管平带电压
V_{FP}	场极板的电压
V_{G}	环结电位
V_{GC}	偏置栅高压管临界栅电压
V_{GS}	MOS 管栅源电压
V_{HNM}	输入高电平噪声容限
V_{ID}	差分放大器的输入差值电压
V_{IH}	输入高电平
V_{IL}	输入低电平
V_{i}	输入电压
V_{it}	CMOS 倒相器的转换电平（阈值电压）
V_{L}	下门限电平
V_{LNM}	输入低电平噪声容限
V_{M}	偏置栅 MOS 管沟道区和漂移区交界处的电位
V_{max}^{+}	正向的最大输出摆幅
V_{max}^{-}	负向的最大输出摆幅
V_{MP}	平面结击穿时的耗尽层宽度
V_{ng}	均方根等效噪声电压
V_{o}	输出电压
V_{oH}	输出高电平
V_{oL}	输出低电平
V_{OS}	输入失调电压
V_{ox}	介质层电压降
V_{P}	偏置栅高压管漂移区的夹断电压
V_{PT}	沟道穿通电压
V_{R}	外加反向电压
V_{RA}	参考电压
V_{Ref}	基准电压
V_{S}	源极寄生电阻压降
V_{T}	MOS 管的阈值电压
V_{t}	热电势
V_{TD}	耗尽型 MOS 管的夹断电压
V_{T0}	MOS 管衬底偏压 $V_{\text{BS}}=0$ 时的阈值电压
V_{Tn}	nMOS 管的阈值电压
V_{Tp}	pMOS 管的阈值电压
W	MOS 管的沟道宽度
W_{B}	外延层厚度

W_D	漏的耗尽层宽度
W_i	主结与环结之间的掩膜间距
W_m	雪崩击穿时的耗尽层宽度
W_n	nMOS 管沟道宽度
W_p	pMOS 管沟道宽度
W_R	偏置栅高压管漂移区宽度
W_S	MOS 管源的耗尽层宽度
X_D	与掺杂材料有关的常数, 其值为 $\sqrt{\frac{2\epsilon_0\epsilon_s}{qN_A}}$
X_d	感应结空间电荷层宽度
X_{dm}	强反型时的最大耗尽层宽度
X_j	MOS 管源漏区的结深
X_{ji}	MOS 管源漏横向扩散宽度
α	按比例缩小因子, 宽长比增大倍率
α_D	与 MOS 管 PN 结深和漏耗尽层宽度有关的参数
α_n	NPN 管共基极电流放大系数
α_p	PNP 管共基极电流放大系数
α_S	与 MOS 管 PN 结深和源耗尽层宽度有关的参数
α_T	阈值电压与电源电压之比
α_{Tn}	nMOS 管的阈值电压与电源电压之比
α_{Tp}	pMOS 管的阈值电压与电源电压之比
β	pMOS 管与 nMOS 管导电因子之比, 即 $\beta = K_p / K_n$
β_{ef}	pMOS 管与 nMOS 管有效导电因子之比
β_n	nMOS 管的宽长比, 即 $\beta_n = (W/L)_n$
β_n^*	两个 nMOS 管的宽长比之比
β_{npn}	NPN 管共发射极电流放大系数
β_p	pMOS 管的宽长比, 即 $\beta_p = (W/L)_p$
β_p^*	两个 pMOS 管的宽长比之比
β_{pnp}	PNP 管共发射极电流放大系数
ΔL	MOS 管沟道夹断点到漏端之间的耗尽区长度
δ	MOS 管窄沟道效应中的经验参数
δ_1	垂直电场和横向电场对迁移率的修正系数
δ_2	衬底掺杂浓度对迁移率的修正系数
δ_3	源寄生电阻对导电因子的修正系数
δ_4	衬底偏压对饱和电流的修正系数
δ_5	速度饱和对沟道长度的修正系数
δ_6	沟长调制效应对输出电导的修正系数
ϵ_0	真空介电常数
ϵ_{ox}	二氧化硅的介电常数
ϵ_s	硅的介电常数

ϕ_F	费米势
ϕ_{MS}	铝与半导体衬底的功函数差
ϕ_{SS}	多晶硅栅与半导体衬底的功函数差
γ	MOS 管的体效应因子
η	MOS 管的衬底偏压引起阈值电压的变化率
η_D	主结结深与平面结击穿时的耗尽层宽度之比
η_E	最大电场强度与终端结电场强度之比
λ	MOS 管沟道长度调制系数, 未定常数
λ_n	nMOS 管沟长调制系数
λ_p	pMOS 管沟长调制系数
μ_B	MOS 管体内电子迁移率
μ_{ef}	MOS 管有效迁移率
μ_n	nMOS 管电子迁移率
μ_{nef}	电子有效迁移率
μ_{n0}	低电场下的电子迁移率
μ_{pef}	空穴有效迁移率
ρ	电阻率
τ	RC 时间常数
τ_n	nMOS 管的时间常数
τ_p	pMOS 管的时间常数
ω_{P1}	运算放大器的第一极点角频率
ω_{P2}	运算放大器的最高(第二)极点角频率
ω_T	运算放大器的单位增益带宽角频率
ω_Z	运算放大器的零点角频率

逻辑符号和英文缩写

A	输入值
ASIC	专用集成电路
B	输入值
BCD	双极—CMOS—DMOS 兼容技术
BL	位线
C	加法器输出端, 输出值
C_n	加法器进位输入端
CE	恒定电场理论
CP	时钟脉冲
CTG	时钟控制倒相器 (C^2 MOS 或钟控门)
CV	恒定电压理论
D	触发器输入端, 二极管, 输入值
DFF	D 型触发器

DL	数据线
DR	带有复位的 D 触发器
DRAM	动态随机存取存储器
E	输入值
EN	使能控制端
EPROM	可擦除可编程只读存储器
E ² PROM	电可擦除可编程只读存储器
ESD	静电感应
F	倒相器, 输入值
HF	或非门
HYF	或与非门
I _c	进位和借位输入
LS	锁存控制端
M	代表加符号
$\overline{M}$	代表减符号
MX21	二选一电路
O _c	进位和借位输出
PE	预置控制端
PROM	可编程只读存储器
Q	触发器输出值的正量
$\overline{Q}$ (Q _n)	触发器输出值的反量
QCV	准恒定电压理论
R	触发器复位
RBI	清零信号
ROM	只读存储器
R-S	R-S 触发器
S	触发器置位, 加法器和数输出值, 选择器选择控制端
S _n	加法器有进位的和数输出值
SA	信号放大控制端
SCR	晶闸管 (可控硅)
SE	信号放大使能端, 测试使能端
SI	测试输入端
SRAM	静态随机存取存储器
T	T 型触发器
TG	传输门
WL	字线
XNOR	同或门 (异或非门)
XOR	异或门
Y	逻辑门的输出值
YF	与非门
YHF	与或非门

目 录

第 1 章 设计中常用的方程	1
1.1 MOS 管的电流方程	1
1.1.1 简单的电流方程	1
1.1.2 饱和区的沟道长度调制效应	2
1.1.3 小尺寸 MOS 管的电流方程	3
1.2 CMOS 倒相器的交、直流特性	10
1.2.1 CMOS 倒相器的直流特性	10
1.2.2 CMOS 倒相器的瞬态特性	11
1.3 CMOS 电路中的节点电容	14
1.3.1 PN 结势垒电容	14
1.3.2 栅电容	15
1.3.3 节点电容	16
1.4 CMOS 传输门	17
1.4.1 CMOS 传输门的直流传输特性	18
1.4.2 CMOS 传输门的导通电阻	18
1.4.3 CMOS 传输门的衬底偏压效应	20
1.4.4 CMOS 传输门的瞬态特性	21
1.5 设计参数的萃取	23
第 1 章参考文献	25
第 2 章 CMOS 电路基本单元的优化设计	26
2.1 CMOS 电路优化设计的条件	26
2.1.1 上升时间和下降时间相等的优化条件	26
2.1.2 最佳噪声容限的优化条件	26
2.1.3 最佳的驱动能力	27
2.2 CMOS 倒相器的优化设计	27
2.3 CMOS 基本门的优化设计	31
2.3.1 与非门的优化设计	31
2.3.2 或非门的优化设计	35
2.3.3 减小芯片面积的基本门设计	39
2.4 CMOS 传输门的优化设计	41
2.4.1 传输门结构速度的优化设计	41
2.4.2 CMOS 传输门导通电阻的优化设计	42
2.5 输出级驱动能力的优化设计	43

2.5.1	输出驱动级间的优化设计	43
2.5.2	输出驱动级的优化设计	47
2.6	CMOS D 型触发器的优化设计	49
2.6.1	D 型触发器的设计分析	49
2.6.2	D 型触发器的设计举例	51
第 3 章	逻辑控制单元	60
3.1	或非门	60
3.2	与或非门	63
3.3	二选一电路	65
3.3.1	钟控门组成的二选一电路	65
3.3.2	传输门组成的二选一电路	66
3.3.3	传输门和钟控门组成的二选一电路	67
3.4	异或门和同或门	67
3.4.1	异或门	68
3.4.2	同或门	70
3.5	半加器和全加器	71
3.5.1	同或门加倒相器组成的半加器	72
3.5.2	传输门和钟控门组成的半加器	72
3.5.3	全加器	73
3.6	I/O (输入/输出) 结构	75
3.6.1	输入缓冲器	75
3.6.2	三态输出和 I/O 双向缓冲器	78
第 4 章	触发器	80
4.1	锁存器	80
4.1.1	传输门、钟控门和倒相器组成的锁存器	80
4.1.2	带有复位和置位的锁存器	81
4.1.3	与或非门和或与非门组成的锁存器	84
4.1.4	双时钟控制的锁存器	84
4.2	施密特触发器	85
4.3	D 型触发器	87
4.3.1	传输门和倒相器组成的 D 型触发器	87
4.3.2	倒相器和钟控门组成的 D 型触发器	88
4.3.3	传输门、钟控门和倒相器组成的 D 型触发器	88
4.3.4	倒比管和钟控门组成的 D 型触发器	89
4.4	带有复位的 D 型触发器	89
4.4.1	与非门和或非门控制复位的 D 型触发器	89
4.4.2	钟控与非门控制复位的 D 型触发器	91
4.4.3	复位与时钟控制有关的 D 型触发器	92

4.5 带有置位的 D 型触发器	93
4.5.1 与非门控制置位的 D 型触发器	93
4.5.2 钟控与非门和与非门控制置位的 D 型触发器	94
4.5.3 单个与非门控制置位的 D 型触发器	95
4.5.4 置位与时钟控制有关的 D 型触发器	95
4.6 带有复位和置位的 D 型触发器	96
4.6.1 典型的与非门和或非门组成的带有复位和置位的 D 型触发器	96
4.6.2 与或非门和或与非门组成的带有复位和置位的 D 型触发器	96
4.6.3 钟控与非门和与非门组成的带有复位和置位的 D 型触发器	97
4.7 带有双时钟控制的 D 型触发器	97
4.7.1 没有复位端的双钟控 D 型触发器	97
4.7.2 带有复位的双钟控 D 型触发器	98
4.7.3 由钟控门组成的双钟控 D 型触发器	98
4.7.4 由钟控门组成并带有复位和置位的双钟控 D 型触发器	99
第 5 章 计数器	100
5.1 计数单元	100
5.1.1 分频器	100
5.1.2 钟控门组成的分频器	101
5.1.3 既有复位和置位又有计数的分频器	102
5.1.4 带有复位的双钟控移位和计数触发器	103
5.1.5 带有置位的双钟控锁存和计数触发器	103
5.1.6 可预置的计数单元	104
5.1.7 带有复位并有三处输出的双钟控移位和计数触发器	104
5.2 异步计数器	105
5.2.1 异步二进制计数器	105
5.2.2 译码电路	106
5.2.3 七进制计数器	108
5.2.4 十进制计数器	109
5.2.5 时钟控制发生器	111
5.3 同步计数器	113
5.3.1 2~10 进制同步加法计数器	113
5.3.2 2~10 进制同步可预置可逆计数器	118
5.4 链式计数器	123
第 6 章 存储电路	126
6.1 存储电路的构架	126
6.2 静态随机存取存储器 (SRAM)	127
6.2.1 SRAM 存储单元的设计	127
6.2.2 位线负载	129