

高校计算机规划系列教材

单片机实用教程

(第2版)

李 勋 刘 源 李静东等 编著



北京航空航天大学出版社

高校计算机规划系列教材

单片机实用教程

(第2版)

李 勋 刘 源 李静东等 编著

北京航空航天大学出版社

内 容 简 介

《单片机实用教程》第2版是一部紧跟时代脚步的单片机教材。它既包括了单片机基础知识,又涵盖了从MCU发展到SoC阶段的技术演化。本书共10章。前4章和第6章系统地讲解了MCS-51系列单片机的硬件组成、运作原理、指令集、软硬件应用技术以及系统设计等基础知识。第5和第7两章分别介绍了8位单片机发展过程中两个不同高度的代表机型——8XC552和AT89C51。第5章重点阐述了CHMOS单片机的特点、新增硬件资源的组成原理和应用技巧。第7章扼要地介绍了闪存型单片机的情况。这一章实际上是由MCU向SoC过渡的一章。最后3章以C8051F这样一个SoC系列为代表,深入透彻地讲述了C8051F的内部硬件资源、数字与模拟涉外部件的原理与应用。这是一个新的高度。本书取材先进、典型、完整;叙述条理清晰,逻辑性强,语言精练;例题和习题丰富,实用性和可读性强。本书以高等院校计算机及其它有关专业师生及从事微机控制的广大科技人员为读者对象。

图书在版编目(CIP)数据

单片机实用教程/李勋等编著. —2版. —北京:北京航空航天大学出版社,2006.5

ISBN 7-81077-621-5

I. 单… II. 李… III. 单片微型计算机—教材
IV. IP368.1

中国版本图书馆CIP数据核字(2006)第004359号

单片机实用教程

(第2版)

李 勋 刘 源 李静东等 编著

责任编辑 许传安

*

北京航空航天大学出版社出版发行

北京市学院路37号[100083] 发行部电话:010-82317024 传真:010-82328026

<http://www.buaapress.com.cn> E-mail: bhpress@263.net

北京市松源印刷有限公司印装 各地书店经销

*

开本:787×1092 1/16 印张:21 字数:538千字

2006年5月第2版 2006年5月第1次印刷 印数:5000册

ISBN 7-81077-621-5 定价:28.00元



第2版前言

《单片机实用教程》出版前后的数年间,单片机领域的发展又达到了一个新的高度,以片上系统 SoC 为代表的各单片机系列越来越普及了。《单片机实用教程》如果能及时补充上这些新的内容,那么它将是紧跟时代脚步的教材。

在保留第1版全部内容的基础上,《单片机实用教程》第2版增写了有关当前8位 SoC 代表机型 C8051F 的软、硬件资源及其应用技术。这样,本书第2版既详细介绍了单片机基础知识,又涵盖了8位单片机发展过程中的三个历史高度——8XC552 和 AT89C51 系列 MCU 及 C8051F 系列 SoC。

《教程》第2版共10章。前4章全面系统地讲解了 MCS-51 系列单片机的组成原理,例示了其软、硬件应用技术。这是读者掌握并进而应用单片机的基础。第6章主要讨论单片机与各种常见外围设备的接口技术,引导读者向应用系统攀升一步。第5和第7两章所阐述的 8XC552 和 AT89C51 两种机型代表了8位单片机发展阶段上的两个不同高度。第5章深入透彻地研究了 8XC552 新增硬件资源的运作原理和应用技巧。这是读者深化单片机知识、提高实践技能的重要内容。第7章扼要地介绍了闪存单片机的特点,从这里可以看到单片机发展阶段又一新高度——SoC 系列——的影子。如果说前7章内容属于微控制器 MCU 范畴的话,那么最后3章所讲述的要算是单片系统 SoC 了。这样,本书所给予读者的将是全面完整的单片机原理与应用方面的知识。

《教程》第2版继承了第一版的传统,在全书各关键环节均配有丰富的例题。这些例题以及附录中的习题难点详解大大提高了本书的可读性和实用性。这在打开读者思路,及时化解阅读过程中产生的疑难问题方面将不无裨益。这也算是本书的一个小小的特色吧。

本教程第2版由李勋教授主编(第1、3、5、6章以及全书例题和附录)、刘源副教授(第4章和第7章)、任大同老师(第2章)、李静东老师(第8章)、谢玉芯老师(第9章)和苏华老师(第10章)共同编写,最后由李勋教授统一修改定稿。



虽然作者曾长期从事单片机技术开发和教学工作,积累了丰富的实践经验,先后出版过多种专著和教材,对本书花费了很多心血,但也难免有疏漏之处,所以我们愿意看到各界读者对本教程的意见和建议。

E-mail:lijingdong@tjpu.edu.cn

作 者

天津工业大学

2005年9月



目 录

第1章 MCS-51 硬件结构	1	2.3.1 单向数据传送指令	35
1.1 引言	1	2.3.2 数据交换指令	41
1.2 MCS-51 系列	1	2.4 算术指令	41
1.3 内部结构	2	2.4.1 加法类指令	42
1.3.1 专用寄存器	2	2.4.2 减法类指令	44
1.3.2 端口结构及运行	5	2.4.3 乘除法指令	45
1.3.3 存储器组织	9	2.5 逻辑指令	45
1.3.4 CPU 定时	11	2.5.1 单操作数逻辑运算指令	45
1.3.5 片外存储器的存取	13	2.5.2 双操作数逻辑运算指令	47
1.3.6 复位电路	15	2.6 控制跳转操作指令	49
1.3.7 片内时钟振荡器	16	2.6.1 子程序调用和返回指令	50
1.4 定时/计数器	17	2.6.2 无条件跳转指令	50
1.4.1 定时器 0 和定时器 1	18	2.6.3 条件跳转指令	52
1.4.2 定时器 2	20	2.6.4 比较不等则跳转指令	53
1.5 串行口	22	2.6.5 循环控制及其它指令	54
1.5.1 运行方式	22	思考题与练习题	55
1.5.2 串行口控制寄存器	23	第3章 程序设计示范	56
1.5.3 多机通信	24	3.1 通用程序	56
1.5.4 波特率	24	3.1.1 数制转换子程序	56
1.6 中断系统	26	3.1.2 多倍精度运算	57
1.6.1 中断源	26	3.1.3 查表程序	57
1.6.2 中断允许和优先级寄存器	27	3.1.4 分支程序	59
1.6.3 中断处理过程	29	3.1.5 堆栈操作程序	61
1.6.4 外部中断的触发方式	30	3.1.6 代码队列参数传递程序	64
1.6.5 中断响应时间	30	3.2 硬件相关程序	65
1.7 引脚功能	31	3.2.1 控制信号的软件定时	65
思考题与练习题	32	3.2.2 串行口和定时器的方式设定	65
第2章 指令系统	34	3.2.3 简单的串行 I/O 驱动程序	66
2.1 寻址方式	34	3.2.4 串行口字符串的传送	66
2.1.1 寄存器寻址	34	3.2.5 特别情况的辨识与处理	67
2.1.2 直接寻址	34	3.2.6 定时器中断示例	68
2.1.3 寄存器间接寻址	34	3.2.7 定时器溢出和中断的同步	69
2.1.4 立即寻址	35	3.2.8 定时器瞬时值的动态读出	70
2.1.5 基址寄存器加变址寄存器间接寻址	35	3.2.9 程序的单步运行	70
2.2 指令分类	35		
2.3 数据传送指令	35		



3.2.10 中断优先级别的扩展	71	5.5.3 脉冲宽度调制输出	132
3.2.11 程序存储器空白区的防范措施	71	5.5.4 A/D转换器	133
3.2.12 多机通信程序	72	5.5.5 I/O 端口结构	136
3.3 布尔处理程序	75	5.5.6 中断系统	137
思考题与练习题	76	5.5.7 低功耗运行方式	140
第4章 系统扩展	79	思考题与练习题	141
4.1 存储器扩展	79	第6章 接口技术	143
4.1.1 程序存储器的扩展	79	6.1 与键盘接口	143
4.1.2 数据存储器的扩展	81	6.1.1 独立按键接口	143
4.1.3 程序/数据存储器的扩展	81	6.1.2 矩阵式键盘接口	144
4.2 片外数据存储器和I/O扩展	84	6.2 与BCD码拨盘接口	147
4.2.1 8155的内部结构与引脚功能	84	6.3 与显示器接口	149
4.2.2 8155的I/O部分	85	6.3.1 发光二极管显示器	149
4.2.3 8155的命令/状态寄存器	86	6.3.2 液晶显示器	154
4.2.4 8155片内定时器	88	6.4 与微型打印机接口	159
4.2.5 8051和8155的连接	89	6.4.1 TP μ P系列微型打印机	159
4.3 多中断源的安排	91	6.4.2 单片机直接与打印机接口	160
4.4 8031最小用户系统	92	6.5 与D/A和A/D转换器接口	161
4.5 I/O口扩展	92	6.5.1 与D/A转换器接口	161
4.5.1 8255A的结构和功能	92	6.5.2 与A/D转换器接口	167
4.5.2 8255A的运行方式	94	思考题与练习题	169
4.5.3 8031AH与8255A的连接	98	第7章 87C51和89C51	170
4.5.4 利用TTL芯片扩展I/O口	99	7.1 EPROM型器件	170
4.5.5 串行口在I/O扩展中的应用	100	7.1.1 8751H	170
思考题与练习题	102	7.1.2 8751BH/8752BH和87C552	172
第5章 MCS-51中的CHMOS器件	104	7.1.3 87C51	175
5.1 CMOS电路的演化	104	7.2 闪速存储器型器件	176
5.2 CMOS和CHMOS电路的特点	104	7.2.1 89C51	177
5.2.1 逻辑电平与接口问题	104	7.2.2 AT89C2051	180
5.2.2 抗干扰能力	105	思考题与练习题	185
5.2.3 功耗	106	第8章 8051的最新进展——C8051F	186
5.3 80C51BH概述	107	8.1 CIP-51指令系统	187
5.3.1 低功耗运行方式	107	8.1.1 CIP-51的CPU定时	187
5.3.2 与HMOS器件的互换性	109	8.1.2 MOVX指令	190
5.3.3 配用CHMOS EPROM	111	8.2 CIP-51的存储器组成及操作	190
5.4 8XC552概要	112	8.2.1 程序存储器	190
5.4.1 概述	112	8.2.2 数据存储器	195
5.4.2 内部结构	113	8.2.3 特殊功能寄存器	196
5.4.3 引脚配置及封装	116	8.3 时钟振荡器	199
5.5 8XC552主要部件	119	8.3.1 可编程片内时钟振荡器	199
5.5.1 定时器T2	119	8.3.2 外部时钟源的片内驱动电路	200
5.5.2 定时器T3——监视定时器	130	8.3.3 系统时钟的选择	202
		8.4 定时器	203



8.4.1 定时器 0 和定时器 1	203	第 10 章 C8051F 模拟接口及其它	271
8.4.2 定时器 2	206	10.1 端口输入/输出	271
8.4.3 定时器 3	209	10.1.1 带优先级的交叉开关译码器	271
8.5 可编程计数阵列 PCA	211	10.1.2 端口输入/输出的初始化	276
8.5.1 PCA 定时/计数器	212	10.1.3 通用端口 I/O 引脚	277
8.5.2 捕捉/比较模块	214	10.1.4 端口引脚初始化示例	278
8.5.3 输入捕捉功能	217	10.2 片内 A/D 转换器	278
8.5.4 输出比较功能	219	10.2.1 模拟多路开关	278
8.5.5 脉宽调制功能	223	10.2.2 运行方式	281
8.6 监视定时器	225	10.2.3 可编程窗口检测器	285
8.6.1 监视定时器的运作原理	225	10.2.4 温度传感器和参考电压源	290
8.6.2 监视定时器的用法	226	10.3 电压比较器	293
思考题与练习题	227	10.3.1 输入信号的选择	294
第 9 章 C8051F 串行接口部件	229	10.3.2 运行控制和输出信号	296
9.1 通用异步接收/发送器	229	10.3.3 比较器电气特性	299
9.1.1 串行控制寄存器和数据缓冲寄存器	230	10.4 中断处理部件	300
9.1.2 运行方式	231	10.4.1 中断源和中断向量	300
9.1.3 多机通信	233	10.4.2 中断允许寄存器	303
9.1.4 UART0 的波特率发生器	233	10.4.3 中断优先级寄存器	303
9.2 增强型串行接口部件	238	10.4.4 中断响应时间	304
9.2.1 内部结构和运作原理	239	10.5 复位源	305
9.2.2 串行时钟信号 SCK	242	10.5.1 上电复位	306
9.2.3 SPI 特殊功能寄存器	246	10.5.2 掉电复位	306
9.2.4 SPI0 中断源	249	10.5.3 外部复位	307
9.3 SMBus I/O 接口部件	249	10.5.4 时钟信号残缺复位	309
9.3.1 SMBus 的运行	250	10.5.5 比较器 0 复位	309
9.3.2 SMBus 特殊功能寄存器	253	10.5.6 监视定时器复位	309
9.3.3 数据传送方式	258	10.5.7 闪存误操作复位	309
9.4 C2 接口部件	264	10.5.8 软件复位	310
9.4.1 C2 部件内部结构	264	10.6 功耗管理方式	310
9.4.2 C2 指令格式及时序	265	10.6.1 空闲方式	311
思考题与练习题	270	10.6.2 暂停方式	312
		思考题与练习题	312
		附录 思考题与练习题难点详解	314
		参考文献	327



第1章

MCS-51 硬件结构



1.1 引言

单片计算机是把 CPU(中央处理单元)、一定容量的存储器和若干输入/输出接口等部件集成在一块小小硅片上的微型计算机,简称单片机。

自 1976 年美国 Intel 公司推出了第一代 8 位通用单片机系列 MCS-48 以来,20 多年间,单片机技术蓬勃发展,质量和性能逐年提高,应用领域日益扩大。目前世界上各大半导体公司所开发并生产的单片机系列,各具特色,阵容强大,品种齐全。据信有几十个系列,数百余品种,可满足各类系统设计的需要。单片机一问世,就以其体积小、功能全和价格低等优点赢得了市场的欢迎和用户的青睐。目前,单片机正在过程控制、数据采集、智能仪表、机电一体化、家用电器以及网络技术等领域中发挥着重要的控制作用。所以单片机也称微控制器。

微控制器虽然品种繁多,但就其应用情况看,功能最强者:16 位机当属日立公司的 H8/3048 系列;8 位机要算是 Intel 公司的 MCS-51 系列了,尤其是 Philips 公司的 80C51 及其派生产品,在我国受到普遍欢迎。ATMEL 公司的闪存存储器型微控制器 AT89C51 更是后来者居上,大有取代 MCS-51 系列中 EPROM 型产品之势。



1.2 MCS-51 系列

早期的 MCS-51 微控制器系列包括下列品种。

8051 这是 MCS-51 家族的最初成员,1981 年开始生产。其特点如下:

- 其 8 位 CPU 最适合于控制用;
- 有很强的布尔处理能力,即按位处理能力;
- 32 条可按位寻址的双向 I/O 线;
- 128 字节片内数据存储器;
- 两个 16 位递增定时/计数器;
- 全双工通用异步接收/发送器 UART;
- 两个优先级别的五源中断结构;
- 片内时钟振荡器;
- 4 KB 片内程序存储器;
- 64 KB 程序存储器地址空间;
- 64 KB 数据存储器地址空间。

8051 尚有两个变体,即无片内程序存储器的 8031 和有片内 EPROM 的 8751。但后者已不再生产,而被 8751H 所取代。



8051AH 此芯片系以当时较新的 HMOS II 技术制造而成,其它方面与 8051 完全相同。8031AH 为无片内 ROM 的 8051AH;8751H 则是以 EPROM 取代了掩膜 ROM 的 8051AH。

8052AH 这是增强型的 8051,也是采用 HMOS II 技术制造而成的,与 8051 向上兼容。其特点如下:

- 256 个字节片内 RAM;
- 三个定时/计数器;
- 六源中断结构;
- 8 KB 片内程序存储器。

8752BH 和 8032AH 分别为带片内 EPROM 和无片内 ROM 的变体品种。8052 尚有一个单独型号,叫做 8052AH-BASIC,其片内 ROM 中驻留有全 BASIC 解释程序。

80C51BH 8051 的 CHMOS 变体称作 80C51BH,两者功能完全兼容。但是大家知道,CMOS 电路的特点在于其功耗低,既然 80C51BH 是以 CHMOS,即高速 CMOS 生产的,那么,它当然就比与其同功能的 HMOS 芯片 8051 耗电要少。

80C51BH 之片内 EPROM 和无片内 ROM 的两个变体品种分别为 87C51 与 80C31BH。

表 1-1 中简要地汇总了上述各器件的情况。对于这些芯片,若不特指某一具体型号,为方便起见,可只称 8051 和 8052。前者包括 8051,8051AH,80C51BH 及与它们相对应的无片内 ROM 和带片内 EPROM 型之诸品种;8052 则泛指 8052AH,8032AH 和 8052BH 等。

表 1-1 MCS-51 系列早期各品种

器件名称	无 ROM 型	EPROM 型	ROM/EPROM	RAM	16 位定时器	电路类型
8051	8031	(8751)	4 KB	128 字节	2	HMOS I
8051AH	8031AH	8751H	4 KB	128 字节	2	HMOS II
8052AH	8032AH	8752BH	8 KB	256 字节	3	HMOS II
80C51BH	80C31BH	87C51	4 KB	128 字节	2	CHMOS



1.3 内部结构

图 1-1 所示为 MCS-51 系列微控制器的内部功能结构。本节将着重讲述各专用寄存器、端口结构及运行、存储器组织、复位电路、片内振荡器和内部定时等问题。至于其中定时器、串行口和中断系统等部件,则将另节深入讨论。

1.3.1 专用寄存器

专用寄存器(special function registers)简称 SFR,也有译作特殊功能寄存器的。其所在空间为片内存储器的一个区域。由图 1-2 可以看出,8051 有 21 个,8052 则有 26 个 8 位专用寄存器。括号内的专用寄存器仅 8052 才有。黑框中的三个 SFR 是 80C52 在 8052 的基础上又增加的。这些 SFR 并未占满 80H~FFH 整个地址空间,空白地址处在片内实际未安排任何寄存器。对这些地址进行读操作,通常得一随机数,而写操作将无结果。

1. 累加器(accumulator)

地址为 E0H 的 SFR 是累加器,为 CPU 中使用最频繁的一个寄存器。运算器 ALU 进行



各种算术和逻辑运算时,大多要累加器与之配合。如图 1-1 所示,在运算前累加器中所保存的一个操作数,经暂存器 TMP2 进入 ALU 后,与从暂存器 TMP1 进入的另一个操作数在 ALU 中进行运算。所得结果往往还返回累加器中。累加器在代表直接地址 E0H 时,记作 ACC,而在专指累加器的指令中,其助记符只写作 A。

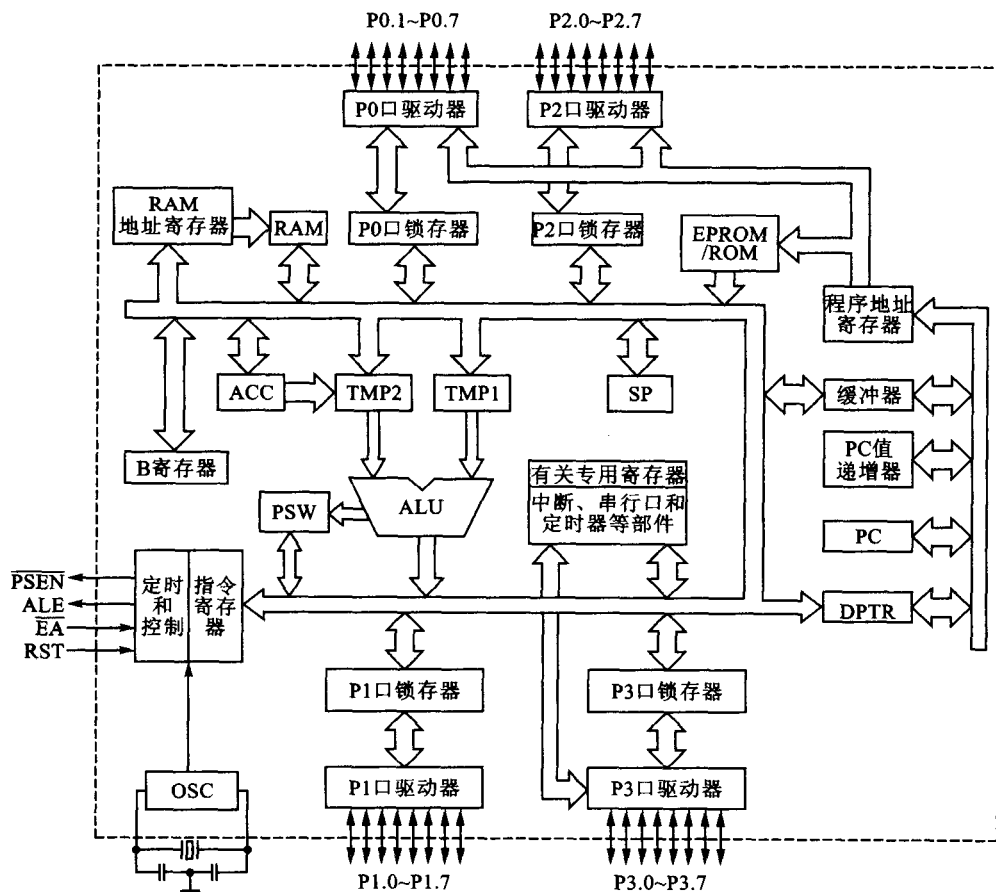


图 1-1 MCS-51 功能框图

2. B 寄存器 (B register)

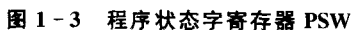
执行乘除运算指令时,要用到 B 寄存器。在其它情况下,它可被用作数据寄存器,地址为 F0H。顺便指出,地址可被 8 整除的 SFR 均可按位寻址。就是说,每个字节地址包括 8 个位地址,可按这些位地址对其任何一位进行访问。图 1-2 中最左一列的 12 个 SFR,包括 B 寄存器在内,就是这样的寄存器。

3. 程序状态字寄存器 (program status word register)

程序状态字寄存器简写作 PSW,用来存放程序状态信息,地址为 D0H,可按位寻址。图 1-3 所示为 PSW 寄存器各位的分布情况。

CY(PSW.7)——进位标志:在执行加减指令时,若最高位产生进位或借位,则 CY 位由硬件自动置 1,否则被清 0。此外,CY 也是布尔处理器的位累加器,参与位传送和位运算。

AC(PSW.6)——半进位标志:在执行加减指令时,若低半字节向高半字节进位或借位,



F0(PSW.5)——用户通用标志;由用户定义使用。

RS1 和 RS0(PSW.4 和 PSW.3)——通用寄存器组选择位:用软件修改这两位值,即可对四个通用寄存器组进行选择。表 1-2 给出了 RS1 和 RS0 两位值不同组合的选择结果。复位后,这两位值为 00,本能地选中第 0 组通用寄存器为当前工作寄存器。

表 1-2 RS1 和 RS0 对通用寄存器组的选择

RS1	RS0	选中寄存器组	R0~R7 的地址
0	0	第 0 组	00H~07H
0	1	第 1 组	08H~0FH
1	0	第 2 组	10H~17H
1	1	第 3 组	18H~1FH

OV(PSW.2)——溢出标志:在进行带符号数的加减运算时,若运算结果超出 8 位二进制数所能容纳的范围($-128 \sim +127$),则 OV 位被自动置 1,否则被清 0。

PSW.1 ——用户标志:由用户定义使用。

P(PSW.0)——奇偶标志:P标志在每个指令周期中由硬件置1或清0,以指示累加器中“1”的个数系偶数或奇数。在MCS-51中,规定用偶校验,即累加器和本标志中“1”的总数必



须为偶数。

4. 堆栈指针(stack pointer)

堆栈指针 SP, 地址 81H, 也是一个 8 位专用寄存器。MCS-51 的堆栈可设置在片内 RAM 中的任何区域, 且向高地址方向生成。在数据压入堆栈之前, SP 内容先自动增 1。SP 的复位值为 07H。若复位后 SP 内容不重新安排, 则堆栈便从 08H 单元开始存放数据。

5. 数据指针(data pointer)

数据指针 DPTR 由高字节 DPH 和低字节 DPL 两个 8 位寄存器组成。它们分别占据 83H 和 82H 两地址单元。所谓数据指针, 更确切地说, 是一个对片外 RAM 进行数据存取用的地址指针。因此, 其内容是一个 16 位地址。诚然, 在 ROM 中查表和间接跳转时也要用到 DPTR。DPTR 有时以 16 位形式进行操作, 也有必须分成两个 8 位寄存器进行操作的情况。

6. 端口 0~3 的锁存器(Latches of Ports 0~3)

专用寄存器空间的 80H, 90H, A0H 和 B0H 等四个地址单元, 分别为端口 0~3 的四个锁存器 P0, P1, P2 和 P3。

7. 串行数据缓冲器(serial data buffer)

99H 单元为串行数据缓冲器 SBUF, 这实际上是发送缓冲器和接收缓冲器两个独立的寄存器。传送到 SBUF 的数据, 进入发送缓冲器, 并继而从那里串行发送出去; 如果对 SBUF 进行读出操作, 那么, 读之所得便是来自接收缓冲器的数据。

8. 定时器寄存器(timer register)

寄存器对 TH0, TL0(地址 8CH 和 8AH), TH1, TL1(8DH 和 8BH)与 TH2, TL2(CEH, CDH)分别为定时器 0、定时器 1 和定时器 2 的 16 位计数寄存器。

9. 捕捉寄存器(capture register)

寄存器对 RCAP2H, RCAP2L 系定时器 2 捕捉方式所用的捕捉寄存器。在此方式下, 一旦 8052 的 T2EX 引脚上出现有负跳变, 则 TH2 和 TL2 的内容便立即被捕获到 RCAP2H 和 RCAP2L 中去。定时器 2 亦具有初始值自动恢复运行方式, 这时捕捉寄存器用来保存原初始值。

10. 控制寄存器(control registers)

中断优先级 IP、中断允许 IE、定时器方式 TMOD、定时器控制 TCON、定时器 2 控制 T2CON、串行口控制 SCON 以及电源控制 PCON 七个专用寄存器为控制寄存器。它们含有中断系统、定时/计数器和串行口的控制与状态位。这些寄存器将在后续各节中详细讨论。

11. 程序计数器(program counter)

程序计数器 PC, 16 位, 其功能是保存下次要执行的指令之地址。每读取指令的一个字节, PC 值便自动增 1, 指向本指令的下一个字节或下一条指令的地址。这是一个用户不可访问的寄存器, 因此无地址, 亦不计入 SFR 总数中。

1.3.2 端口结构及运行

8051 的 32 条 I/O 线隶属于四个 8 位双向端口。每个端口均由锁存器(即专用寄存器 P0~P3)、输出驱动器和输入缓冲器组成。

如图 1-4 所示, P1, P2 和 P3 等三个端口都有内部上拉电阻与其输出驱动场效应管的漏极相接; 而 P0 口则有另一场效应管接至输出驱动管的漏极。若前者截止, 则后者即为开漏输出的。

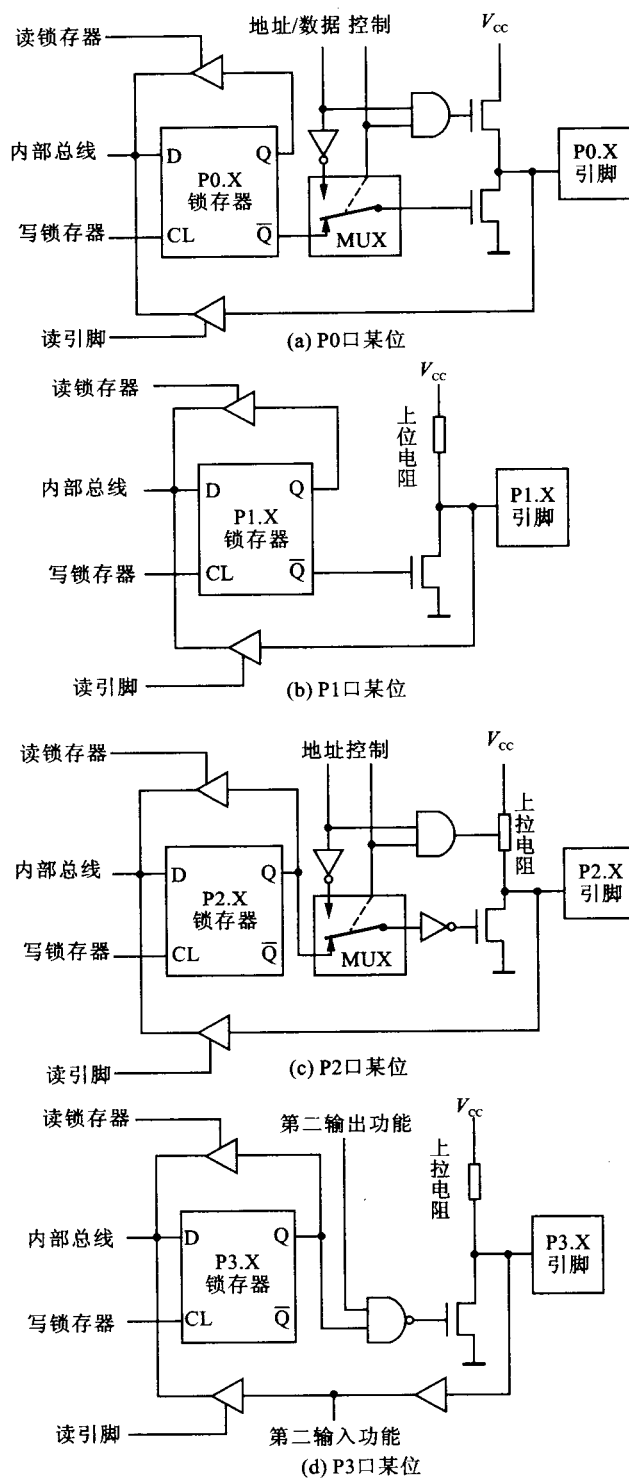


图 1-4 端口位锁存器及 I/O 缓冲器



1. 通用 I/O 口

上述四个口的每条 I/O 线均可独立地用作输入或输出。欲使某 I/O 线作输入用,其位锁存器必须预先置 1,以关断输出驱动场效应管。这时,对于 P1、P2 和 P3 三个端口来说,该 I/O 线就会被其内部上拉电阻拉成高电平。若此脚从外部得一高电平输入,则可读得逻辑 1;若输入 0,则此脚即被外来输入信号拉成低电平,于是可读得逻辑 0。输入缓冲器接到读引脚命令后,三态门开通,引脚上的输入电平就会传送到内部总线上去。

如果不预先关断输出驱动管,外部的逻辑高电平就无法输入进来。各口的位锁存器复位后均被写成 1。若此后写过 0,则必须再次写 1 后方可将其相应 I/O 线置成输入方式。

作为位锁存器的 D 触发器,当接到来自 CPU 的写锁存器信号时,就会把内部总线上的数据锁存起来,且在写入新数据前,锁存器的内容不会发生变化。其输出 Q,在来自 CPU 的读锁存器信号的作用下,可被返送至内部数据总线。

写到位锁存器的数据何时到达输出引脚呢?

原来,在执行改变口锁存器内容的指令时,新的数据在该指令最后一个周期的 S6P2 才能达到锁存器(关于指令周期的划分,请参见 1.3.4 节)。然而,口锁存器实际上只有在任何时钟周期的 P1 才被其输出缓冲器采样到;P2 期间输出缓冲器将保持此前采样到的数值。因此,新数值只有在下一个机器周期 S1P1 时才能出现在输出引脚上。

应当指出,上述所谓内部上拉电阻,实际并非线性电阻,而是场效应晶体管。P1 和 P3 口内的上拉电阻如图 1-5 所示。在 MCS-51 的 HMOS 型器件中,上拉电阻始终起作用的部分为一耗尽型场效应管,其栅极与源极相连。如果口引脚与地相接,此管可允许 0.25 mA 电流由引脚流出。由图 1-5 可见,与耗尽型 FET 并联的尚有一个起低阻上拉作用的增强型场效应管。后者在位锁存器之 Q 输出端发生由 0 到 1 的跳变时,在此后一机器周期的 S1P1 和 S1P2 期间,由于其栅极上有逻辑 1 电平而导通(见图 1-5 和图 1-6)。在口引脚尚未由 0 变成 1 状态前,我们可以认为该引脚是与地短接的。此时低阻强上拉元件可允许 30 mA 电流由引脚流出。于是迅速将引脚拉成高电平,加速了跳变过程。在此低阻上拉 FET 关断以后,耗尽型 FET 完全可以保持住引脚的 TTL 高电平状态。P2 口的情况与此相似,所不同的是,当发送的地址位为 1 时,P2 口始终使低阻上拉管处于导通状态。

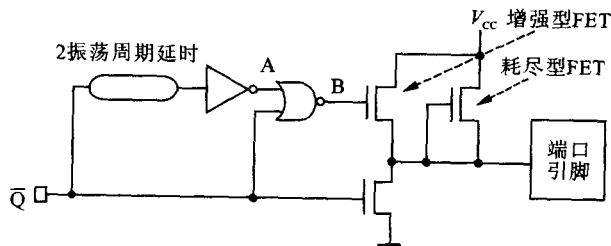


图 1-5 P1 和 P3 口的内部上拉电阻

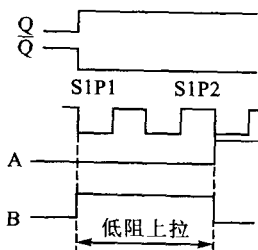


图 1-6 低阻上拉过程

在作通用 I/O 时,P0 口与其它三口的不同点在于无上拉电阻。更全面地说,其上拉场效应管[图 1-4(a)],正如我们下面将要叙述的那样,只是在访问片外存储器且输出 1 时才起作用,在其它情况下是关断的。因此,P0 口某 I/O 线作通用输出时,它是漏极开路的。作输入时,两个场效应管都是关断的,故该引脚处于浮动状态,这是高阻输入。

因为 P1、P2 和 P3 口都具有常效内部上拉电阻,所以有时它们被称作准双向口。P0 口为



真正的双向口。

2. 地址/数据总线

P0 口和 P2 口的输出驱动器以及 P0 口的输入缓冲器,可用来访问片外存储器。P0 口输出片外存储器地址的低 8 位。此地址字节与读或写的数据字节分时出现在此口的 8 位 I/O 线上。故 P0 口的 I/O 线有地址/数据总线之称,简写作 ADDR/DATA 总线。

当片外存储器使用 16 位地址时,P2 口用来输出该地址的高 8 位,否则 P2 口引脚将继续发出专用寄存器 P2 的内容。

由图 1-4 中可以看出,P0 口和 P2 口的输出驱动器在访问片外存储器时,在内部控制信号的作用下,可以与内部地址/数据总线和地址总线接通。如果该地址或数据位为 0,经反相后为 1,从而使输出驱动管导通,于是此引脚输出逻辑 0。若该地址或数据位为 1,则输出驱动管截止,但 P0 口另一场效应管因其栅极从与门的输出端得到逻辑 1 而导通。在这种情况下,它起上拉电阻作用,结果把引脚拉成高电平,于是输出逻辑 1。这时 P0 口的输出驱动管并非漏极开路的。

P0 口作地址/数据总线,P2 口作地址总线时,必须注意下列几点:

- 此时它们不能再作通用 I/O 口用;
- 访问片外存储器期间,P2 锁存器的内容不受影响,而 P0 各位均被自动写成 1;
- 作地址/数据总线时,P0 口不是漏极开路的,因此无须外接上拉电阻。

3. 引脚的复用功能

P3 口的所有引脚以及 8052 中 P1 口的两个引脚都是多功能的。它们除可作通用 I/O 之外,尚可作外部中断输入、计数器输入、串行口输入和输出以及对片外数据存储器进行读写控制的信号传递通路。必须指出,复用功能,或称第二功能,只有在相应的位锁存器为 1 时才能实现。由图 1-4(d)可见,若 Q 端为 1,则引脚的输出电平由第二输出功能信号控制。下面我们以 P3.7 为例来讨论这个问题。

从表 1-3 可以查到,P3.7 的第二功能为片外数据存储器的读选通信号输出,低电平有效。在执行片外存储器读指令时,P3.7 的第二输出功能信号为逻辑 0,输出驱动管因其栅极从与非门的输出端得到逻辑 1 而导通。该驱动管实际上是一个低阻下拉元件,它可以克

表 1-3 端口引脚的复用功能

引 脚	复 用 功 能
P1.0	T2(定时/计数器 2 的外部输入)
P1.1	T2EX(定时器 2 的捕捉/重装触发引脚)
P3.0	RxD(串行口输入)
P3.1	TxD(串行口输出)
P3.2	$\overline{\text{INT0}}$ (外部中断 0 请求)
P3.3	$\overline{\text{INT1}}$ (外部中断 1 请求)
P3.4	T0(定时/计数器 0 的外部输入)
P3.5	T1(定时/计数器 1 的外部输入)
P3.6	$\overline{\text{WR}}$ (片外数据存储器写选通信号输出)
P3.7	$\overline{\text{RD}}$ (片外数据存储器读选通信号输出)



服高阻上拉元件的作用而将引脚拉成低电平。这样便有一个有效的读选通信号送至片外 RAM 芯片,从而完成对其进行的读操作。

至于具有复用输入功能的引脚,如图 1-4(d)所示,从引脚至复用功能输入线始终是有通路的。

4. 端口的负载能力和接口

作为输出引脚,大家知道,要接到外部负载的输入端。P1, P2, 和 P3 口的每位输出驱动管可驱动四个 LS TTL 输入。作为输入口,这些 HMOS 型端口可按通常方式被任一 TTL 或 NMOS 电路所驱动。HMOS 和 CHMOS 型端口,均可由集电极开路或漏极开路输出来驱动,无须外加上拉电阻。

P0 口的输出驱动管,每位可驱动八个 LS TTL 输入。但若要驱动 NMOS 输入,则须外加上拉电阻。当然本端口作地址/数据总线用时例外,这在前面已有讨论。

5. 读-修改-写指令

涉及到端口读操作的指令有两种,其一读端口锁存器,其二读端口引脚。当目的操作数为一端口或口的一位时,这类指令便是读锁存器而非读引脚的指令。例如:

```
ANL(逻辑与,如 ANL P1,A);
ORL(逻辑或,如 ORL P2,A);
XRL(逻辑异或,如 XRL P3,A);
JBC(逢 1 清 0 并跳转,如 JBC P1.1,LABEL);
CPL(位求反,如 CPL P3.0);
INC(增 1,如 INC P2);
DEC(减 1,如 DEC P2);
DJNZ(减 1 非 0 则跳转,如 DJNZ P1,LABEL);
MOV PX.Y,C(进位标志位送 X 口之 Y 位);
CLR PX.Y(X 口之 Y 位清 0);
SETB PX.Y(X 口之 Y 位置 1)。
```

这些都是所谓读-修改-写指令。它们在执行时,先读端口锁存器之值,进行相应修改,然后再写回到端口锁存器中去。读-修改-写指令之所以要针对锁存器而非引脚,是为避免误译引脚电平的原故。例如,某口一位输出用来驱动 NPN 晶体管的基极,该位写 1 时,晶体管导通。若读引脚,就会读入该晶体管的基极电压,通常为 0.7 V 左右,当然被认为是逻辑 0。而读锁存器就不会发生这样的误解。

1.3.3 存储器组织

MCS-51 系列器件的程序存储器 ROM, EPROM 和数据存储器 RAM, 各有独立的地址空间,其容量均可达 64 KB。

1. 程序存储器

如图 1-7 和图 1-8 所示,程序存储器的最低 4 KB(8052 为 8 KB)可位于片内,也可位于片外 ROM 中。为配合这两种情况,MCS-51 系列器件中设置了 $\overline{EA}$ (External Access)引脚。

在 8051 中,若 $\overline{EA}$ 接 V_{cc} ,即 +5V 电源引脚,且 PC 的内容不大于 0FFFH,则 CPU 所执行的程序将取自片内 ROM;但若 PC 值超过 0FFFH,即执行片外 ROM 中的程序。