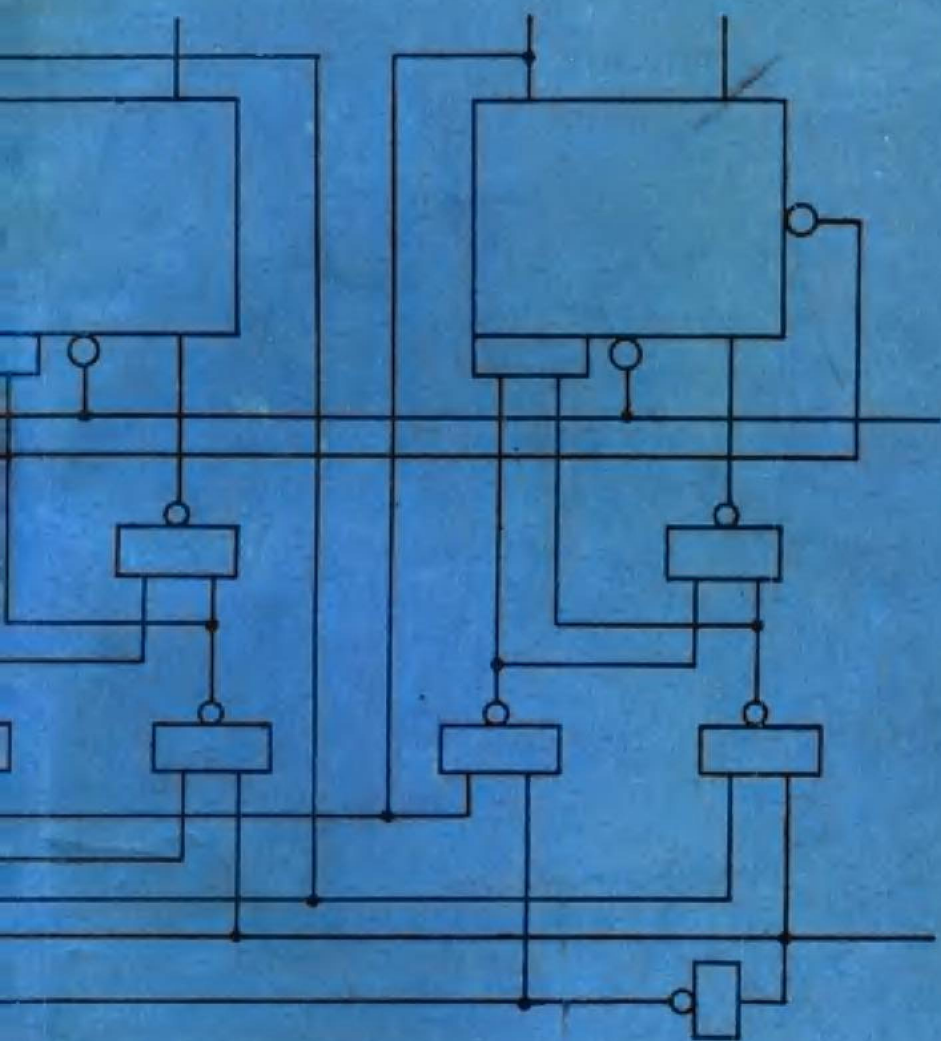




1207-X-AZD
SHIXOZGJ-CHAZG

王永祥 编著

陕西科学技术出版社

数控机床逻辑线路 上

数控机床逻辑线路

(上、下册)

王永祥 编著

*

陕西科学技术出版社出版

(西安北大街131号)

陕西省新华书店发行 交大印刷厂印刷

开本 787×1092 1/16 印张 41.75 插页, 字数: 1,026,000

印数 1—2,200

1981年7月第1版 1981年7月第1次印刷

统一书号: 15202.34 定价: 5.30元

编 者 的 话

《数控机床逻辑线路》一书的编写，既希望初学数控技术的人能够入门，并通过本书的学习掌握这门知识，又希望从事数控机床、数字电路设计与维护的工程技术人員能从本书得到补益。

逻辑代数是数字电路的理论基础。实践表明，为了掌握数控技术，学好逻辑代数是必要的。本书深入地讨论了这部分内容，介绍了“补割”规则，并用这一规则总结了一些有用的结论，设计出一些最简逻辑线路。

数控装置一般都由基本逻辑线路组成，知道基本逻辑线路的来龙去脉是重要的。时序线路设计一章介绍了其他文献尚未见到的“多周期计数器修正设计法”，读者可从中得到一些启示。

本书的后半部分对数控机床的工作原理做了详细的介绍。对“时差判据”插补方式做了探讨。愿与同志讨论。

在编写本书过程中，陕西省五机局新技术推广站给予大力支持，曾组织专人校稿制图。西安交通大学工企教研室和计算机控制教研室，东风仪表厂，庆华电气厂，华山机械厂，光辉机械厂，昆崙机械厂，秦川机械厂等单位给予不少帮助。王浣尘、薛钧义、申忠如、林魁明等同志对本书编写给予关怀和支持。张子炎、李秦庆、李新三位同志校阅全稿，在此一并致谢。

由于水平所限，错误之处请读者批评。

目 录

第一章 二进制数与码

第一节	基数与计数制	1
第二节	二进制数向十进制数的转换	4
第三节	十进制数向二进制数的转换	5
第四节	二进制数的计算	8
第五节	“二—十”进制数	11
第六节	机器中数的表示——码	14
第七节	补码加法、减法运算	19
第八节	补码运算定理的证明	21

第二章 逻辑代数与门电路

第一节	逻辑代数与初等代数的简单比较	23
第二节	非函数	30
第三节	与函数	33
第四节	或函数	39
第五节	复合逻辑函数	44
第六节	逻辑代数基本定理	47
第七节	唯一性证明	48
第八节	导出公式的证明(一)	50
第九节	导出公式的证明(二)	51
第十节	摩根定理及重要的有条件等价式	56
第十一节	重要规则	61
第十二节	函数的标准形	67
第十三节	函数的公式法化简	74
第十四节	函数的真值图化简	81
第十五节	晶体管——逻辑“与非”门电路(TTL 电路)	93

第三章 组合逻辑电路设计

第一节	组合逻辑电路设计的一般程式	101
第二节	全加器的设计	102
第三节	全加全减器的设计	111
第四节	判偶逻辑电路设计	113
第五节	译码器设计(一)	118
第六节	约束条件与函数化简	121

第七节	译码器设计(二)·····	127
第八节	循环码译码器·····	132
第九节	数字显示电路·····	138
第十节	控制带及译码器·····	143
第十一节	组合逻辑设计的简单问题·····	154

第四章 组合逻辑电路分析

第一节	直接写出函数表达式的方法·····	156
第二节	利用“关门”“开门”概念的读图方法·····	160
第三节	抑或函数和斥或函数的读图方法·····	162
第四节	单路输出译码器禁止项的逆推·····	163

第五章 脉冲电路与触发器

第一节	电容器的一般知识与微分、积分电路·····	171
第二节	振荡器·····	181
第三节	单稳态触发器的设计·····	186
第四节	基本 $R-S$ 触发器(双稳态触发器)的设计·····	191
第五节	三稳态乃至多稳态触发器的设计·····	194
第六节	同步触发器的设计·····	195
第七节	维持阻塞 D 触发器的设计·····	199
第八节	维持阻塞 T 触发器·····	203
第九节	主从 $J-K$ 触发器·····	205

第六章 时序逻辑线路设计

第一节	时序线路概述·····	211
第二节	寄存器的设计·····	215
第三节	计数器设计概述·····	223
第四节	同步计数器设计(一)——变迁表设计法·····	225
第五节	同步计数器设计(二)——循环码计数器的观察设计法·····	241
第六节	同步计数器设计(三)——多周期计数器的综合设计法·····	259
第七节	同步计数器设计(四)——多周期同步计数器的置数设计法·····	290
第八节	纯 2^n 进制最简异步计数器的设计·····	298
第九节	异步十进制计算器的设计·····	312
第十节	特殊计数流程与广义状态函数·····	330
第十一节	多周期异步计数器的修正设计法·····	336
第十二节	多周期异步计数器的置数设计法·····	348
第十三节	时标脉冲发生器的设计·····	352
第十四节	内插分频器的设计·····	355

第七章 基本时序线路分析·竞争

第一节	基本时序线路识别简介·····	361
-----	-----------------	-----

第二节	同步计数器分析	363
第三节	异步计数器分析	368
第四节	脉冲竞争概述	371
第五节	组合逻辑电路竞争的判别与消除(一)	374
第六节	组合逻辑电路竞争的判别与消除(二)	377
第七节	环形振荡器的过渡过程	384
第八节	$R-S$ 触发器的竞争与消除	388
第九节	同步 $R-S$ 触发器的竞争与消除	390
第十节	时序线路的竞争判别与消除	393

第八章 数控机床输入部分综述

第一节	输入代码	400
第二节	光电机自动输入方式	410
第三节	手置输入与刀具补偿输入	413
第四节	奇偶校验	415
第五节	输入寄存器	417
第六节	程序号显示及预选停机	417
第七节	P 寄存器	419
第八节	输入控制器所需时序信号	421

第九章 运算器

第一节	两数求和的串行运算原理	424
第二节	十翻二运算	426
第三节	变补器的设计	430
第四节	移位寄存器奇偶校验逻辑线路设计	434
第五节	运动学与插补方式	436
第六节	逐点比较法直线插补原理	440
第七节	逐点比较法圆弧插补原理	449
第八节	逐点比较法抛物线插补原理	455
第九节	逐点比较法插补运算中用到的基本逻辑部件的一般设计方法	461
第十节	脉冲速率乘法器插补原理(MIT 分配方式)	466
第十一节	数字积分法插补原理	470
第十二节	数字积分器直线插补原理	479
第十三节	数字积分器二次曲线插补原理	482
第十四节	数字积分器正弦曲线及指数曲线插补原理	495
第十五节	时差法插补原理	504
第十六节	进给速度控制	529

第十章 输出控制器

第一节	输出控制器概述	535
-----	---------	-----

第二节	升降速线路的一般介绍	536
第三节	同步器的设计	538
第四节	升降速线路中的可逆计算器	545
第五节	T型解码网络	550
第六节	滤波器及变频振荡器	552
第七节	全部数字化的升降速线路	554
第八节	步进电机	559
第九节	步进电机相励磁顺序控制器	562
第十节	步进电机相励磁功率放大电路简介	564
第十一节	加补偿的开环控制系统	568
第十二节	数字闭环控制系统简介	570
第十三节	检测器概述	576
第十四节	旋转变压器及数控闭环系统	577
第十五节	感应同步器及数控闭环系统	582
第十六节	感应同步器定尺励磁鉴相式位移数字测量装置	598
第十七节	光栅检测系统	608
第十八节	磁尺检测系统	611

第十一章 CJSK-1 型车床简易数控机

第一节	概述	615
第二节	鼓轮程序输入机	619
第三节	主轴转速控制	621
第四节	进给速度控制	623
第五节	换刀控制	626
第六节	位置检测器——光电数码盘	627
第七节	比较器	633
第八节	超程保护及其他保护环节	636
第九节	自动程序转换控制电路	637
第十节	起停电路及操作过程	641

附 录

附图 1		643
附图 2		644
附录 1	2 的幂一览表	645
附录 2	逻辑代数基本公式	646
附录 3	二进制逻辑电路图图形符号(SJ 1223-77)	648
附录 4	几种插补曲线的误差计算	650

第七章 基本时序线路分析·竞争

在第六章中,我们设计了一些常用的基本时序线路:寄存器、计数器和分频器。时序线路的状态函数有预置输入函数(D 、 J 、 K),时钟脉冲函数 CP ,以及 R 、 S 函数。状态函数一般都与组成时序线路的各位触发器的状态 Q_i 有关,有时还与外部输入的变量有关。当然,反过来讲,我们也可以说 Q_i 受预置函数、时钟脉冲函数、 R 、 S 函数、外部输入变量及各位触发器状态的控制。时序线路的分析有两个内容,其一是基本时序线路的识别,其二是由给出的逻辑线路如何确定状态流程。分析是综合的逆过程。时序线路的分析,有时称为“时序线路读图”,时序线路的综合又称为“时序线路设计”,因此,我们又说,读图是设计的逆过程。

组合逻辑线路读图是比较容易的。然而时序逻辑线路的读图绝非易事。困难之点就在于函数和变量之间的关系不象组合电路那么简单,往往需要确定的函数与函数本身有关。根据时序线路写出状态函数后,并不能很快地确定状态流程。读图与设计过程相类似的地方也是从假设的状态出发,求出预置函数和 CP 函数的逻辑值,推出 $n+1$ 状态,循此一步一步地推出流程,工作量较大。

读图时,首先应解决“这个逻辑线路是否为时序逻辑线路”的问题,这可由组成逻辑线路的基本逻辑部件进行判定。我们说:凡是在逻辑线路中,至少包含有一个时序逻辑部件的逻辑线路都是时序逻辑线路。什么是时序逻辑部件?这就是各种类型的双稳态触发器。至于包括各种单稳态触发器、多稳态触发器的线路也是时序线路。还需指出:仅由与非门组成的逻辑线路,如果至少存在一只与非门有内部反馈,则这个逻辑线路也属时序线路。后两类时序线路使用的场合都很有限,也极易识别。我们的时序线路分析不包括这部分内容。其次应能判定,某一时序线路属于寄存器、计数器、分频器等哪一类?

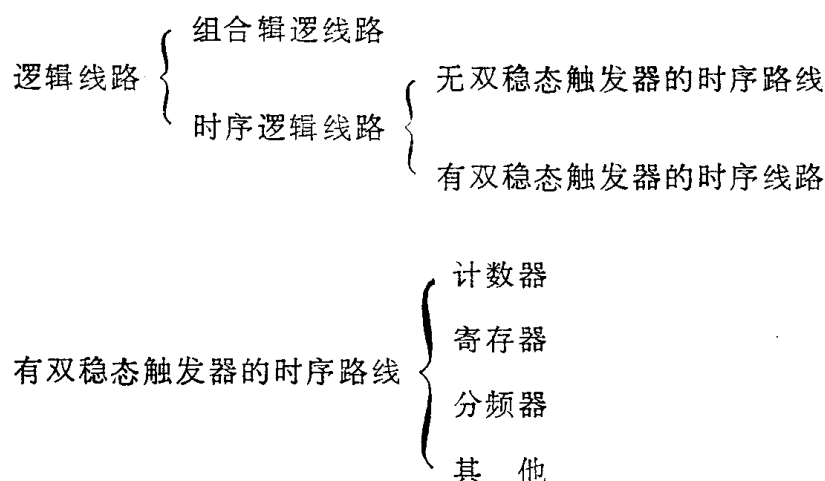
第三个问题是某一时序线路是否为计数器?如果已确定某一时序线路是计数器,那么它的状态流程是什么?这是我们读图的重点所在。

上面所说的过程见图7-0.1

本章所要介绍的另一个重要问题是逻辑线路的竞争及其消除的办法。影响数控装置工作可靠性的重要原因之一就是各种干扰信号引起逻辑线路的误动作,而脉冲竞争就是逻辑线路中产生的一种干扰信号。即便是很简单的逻辑线路,如果不精心设计也会出现十分麻烦的脉冲竞争,要消除这种竞争还得细致地进行分析研究,后面六节重点介绍这部分内容。

第一节 基本时序线路识别简介

我们在时序电路设计一章中,曾分别设计了寄存器、计数器及分频器。看到了这些逻辑



计数器→写出状态函数→设定 n 状态→推出 $n+1$ 状态→流程

图 7-0.1

电路的基本特点，目睹外表，大体可以把它们互相区分开来。

一、寄存器的特点

凡是寄存器，总是存贮信息的。因此，无论预置函数或者 R 、 S 函数总是由外部输入的信号所决定。兼有移位(左、右移位)和循环功能的寄存器一般其预置函数又和相临高位或者相临低位触发器的状态有关，所以寄存器的特点可归结为：

(1) 或者 R 、 S 由外部输入信号(不包括触发器状态因子)控制。

(2) 或者 D 、 J 、 K 由外部输入信号控制(无移位、循环功能)，或者 D 、 J 、 K 由外部输入信号兼有触发器状态控制(既置数，又移位或循环)。

由上述两个特点，从时序电路中把寄存器区分出来是不困难的。

二、计数器的特点

计数器的 D 、 J 、 K 一般都与触发器状态有关，而 R 、 S 与状态有关的属于少数，据此，可以把计数器从时序电路中区分出来。

三、分频器的特点

分频器是在计数器的基础上组成的，分频器一般和计数器或者寄存器相联系，输出端似有“译码器”，不过，这种译码器和外部输入的时钟脉冲有关。我们介绍过的二分频器、十分频器及时标脉冲发生器都有这样的特点。

加了单稳电路的分频器一看便知。倍频器的触发器输出端一般地都和单稳电路相联系，因此，应该仔细分清是“分频”还是“倍频”。区分的方法很简单，一般地倍频输出时， Q 与 $\bar{Q}$ 都接有单稳电路，取脉冲前后沿变化。而分频器一般是 Q 端或 $\bar{Q}$ 端之一经由一只单稳电路输出。

凡无寄存器、计数器、分频器(倍频器)特点的时序电路应区别情况分别对待。

第二节 同步计数器分析

在各种计数器中, 凡计数脉冲同时加于各 CP_i , 则为同步计数器。同步计数器的分析相对地说比较简单, 具体做法如下:

第一步, 由电路写出状态函数, 如果符合二进制加(减)计预置输入函数:

$$J-K \text{ 触发器 } \begin{cases} J_n = K_n = Q_{n-1} Q_{n-2} \cdots Q_1 & (\text{加计}) \\ J_n = K_n = \overline{Q}_{n-1} \overline{Q}_{n-2} \cdots \overline{Q}_1 & (\text{减计}) \end{cases}$$

$$D \text{ 触发器 } \begin{cases} D_n = \overline{Q}_n \cdot (Q_{n-1} Q_{n-2} \cdots Q_1) + Q_n \cdot \overline{Q}_{n-1} \overline{Q}_{n-2} \cdots \overline{Q}_1 & (\text{加计}) \\ D_n = \overline{Q}_n \cdot (\overline{Q}_{n-1} \overline{Q}_{n-2} \cdots \overline{Q}_1) + Q_n \overline{Q}_{n-1} \overline{Q}_{n-2} \cdots \overline{Q}_1 & (\text{减计}) \end{cases}$$

则可判定为二进制计数器。

第二步, 非二进制计数器中, 使用最多的十进制计数器有典型电路, 可以目睹判定。请读者参阅第六章有关内容。

第三步, 既非二进制, 又非十进制计数器, 则应根据状态函数从假设的 n 状态逐一推出 $(n+1)$ 状态。

我们以具体的计数器加以分析。

例 1 由图 7-2.1 电路写出状态函数:

$$\begin{cases} J_4 = Q_1 \\ K_4 = Q_3 \cdot \overline{Q_2} \overline{Q_1} = Q_3 \overline{Q_2} \overline{Q_1} \\ J_3 = \overline{Q_4} \overline{Q_2} \overline{Q_1} = \overline{Q_4} + \overline{Q_2} \overline{Q_1} \\ K_3 = Q_2 Q_1 \\ J_2 = \overline{Q_4} \overline{Q_1} = \overline{Q_4} + \overline{Q_1} \\ K_2 = Q_1 \\ J_1 = 1 \\ K_1 = 1 \end{cases}$$

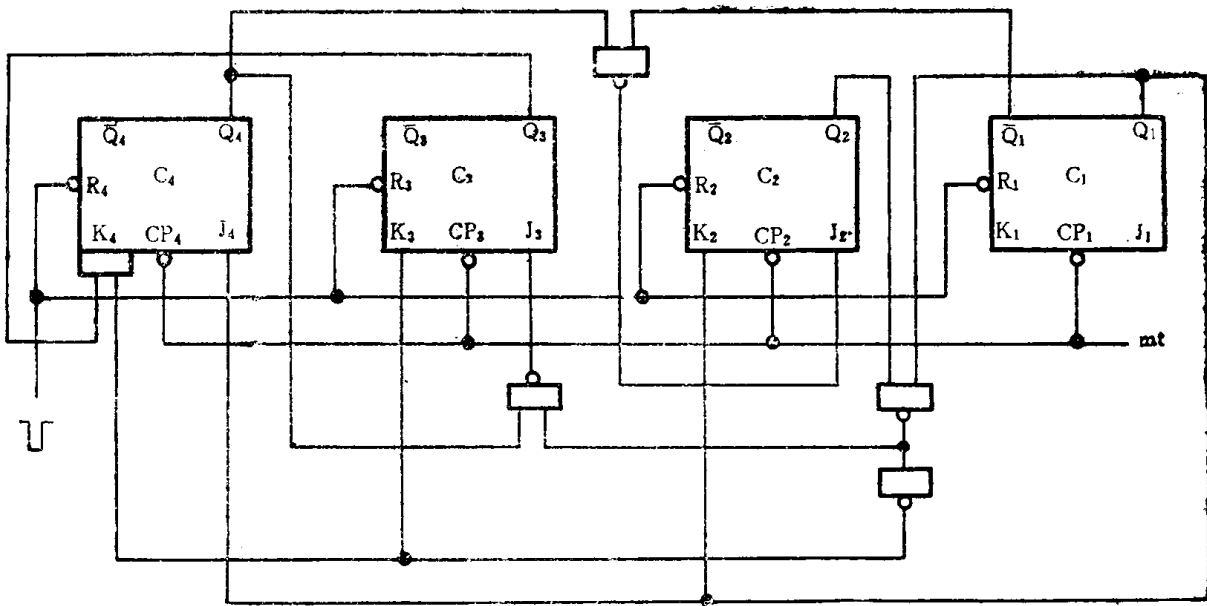


图 7-2.1

$$\begin{cases} R_4=R_3=R_2=R_1=\overline{ZO} \\ S_4=S_3=S_2=S_1=1 \end{cases}$$

根据 $R_4=R_3=R_2=R_1=\overline{ZO}$ ，可判定： $Q_4Q_3Q_2Q_1$ 初始状态为“0 0 0 0”，以此作为 n 状态，计算预置函数逻辑值，推出 $(n+1)$ 状态，如此逐步进行到流程出现闭合环路为止，计数周期以及各个状态都可得出。本例中，以“0 0 0 0”作为流程 P_0 状态，列流程表7-2.1，计算预置函数逻辑值时有一定技巧，比如，表的第一行， Q_4, Q_3, Q_2, Q_1 的原状态为0000，在确定预置函数时，只求 J_4, J_3, J_2, J_1 的值，不必计算 K_4, K_3, K_2, K_1 ，从而确定 P_1 状态为0 1 1 1。第二行中，把0 1 1 1作为 n 状态，确定 J_4, K_3, K_2, K_1 的值，与 K_4, J_3, J_2, J_1 无关，推出下一状态为1 0 0 0，其余各行循此推演，可获得整个流程。这是跳过“0001~0110”六个状态的同步十进制加法计数器。

如果同步计数器由D触发器组成，流程表变得很简单，由 n 状态确定 D_i ，从而也即确定了 $n+1$ 状态。

如果同步计数器属于非循环码计数器，那么，可选某一状态作为起始状态，以四位为例，可由 $Q_4Q_3Q_2Q_1$ 的十六个状态中任选一个状态作为初始状态，然后推出整个流程。一般非二进制同步计数器总有不出现状态，当我们假设的初始状态属于不出现的状态时，在推出流程表的过程中，因为不出现状态处在闭合环路之外，因而被自然淘汰。

表 7-2.1

流 程	n 状 态 $Q_4 Q_3 Q_2 Q_1$	J, K 预 置 函 数								CP	$n+1$ 状 态 $Q_4 Q_3 Q_2 Q_1$
		J_4 K_4		J_3 K_3		J_2 K_2		J_1 K_1			
		Q_1	$Q_3 Q_2 Q_1$	$\overline{Q_4}+Q_2Q_1$	Q_2Q_1	$\overline{Q_4}+Q_1$	Q_1	1	1		
0	0 0 0 0	0		1		1		1		mt_1	0 1 1 1
1	0 1 1 1	1			1		1		1	mt_2	1 0 0 0
2	1 0 0 0		0	0		0		1		mt_3	1 0 0 1
3	1 0 0 1		0	0		1			1	mt_4	1 0 1 0
4	1 0 1 0		0	0			0	1		mt_5	1 0 1 1
5	1 0 1 1		0	1			1		1	mt_6	1 1 0 0
6	1 1 0 0		0		0	0		1		mt_7	1 1 0 1
7	1 1 0 1		0		0	1			1	mt_8	1 1 1 0
8	1 1 1 0		0		0		0	1		mt_9	1 1 1 1
9	1 1 1 1		1		1		1		1	mt_{10}	0 0 0 0

仍以上例说明，如果我们把“0 0 1 1”状态作为初始状态，根据预置函数表式，求得 $J_4=1, J_3=1, K_2=1, K_1=1$ ，计数脉冲到来时，将出现1 1 0 0状态，以此计算 K_4, K_3, J_2, J_1 ，求得下一状态是1 1 0 1，逐步推演，将出现闭合环路

0011 → 1100 → 1101 → 1110 → 1111 → 0000 → 0111 → 1000 → 1001 → 1010 → 1011

↑

因为 0 0 1 1 在环路之外，故 m_{0011} 为禁止项。

注意，任意的假设初始条件推演状态流程，对循环码计数器并不适用。例如，“高位向低位原码传送，最低位向最高位反码传送”的循环码计数器，见表6-5.2(a)，有两个禁止项 m_{010} ， m_{101} ，假若初始状态选其二者之一，将出现如下流程：

Q_3	Q_2	Q_1
0	1	0
1	0	1
0	1	0

显然，其余 6 个状态均不出现，6 进制计数器变成了 2 进制计数器。本例告诉我们，对于循环码一类计数器设置初始条件是至为重要的，否则将导致错误出现。

由计数器线路推出流程的另一办法是：由各位触发器的预置输入函数，结合所使用的触发器类型（ $J-K$ 触发器，或者 D 触发器），写出 Q_i 函数表达式，并展成最小项或式，从初始状态出发顺序求出计数流程。这一过程相当于变迁表的逆推。

对于 $J-K$ 触发器，其 $(n+1)$ 时刻输出状态 $(Q)_{n+1} = \overline{Q}_n J + Q_n \overline{K}$

上式读为：“原状态 Q_n 为 0 预置 J 为 1，或者原状态 Q_n 为 1 预置 K 为 0，则 Q_{n+1} 为 1”（请参阅第五章第九节内容）。

对于 D 触发器，则有 $Q_{n+1} = D$

完全由预置 D 决定 Q_{n+1} 。仍以例 1 加以说明。

在图 7-2.1 中，将各位触发器的预置函数 J_i 、 K_i 代入 Q_i 表达式中，有下述结果：

$$\begin{aligned}
 (Q_4)_{n+1} &= (\overline{Q}_4)_n J_4 + (Q_4)_n \overline{K}_4 \\
 &= (\overline{Q}_4)_n Q_1 + (Q_4)_n \overline{Q_3 Q_2 Q_1} \\
 &= (\overline{Q}_4)_n Q_1 + (Q_4)_n \overline{Q_3} + (Q_4)_n \overline{Q_2} + (Q_4)_n \overline{Q_1}
 \end{aligned}$$

因为 $(Q_4)_n$ 和 $(Q_4)_{n+1}$ 在线路上同属一体，可省去下标，其余 $(Q_i)_n$ 、 $(Q_i)_{n+1}$ 亦是，这样

$$Q_4 = \overline{Q}_4 Q_1 + Q_4 \overline{Q_3} + Q_4 \overline{Q_2} + Q_4 \overline{Q_1}$$

利用数字展开

$$\begin{aligned}
 Q_4 &= \sum \overline{Q}_4 Q_3 Q_2 Q_1 \\
 &\quad \begin{array}{cccc} 0 & 0 & 0 & 1 \\ 0 & 0 & 1 & 1 \\ 0 & 1 & 0 & 1 \\ 0 & 1 & 1 & 1 \end{array} \quad \begin{array}{l} m_1 \\ m_3 \\ m_5 \\ m_7 \end{array} \\
 &\quad \begin{array}{cccc} Q_4 & \overline{Q_3} & Q_2 & Q_1 \\ 1 & 0 & 0 & 0 \\ 1 & 0 & 0 & 1 \\ 1 & 0 & 1 & 0 \\ 1 & 0 & 1 & 1 \end{array} \quad \begin{array}{l} m_8 \\ m_9 \\ m_{10} \\ m_{11} \end{array} \\
 &\quad \begin{array}{cccc} Q_4 & Q_3 & \overline{Q_2} & Q_1 \\ 1 & 0 & 0 & 0 \\ 1 & 0 & 0 & 1 \end{array} \quad \begin{array}{l} m_8 \\ m_9 \end{array}
 \end{aligned}$$

$$\begin{array}{cccccc}
1 & 1 & 0 & 0 & m_{12} \\
1 & 1 & 0 & 1 & m_{13} \\
Q_4 & Q_3 & Q_2 & \overline{Q_1} & \\
1 & 0 & 0 & 0 & m_8 \\
1 & 0 & 1 & 0 & m_{10} \\
1 & 1 & 0 & 0 & m_{12} \\
1 & 1 & 1 & 0 & m_{14}
\end{array}$$

$$= \sum 1, 3, 5, 7, 8, 9, 10, 11, 12, 13, 14$$

$$\begin{aligned}
Q_3 &= \overline{Q_3} J_3 + Q_3 \overline{K_3} \\
&= \overline{Q_3} (\overline{Q_4} + Q_2 Q_1) + Q_3 (\overline{Q_2} \overline{Q_1}) \\
&= \overline{Q_4} \overline{Q_3} + \overline{Q_3} Q_2 Q_1 + Q_3 \overline{Q_2} + Q_3 \overline{Q_1} \\
&= \sum \overline{Q_4} \overline{Q_3} Q_2 Q_1
\end{aligned}$$

$$\begin{array}{cccccc}
0 & 0 & 0 & 0 & m_0 \\
0 & 0 & 0 & 1 & m_1 \\
0 & 0 & 1 & 0 & m_2 \\
0 & 0 & 1 & 1 & m_3
\end{array}$$

$$\begin{array}{cccccc}
Q_4 & \overline{Q_3} & Q_2 & Q_1 & \\
0 & 0 & 1 & 1 & m_3 \\
1 & 0 & 1 & 1 & m_{11}
\end{array}$$

$$\begin{array}{cccccc}
Q_4 & Q_3 & \overline{Q_2} & Q_1 & \\
0 & 1 & 0 & 0 & m_4 \\
0 & 1 & 0 & 1 & m_5 \\
1 & 1 & 0 & 0 & m_{12} \\
1 & 1 & 0 & 1 & m_{13}
\end{array}$$

$$\begin{array}{cccccc}
Q_4 & Q_3 & Q_2 & \overline{Q_1} & \\
0 & 1 & 0 & 0 & m_4 \\
0 & 1 & 1 & 0 & m_8 \\
1 & 1 & 0 & 0 & m_{12} \\
1 & 1 & 1 & 0 & m_{14}
\end{array}$$

$$= \sum 0, 1, 2, 3, 4, 5, 6, 11, 12, 13, 14$$

$$\begin{aligned}
Q_2 &= \overline{Q_2} J_2 + Q_2 \overline{K_2} \\
&= \overline{Q_2} (\overline{Q_4} + Q_1) + Q_2 \overline{Q_1} \\
&= \overline{Q_4} \overline{Q_2} + \overline{Q_2} Q_1 + Q_2 \overline{Q_1} \\
&= \sum 0, 1, 4, 5, 9, 13, 2, 6, 10, 14
\end{aligned}$$

$$\begin{aligned}
Q_1 &= \overline{Q}_1 J_1 + Q_1 \overline{K}_1 \\
&= \overline{Q}_1 \cdot 1 + Q_1 \cdot 0 \\
&= \overline{Q}_1 \\
&= \sum 0, 2, 4, 6, 8, 10, 12, 14
\end{aligned}$$

取 m_{0000} 作为 n 状态, 求出 Q_4, Q_3, Q_2, Q_1 的 $(n+1)$ 状态, 继而由 $(n+1)$ 状态求出 $(n+2)$ 状态……到出现闭合环路为止, 见表 7-2.2。

表 7-2.2

序号	n 状态	$n+1$ 状态 $Q_4 \quad Q_3 \quad Q_2 \quad Q_1$			
0	m_{0000}	0	1	1	1
1	m_{0111}	1	0	0	0
2	m_{1000}	1	0	0	1
3	m_{1001}	1	0	1	0
4	m_{1010}	1	0	1	1
5	m_{1011}	1	1	0	0
6	m_{1100}	1	1	0	1
7	m_{1101}	1	1	1	0
8	m_{1110}	1	1	1	1
9	m_{1111}	0	0	0	0

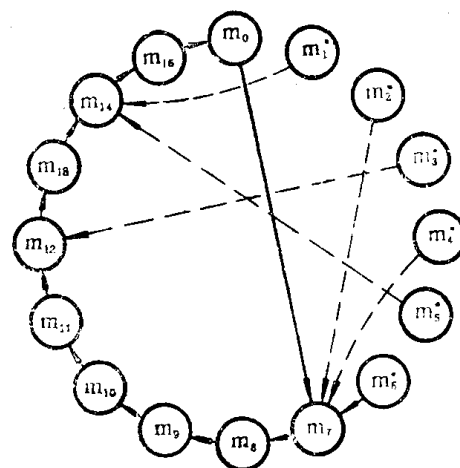


图 7-2.2

假若任选初始状态, 而初始状态恰巧是禁止项 $m_1^* \sim m_6^*$ 之中某一个, 计数器都将进入闭合环路, 见图 7-2.2。

例 2 给出电路图 7-2.3, 求出状态流程。

将 $J_1 = \overline{Q}_3, \quad J_2 = \overline{Q}_4, \quad J_3 = \overline{Q}_5, \quad J_4 = \overline{Q}_1, \quad J_5 = \overline{Q}_2$
 $K_1 = Q_3, \quad K_2 = Q_4, \quad K_3 = Q_5, \quad K_4 = Q_1, \quad K_5 = Q_2$

代入 Q_i 表达式中, 得到:

$$\begin{aligned}
Q_5 &= \overline{Q}_5 J_5 + Q_5 \overline{K}_5 = \overline{Q}_5 \overline{Q}_2 + Q_5 \overline{Q}_2 = \overline{Q}_2 (\overline{Q}_5 + Q_5) = \overline{Q}_2 \\
Q_4 &= \overline{Q}_4 J_4 + Q_4 \overline{K}_4 = \overline{Q}_4 \overline{Q}_1 + Q_4 \overline{Q}_1 = \overline{Q}_1 (\overline{Q}_4 + Q_4) = \overline{Q}_1 \\
Q_3 &= \overline{Q}_3 J_3 + Q_3 \overline{K}_3 = \overline{Q}_3 \overline{Q}_5 + Q_3 \overline{Q}_5 = \overline{Q}_5 (\overline{Q}_3 + Q_3) = \overline{Q}_5 \\
Q_2 &= \overline{Q}_3 J_2 + Q_2 \overline{K}_2 = \overline{Q}_2 \overline{Q}_4 + Q_2 \overline{Q}_4 = \overline{Q}_4 (\overline{Q}_2 + Q_2) = \overline{Q}_4 \\
Q_1 &= \overline{Q}_1 J_1 + Q_1 \overline{K}_1 = \overline{Q}_1 \overline{Q}_3 + Q_1 \overline{Q}_3 = \overline{Q}_3 (\overline{Q}_1 + Q_1) = \overline{Q}_3
\end{aligned}$$

根据线路所给初始条件

$$S_5 = S_4 = S_3 = R_2 = R_1 = \overline{Z} \overline{O}$$

确定初始状态为“11100”, 以此出发可方便地推出流程表, 具体做法是:

由

$$\begin{array}{ccccc} Q_5 & Q_4 & Q_3 & Q_2 & Q_1 \\ 1 & 1 & 1 & 0 & 0 \end{array}$$

算得

$$Q_5 = \overline{Q_2} = \overline{0} = 1,$$

$$Q_4 = \overline{Q_1} = \overline{0} = 1$$

$$Q_3 = \overline{Q_5} = \overline{1} = 0,$$

$$Q_2 = \overline{Q_4} = \overline{1} = 0$$

$$Q_1 = \overline{Q_3} = \overline{0} = 1$$

表明 11100 的下一状态是 11000，逐步演算如图 7-2.4 所示。

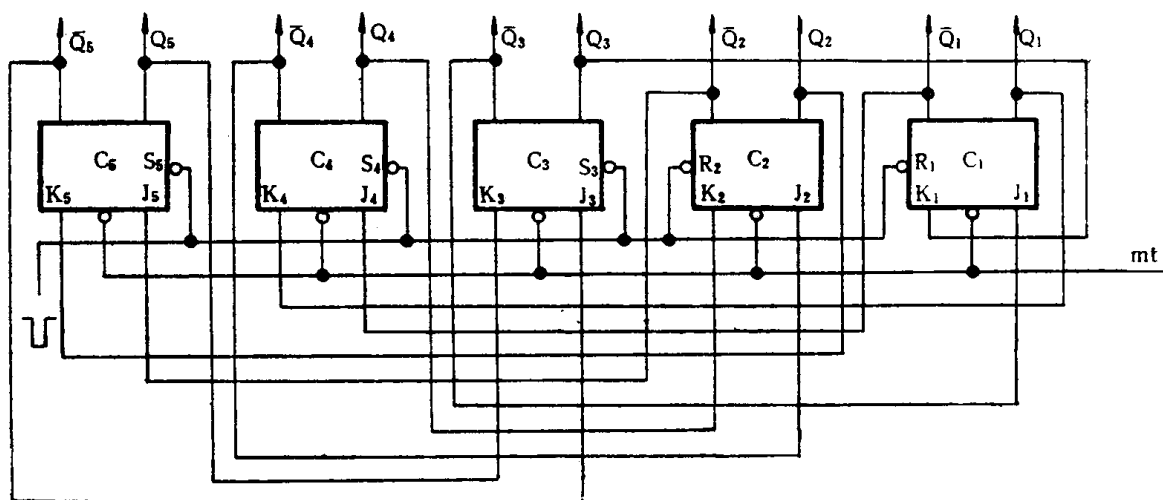


图 7-2.3

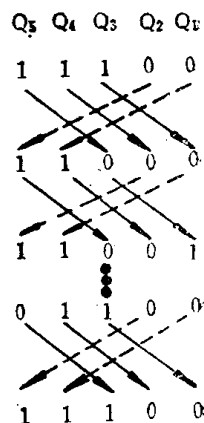
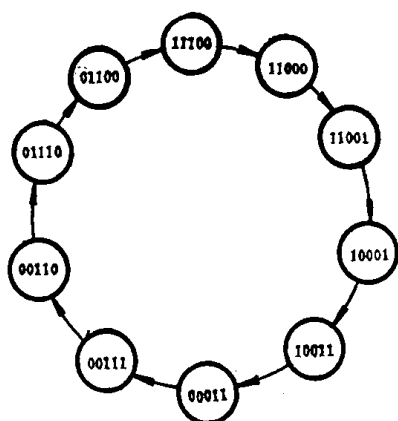


图 7-2.4

第三节 异步计数器分析

异步计数器的各位触发器其时钟脉冲函数不相同，根据这一特点能立即把异步计数器和同步计数器加以区分。

如果某一异步计数器的预置函数和时钟脉冲函数具有下面所示表达式，则为二进制异步计数器。

$$\left. \begin{array}{lll} D_i = \overline{Q_i}, & CP_i = \overline{Q_{i-1}}, & CP_1 = mt \\ J_i = K_i = 1, & CP_i = Q_{i-1}, & CP_1 = mt \end{array} \right\} \text{加计}$$

$$\left. \begin{array}{lll} D_i = \bar{Q}_i, & CP_i = Q_{i-1}, & CP_1 = mt \\ J_i = K_i = 1, & CP_i = \bar{Q}_{i-1}, & CP_1 = mt \end{array} \right\} \text{减计}$$

凡不符合上述规律的异步计数器，可能为其他异步计数器。

非二进制异步计数器的各位触发器状态变迁由其预置输入和 CP 函数决定，推出流程表时，首先根据 R 、 S 函数确定初始状态，由初始状态推演 mt 到来后的 $CP_i = mt$ 的 Q_i 状态变迁，然后由 Q_i 输出的变化确定和 Q_i 有关的 CP 函数。例如：若 $CP_2 = Q_1$ ，我们可根据 Q_2 触发器的预置输入决定 Q_2 的 $(n+1)$ 状态，而该状态的出现时刻则由 Q_1 提供的计数脉冲决定，随后可求其余触发器的状态变迁，循此一步一步地求出状态流程。

为了掌握异步计数器的分析方法，我们举出两例加以说明。

例 1 已知线路图 7-3.1，试推出状态流程。

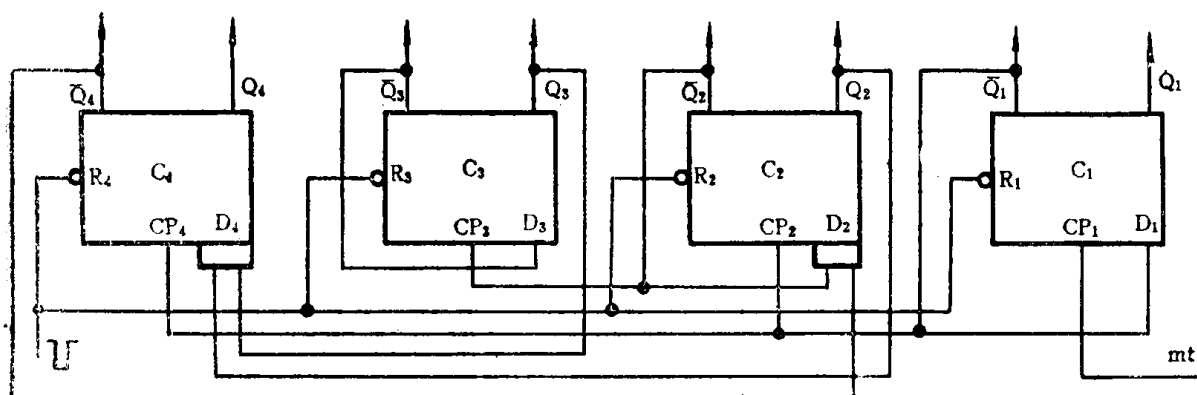


图 7-3.1

根据线路写出各触发器的预置函数和 CP 函数：

$$\left\{ \begin{array}{l} D_4 = Q_3 Q_2 \\ CP_4 = \bar{Q}_1 \end{array} \right\} \left\{ \begin{array}{l} D_3 = \bar{Q}_3 \\ CP_3 = \bar{Q}_2 \end{array} \right\} \left\{ \begin{array}{l} D_2 = \bar{Q}_4 \bar{Q}_2 \\ CP_2 = \bar{Q}_1 \end{array} \right\} \left\{ \begin{array}{l} D_1 = \bar{Q}_1 \\ CP_1 = mt \end{array} \right.$$

初始条件，

$$R_4 = R_3 = R_2 = R_1 = \bar{Z} \bar{O}$$

由函数列表 7-3.1。

表中，最右一列为 Q_1 的变迁表，依次向左为 Q_2 、 Q_3 、 Q_4 的变迁表。最低位触发器接成计数触发器，由外部送入的计数脉冲 mt 触发， Q_1 由 $0 \rightarrow 1$ 或 $1 \rightarrow 0$ 翻转，均需 mt 脉冲。列表时，四位触发器最多出现的状态数为 16 种，因此，最多可以设置 16 个计数脉冲，先求出 Q_1 的 9 次翻转，因 $\bar{Q}_1$ 是 D_1 的预置，也是 CP_2 和 CP_4 的输入，因此， CP_2 和 CP_4 即已求出。 Q_2 和 Q_4 由 D_2 、 D_4 的预置决定，由 $\bar{Q}_2$ 也就确定了 CP_3 ， Q_3 输出由预置 D_3 决定。推演时，由右向左，从上到下，逐一进行，直到出现初始状态为止。由表 7-3.1 推演，当第十个计数脉冲到来后，回到“0000”初始状态，因此计数周期为十，这个线路是异步“8、4、2、1”代码十进制加法计数器的最简线路。

例 2 试推出图 7-3.2 流程表。

根据电路图，写出预置函数及 CP 函数：

$$\left\{ \begin{array}{l} J_4 = Q_3 Q_2 \\ K_4 = 1 \\ CP_4 = Q_1 \end{array} \right\} \left\{ \begin{array}{l} J_3 = Q_2 \\ K_3 = Q_2 \\ CP_3 = Q_1 \end{array} \right\} \left\{ \begin{array}{l} J_2 = \bar{Q}_4 \\ K_2 = 1 \\ CP_2 = Q_1 \end{array} \right\} \left\{ \begin{array}{l} J_1 = 1 \\ K_1 = 1 \\ CP_1 = mt \end{array} \right.$$

表 7-3.1

流 程	C_4			C_3			C_2			C_1		
	Q_4	D_4	CP_4	Q_3	D_3	CP_3	Q_2	D_2	CP_2	Q_1	D_1	CP_1
		Q_3Q_2	$\overline{Q}_1$		$\overline{Q}_3$	$\overline{Q}_2$		$\overline{Q}_4\overline{Q}_2$	$\overline{Q}_1$		$\overline{Q}_1$	mt
** 0	0	0	1	0	1	1	0	1	1	0	1	$\begin{smallmatrix} 1 \\ 0 \end{smallmatrix}$
1	0	0	0	0	1	1	0	1	0	1	0	$\downarrow mt_1$ $\begin{smallmatrix} 1 \\ 0 \end{smallmatrix}$
2	0	0	1	0	1	0	1	0	1	0	1	$\downarrow mt_2$ $\begin{smallmatrix} 1 \\ 0 \end{smallmatrix}$
3	0	0	0	0	1	0	1	0	0	1	0	$\downarrow mt_3$ $\begin{smallmatrix} 1 \\ 0 \end{smallmatrix}$
4	0	0	1	1	0	1	0	1	1	0	1	$\downarrow mt_4$ $\begin{smallmatrix} 1 \\ 0 \end{smallmatrix}$
5	0	0	0	1	0	1	0	1	0	1	0	$\downarrow mt_5$ $\begin{smallmatrix} 1 \\ 0 \end{smallmatrix}$
6	0	1	1	1	0	0	1	0	1	0	1	$\downarrow mt_6$ $\begin{smallmatrix} 1 \\ 0 \end{smallmatrix}$
7	0	1	0	1	0	0	1	0	0	1	0	$\downarrow mt_7$ $\begin{smallmatrix} 1 \\ 0 \end{smallmatrix}$
8	1	0	1	0	1	1	0	0	1	0	1	$\downarrow mt_8$ $\begin{smallmatrix} 1 \\ 0 \end{smallmatrix}$
9	1	0	0	0	1	1	0	0	0	1	0	$\downarrow mt_9$ $\begin{smallmatrix} 1 \\ 0 \end{smallmatrix}$
0	0	1	1	0	1	1	0	0	1	0	1	$\downarrow mt_{10}$ $\begin{smallmatrix} 1 \\ 0 \end{smallmatrix}$

(** 初始状态“0000”)

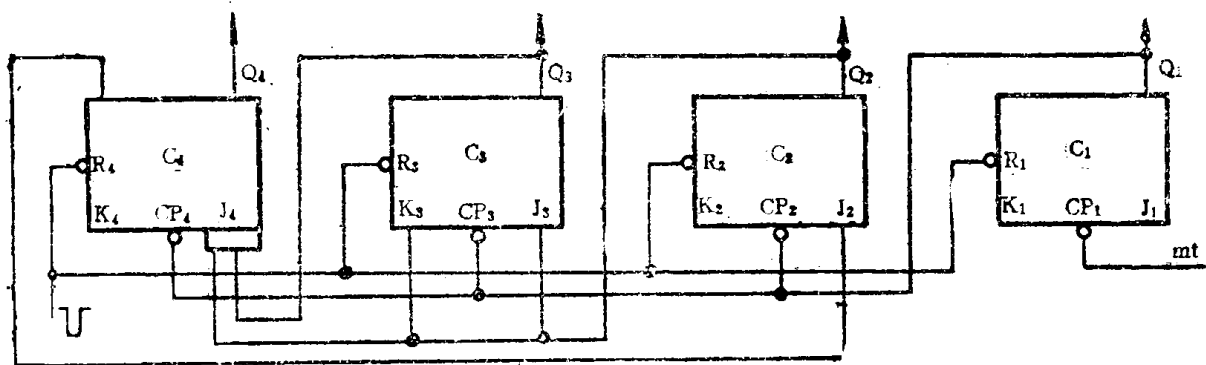


图 7-3.2