

(77.62)

77.99

333

武钢一米七冷轧厂工程技术总结

电装工程及计算机控制系统

(第三分册)

第一冶金建设公司

武钢一米七冷轧厂工程技术总结

电装工程及计算机控制系统

第三分册



第一冶金建设公司

内 容 提 要

“电装工程及计算机控制系统”一书分为四个分册。第一分册的内容包括武钢一七米冷轧厂电气安装工程概况以及五机架冷连轧机计算机控制系统概述、计算机的硬件、XOS操作系统、编译系统等。第二分册的内容包括原始数据管理、数据测量、数据收集和设定计算等软件的阐述与调试。第三分册为冷连轧机CP550小型计算机控制系统；其中包括计算机的硬件、显示屏的管理与手动设定计算(IPU2)、数据分配器、带尾及过焊缝自动制动(减速)、开卷机和卷取机的自动控制；第四分册仍为该系统的连轧机同步调速、进出料、换辊的自动化系统等的阐述与调试，以及本总结的数字信号处理系统GU系列常用插件和DOLOG程序汇编的说明等资料（本“电装工程及计算机控制系统”原拟分为三个分册，后因篇幅太大，装订不便，改为四个分册）。可供从事上述方面的电气安装、调试、设计以及科研人员参考。

武钢一米七冷轧厂工程技术总结（第三册）

第三分册

一冶总结汇编组编（内部发行）

一冶科技处经售

一冶印刷厂印刷

1980年10月第一版 印数1~3000

目 录

第 三 分 册

第二篇 CP550小型计算机控制系统

第一章 CP550电子计算机概述

第一节	硬件结构.....	(1)
第二节	软件.....	(39)
第三节	调试.....	(61)
第四节	CP550应用项目.....	(79)

第二章 显示屏的管理与手动设定计算装置 IPU2

第一节	概述.....	(87)
第二节	硬件组成.....	(89)
第三节	软件组成.....	(89)
第四节	显示屏的功能及操作.....	(92)
第五节	数据输入输出通道和标识字.....	(95)
第六节	程序框图及子程序表.....	(98)
第七节	调试过程中几个问题的探讨	(117)

第三章 数据分配器

第一节	概述	(127)
第二节	硬件组成	(129)
第三节	软件组成	(131)
第四节	输入输出模件占用表	(133)

第五节	程序框图及程序说明	(140)
第六节	调试	(165)

第四章 带尾及过焊缝自动制动（减速）系统 CPABB

第一节	系统功能说明	(192)
第二节	程序说明	(199)
第三节	调试	(270)

第五章 开卷机和卷取机的自动控制

第一节	功能说明	(281)
第二节	计算公式	(286)
第三节	控制程序的基本思想	(293)
第四节	控制程序中几个问题的说明	(302)
第五节	调试的方法和步骤	(308)
第五章附录：	控制程序和框图	(318)

第二篇 CP550小型计算机控制系统

第一章 CP550电子计算机概述

西德AEG通用电器公司制造的LOGISTAT CP550电子计算机是一种小型数字计算机，它的程序存储器容量为4K(经过适当处理可扩充到7K)，字长12位，输入/输出13位，采用集成电路装备，具有体积小(410mm×265mm×300mm)、运算速度高(可达150万次)、价格便宜、抗干扰能力强等优点，适于使用在电气干扰大的工业自动控制系统中。目前武钢五机架冷连轧机自动控制系统中共采用15台CP550，经过调试，已投入正常运行，性能良好。

在一个采用CP550电子计算机的自动控制系统中(图1—1)，CP550通过输入程序不断地从外部过程输入控制信号或数据，这些信号或数据可以是按键开关的接点信号，也可以是某个机械运动的终端行程开关接通/断开的信号，还可以是某一个模拟电压量经过模/数转换器转换后的数字量信号，这些信号输入CP550之后，借助于信号处理程序，经过数学运算、逻辑等处理，产生输出信号，由输出程序输出，以控制外部“过程”，例如使电动机M正转/反转，阀门打开/关闭，指示灯L亮/灭等。

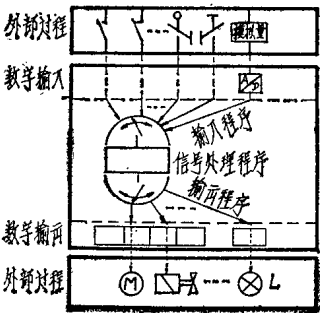


图1—1 CP550与控制过程的关系

第一节 硬件结构

CP550电子计算机从其功能来分，大体可以分为三个部分(如图1—2所示)：

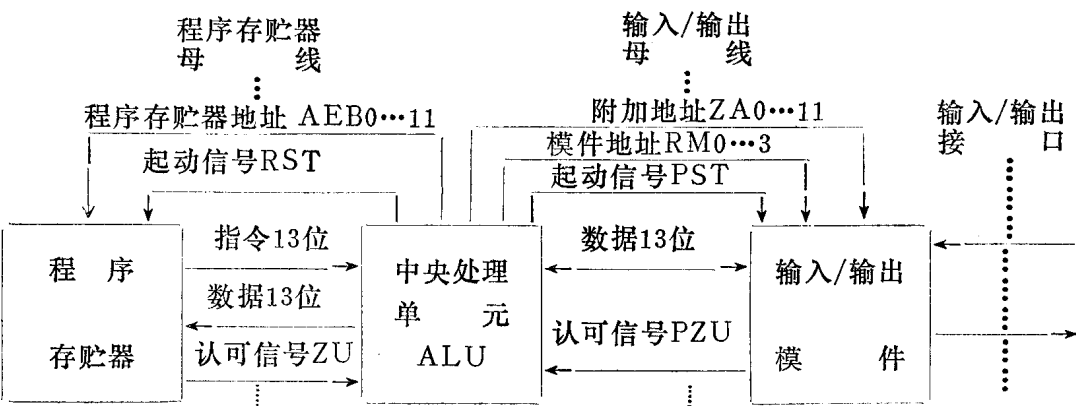


图1—2 CP550电子计算机结构示意图

一、程序存储器,存放控制程序和参数。

二、中央处理单元ALU,进行信号或数据的算术逻辑等处理,产生输出信号。

三、输入/输出模件,从外部过程输入信号,将中央处理单元产生的输出信号输出到外部过程。

借助于程序存储器总线实现中央处理单元和程序存储器之间的信息(包括指令、数据和控制信号)的传送。

借助于输入/输出总线实现中央处理单元和输入/输出模件之间的信息(包括数据和控制信号)的传送。

以下对CP550电子计算机的各个主要部件的功能加以说明。

一、程序存储器

根据工艺的控制要求,人们将CP550可供使用的38条指令按一定的次序排列起来,编成控制外部过程的程序,这个程序就被存放在程序存储器中,每一条指令占用存储器一个单元,CP550可以存放4096条指令(简称4K),经过适当处理可以扩展到7K。

CP550有多种可供选择的程序存储器插件板(232mm×172mm),它们的存储容量和存取时间各不一致(见表1—1)。

CP550可供选择的存储器

表 1—1

	存储器 方式	容量	操作 方式	程序编 制方式	信息 保护	存 取 时 间	指令执 行时间	输入/输出时指 令执行延长时间	应 用
HSP 0	半导体	256	读/写	通过 AKO 和 TTY 进行程 序编制	不	200ns	550ns	+ 350ns	既可作程 序 存 贮 器,也可 作数据存 贮器。
HSP 1	半导体	1024	读/写		不	200ns	550ns	+ 350ns	
HSP 2	半导体	2048	读/写		不	1300ns	1650ns	+ 1450ns	
HSP 2.1	半导体	1024	读/写		不	1300ns	1650ns	+ 1450ns	
KSP	磁 心	1024	读/写	程序编制	保护	500ns	1000ns	+ 650ns	
PRO 1	熔断式	1024	只 读	熔 断	保护	200ns	550ns	+ 350ns	
PRO 2	紫外线 读/写	1024	只 读	紫外线	保护	1500ns	1850ns	+ 350ns	
MRO	半导体	4096	只 读	掩 膜	保护	200ns	550ns	—	
KOS	常 数 存 贮 器	12	只 读	手 动 调 正	保护	190ns	—	+ 250ns	只作数据 存 贮 器

(一) 程序存储器插件板的主要组成及功能

CP550可供使用的程序存储器插件的逻辑结构形式基本相同(如图1—3所示),下面以半导体读/写存储器HSP1为例说明其各个部分的组成及功能。

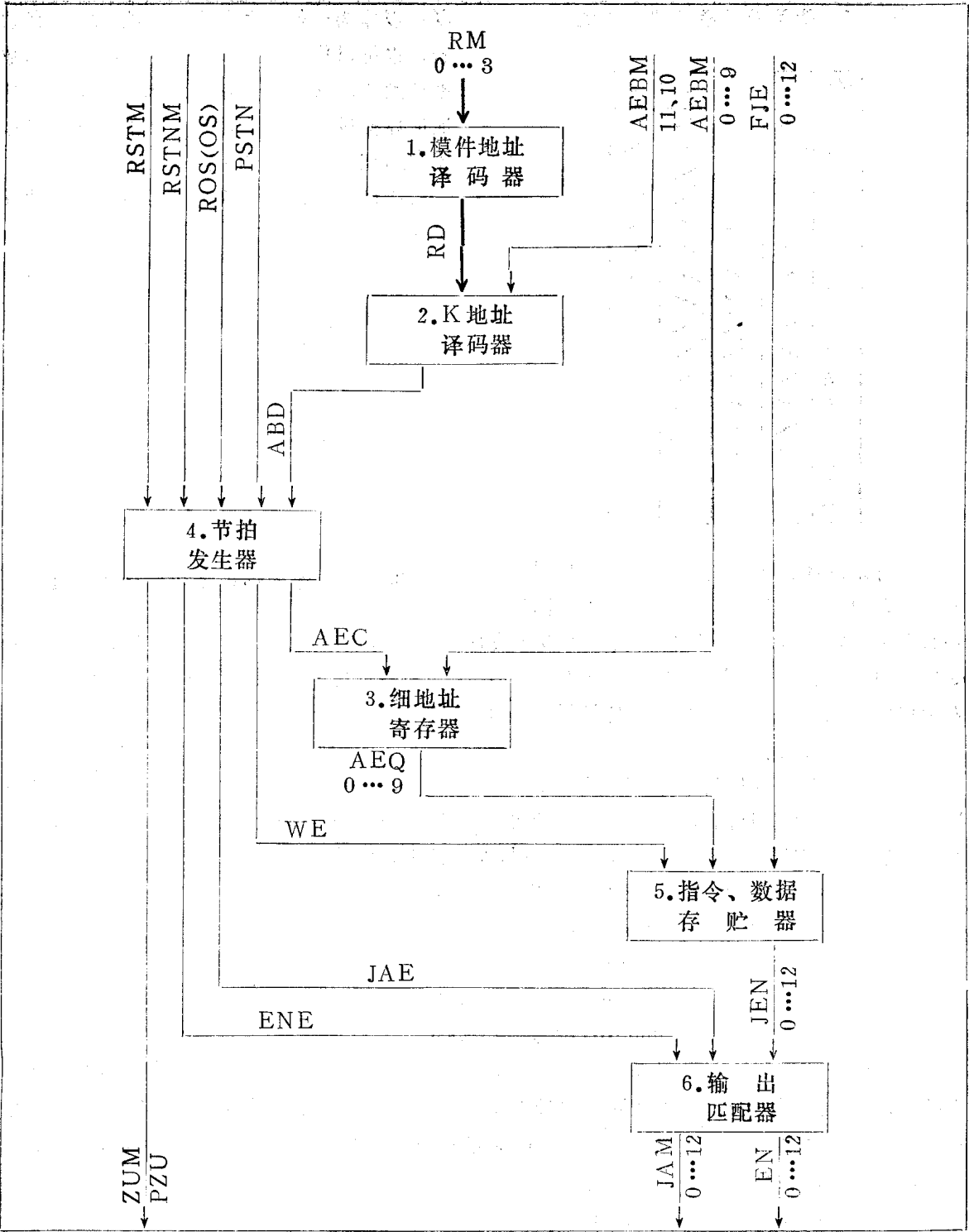


图1—3 HSP1存储器插件功能原理图

1. 模块地址译码器

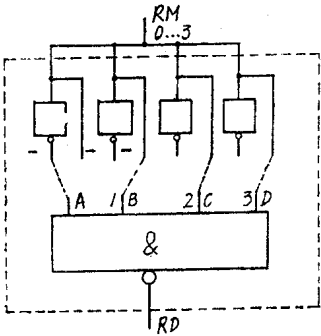
CP550的模块就是通道和接口的统称，中央处理单元直接和这些模块进行信息的交换，每一个模块具有一个模块地址MA，程序存储器的模块地址MA = 14，同一块存储器插件，

表1—2 模件地址桥的连接方式

MA	0	1	2	3
0	↘	↘	↘	↘
1	↘	↘	↘	↘
2	↘	↘	↘	↘
3	↘	↘	↘	↘
4	↘	↘	↘	↘
5	↘	↘	↘	↘
6	↘	↘	↘	↘
7	↘	↘	↘	↘
8	↘	↘	↘	↘
9	↘	↘	↘	↘
10	↘	↘	↘	↘
11	↘	↘	↘	↘
12	↘	↘	↘	↘
13	↘	↘	↘	↘
14	↘	↘	↘	↘
15	↘	↘	↘	↘

模件地址译码器(如图1—4所示)接受从中央处理单元经过MRO插件来的4位模件地址信号RM0…3,经过译码后,共计可以形成16个模件地址(MA = 0…15),当焊接桥采用如图1—4的方式连接且RM3…0 = 1110时,A、B、C、D各点均为1信号,经逻辑处理,RD = 0,表示程序存贮器插件所处的模件地址MA = 14, HSP1就被选通。

图1—4 模件地址译码器功能原理图



2. K地址译码器

CP550存贮器容量为4K,分为第1K、第2K、第3K、第4K,从中央处理单元经过MRO插件来的被选择的读/写存贮单元地址AEBM11和AEBM10两位状态决定了选用哪一个K的值,AEBM11和AEBM10两位状态与地址范围K值的关系列表如下:

AEBM11	AEBM10	存贮地址范围	K值
0	0	0000…1777 ₈	第1K
0	1	2000…3777 ₈	第2K
1	0	4000…5777 ₈	第3K
1	1	6000…7777 ₈	第4K

一般情况下,每块存贮器插件板的容量为1K,在插件板上有用于K值地址范围选择的焊接桥,适当连接焊接桥,就可使同一块插件工作在不同的存贮地址范围内,如半导体读/写存贮器HSP1有4个焊接桥 1 2 3 4,桥的连接方式和对应的K值存贮范围列表如下:

桥	存贮地址范围	K值
1	0000…1777 ₈	第1K
2	2000…3777 ₈	第2K
3	4000…5777 ₈	第3K
4	6000…7777 ₈	第4K

如一块半导体读/写存贮器HSP1的焊接桥的连接方式为 $\begin{smallmatrix} 1 \\ 2 \end{smallmatrix}$ 时, 这块存贮器插件HSP 1 工作在第2K的地址范围内, 第1个存贮单元的地址为2000₁₀。

K地址译码器是一个双变量译码器(如图1—5所示), 它接受从中央处理单元经过MRO插件来的被选择的读/写存贮单元地址

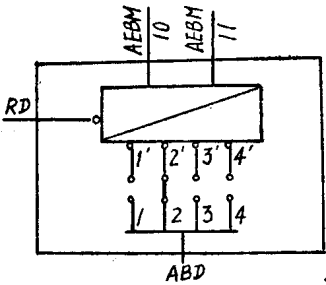


图1—5 K地址译码器功能原理图

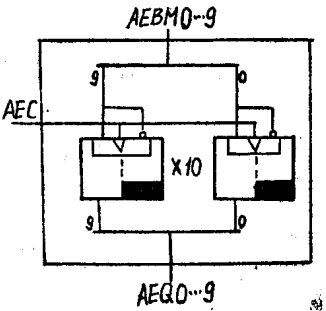


图1—6 细地址寄存器功能原理图

的AEBM11和AEBM10两位信号, 设AEBM11=1、AEBM10=0, 模件地址译码器输出信号RD=0时, K地址译码器释放, 2'=0信号, 图中焊接桥选为2K(桥的连接为 $\begin{smallmatrix} 1 \\ 2' \end{smallmatrix}$), K地址译码信号ABD=0, 处于第2K地址范围的程序存贮器HSP1插件就被选通。

3. 细地址寄存器

细地址寄存器由10个D型双稳态触发器组成(如图1—6所示), 它存放从中央处理单元经过MRO插件来的被选择的读/写存贮单元地址的第0...9位(AEBM0...9), 可供选择的细地址范围为1024₁₀=1K。

从中央处理单元来的地址值AEBM0...9置于10个D型触发器的输入端, 当节拍发生器4来的细地址存贮控制信号AEC由0→1时, AEBM0...9就被存入细地址寄存器, 形成被选择的存贮单元的细地址值AEQ0...9。

4. 节拍发生器

节拍发生器产生使存贮器正确地工作所必须的一些控制信号, 它的功能原理如图1—7所示。

节拍发生器产生如下控制信号:

(1) 细地址寄存器存贮控制信号AEC

A、HSP1作为程序存贮器使用

当中央处理单元经过MRO插件发来的程序存贮器起动信号RSTM由0→1时, 三态门释放, RSTNM由1→0的信号使三态门的输出端由1→0, 经过非门, 形成AEC由0→1。

B、HSP1作为数据存贮器使用

输入端RSTM断开, 相当于RSTM=1, 中央处理单元发来的外围起动信号PSTN接到RSTNM端, 当PSTN由1→0时, 经过三态门和非门, AEC由0→1。

(2) 指令输出释放信号JAE

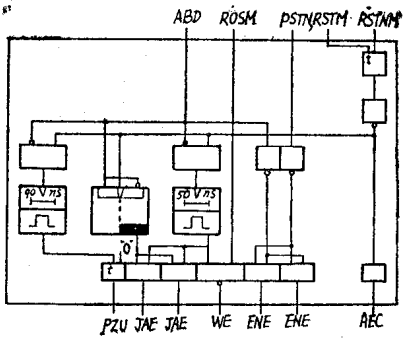


图1—7 节拍发生器功能原理图

当细地址寄存器存贮控制信号AEC由0 $\rightarrow$ 1、程序存贮器K地址译码信号ABD由1 $\rightarrow$ 0时，经过50^{ns}后，在单稳态触发器作用下，产生一个指令信息输出释放信号JAE的脉冲0 $\rightarrow$ 1 $\rightarrow$ 0。

(3) 数据输出释放信号ENE

当半导体读/写存贮器插件HSP1作为数据存贮器使用并且从中央处理单元发来的外围起动信号PSTN由1 $\rightarrow$ 0、程序存贮器K地址译码信号ABD由1 $\rightarrow$ 0时，数据输出释放信号ENE由0 $\rightarrow$ 1。

(4) 指令、数据存贮器存贮控制信号WE

当细地址寄存器存贮控制信号AEC由0 $\rightarrow$ 1、程序存贮器K地址译码信号ABD由1 $\rightarrow$ 0、程序存贮器读/写操作方式信号ROSM=1（HSP1作为数据存贮器使用时，采用输入/输出操作方式信号OS），经过50^{ns}后，在单稳态触发器和与非门的作用下，产生一个指令、数据存贮器存贮控制信号WE=1 $\rightarrow$ 0 $\rightarrow$ 1。

(5) 程序存贮器认可信号ZUM（PZU）

当细地址寄存器存贮控制信号AEC由0 $\rightarrow$ 1、程序存贮器K地址译码信号ABD由1 $\rightarrow$ 0时，经过90^{ns}后，在单稳态触发器的作用下经三态输出门，产生一个程序存贮器认可信号ZUM（PZU）1 $\rightarrow$ 0 $\rightarrow$ 1，经过MRO插件发送到中央处理单元。

存贮器插件HSP1作为数据存贮器使用时，发向中央处理单元的认可信号称为外围认可信号PZU，其产生条件和ZUM相同。

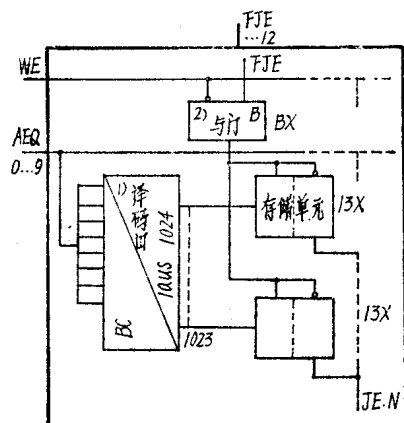


图1—8 指令、数据存贮器功能原理图

B. 13个前置与门

当存贮器的存贮控制信号WE=0时，前置与门释放，从中央处理单元来的指令或数据FJE0 $\dots$ 12被存入选通了的地址单元中。

C. 1024₁₀个存贮单元：

半导体存贮器HSP1共有1024₁₀个存贮单元，可以存放1024条指令或数据（13位），每个存贮单元由13个双稳态触发器组成，存贮单元的输出信号JEN0 $\dots$ 12从双稳态触发器的Q端输出，JEN0 $\dots$ 12和存贮单元的内容互为反码。

(2) 指令或数据存入存贮单元的动作过程

从中央处理单元来的指令或数据FJE0 $\dots$ 12处于存贮器的入口，存贮单元的细地址AEQ0 $\dots$ 9经过译码器的作用，使得与AEQ0 $\dots$ 9相应的存贮地址单元释放，在节拍发生器来的存贮控制信号WE1 $\rightarrow$ 0 $\rightarrow$ 1的作用下，FJE0 $\dots$ 12被存入与AEQ0 $\dots$ 9值相应的存贮地址单

5. 指令、数据存贮器

HSP1的指令、数据存贮器是一个可以读/写的半导体存贮器，它的存贮容量为1024₁₀，每个单元可以存放一个13位的指令或数据，它的功能原理如图1—8所示。

(1) 主要组成

A、细地址译码器

存贮单元的细地址AEQ0 $\dots$ 9输入译码器，经过译码器的作用，使与AEQ0 $\dots$ 9值相应的存贮地址单元释放，可释放的地址范围为0 $\dots$ 1023₁₀（0 $\dots$ 1777₈）。

元中。

(3) 指令或数据从存贮单元读出的动作过程

存贮单元的细地址AEQ0...9经过译码器的作用,使得与AEQ0...9值相应的存贮地址单元释放,由于存贮控制信号WE=1,使13个前置与门封锁,禁止了写的过程,这样被释放的存贮单元中的指令或数据就从输出端JEN0...12输出,JEN0...12和存贮单元中的内容互为反码。

6. 输出匹配器

它由13个输出与门和13个输出与非门组成,(如图1—9所示),用于存贮器和中央处理单元之间的信息的匹配。

(1) 指令的输出匹配

当指令输出释放信号JAE=1时,指令输出与非门释放,与细地址AEQ0...9相应的存贮单元内容的取反量JEN0...12经过指令输出与非门,从输出端JAM0...12输出到存贮器母线上。

(2) 数据的输出匹配

当半导体存贮器HSP1作为数据存贮器使用,并且数据输出释放信号ENE=1时,数据输出与门释放,与细地址AEQ0...9相应的存贮单元内容的取反量JEN0...12经数据输出与门从输出端EN0...12输出到输入/输出数据母线上。

(二) 存贮器的主要动作过程

下面简单叙述半导体存贮器HSP1作为程序存贮器使用时的主要动作过程(HSP1作为数据存贮器使用时的主要动作过程与此相类似)

1. 指令的读出过程

中央处理单元经过MRO插件将程序地址计数器的内容、程序存贮器起动信号和读操作信号分别发送到程序存贮器母线AEBM0...11、RSTM、RSTNM和ROSM上,程序存贮器HSP1从母线接收上述信息后,分7步完成指令的整个读出过程。

(1) 当起动信号RSTM由0→1、RSTNM由1→0和ROSM=0时,节拍发生器4产生的细地址寄存器3存贮控制信号AEC由0→1,指令、数据存贮器5的存贮控制信号WE=1。

(2) 当AEC由0→1时,AEBM0...9被存入细地址寄存器3,形成细地址AEQ0...9。

(3) AEQ0...9送入指令、数据存贮器5,经地址译码器作用,与AEQ0...9相应的存贮地址单元被选通释放,由于WE=1,写的过程被封锁,存贮单元的内容JEN0...12输出到匹配器6的指令输出与非门的输入端。

(4) AEBM11和AEBM10送入K地址译码器2,HSP1作为程序存贮器使用时,模块地址译码信号RD=0,致使K地址译码器2释放,AEBM11和AEBM10经过K地址译码器2的作用,产生的K地址译码信号ABD由1→0,送入节拍发生器4。

(5) 在节拍发生器4中,当RSTM=1、RSTNM=0、ABD=0时,形成指令输出释放信号JAE=1,使得指令输出与非门释放。

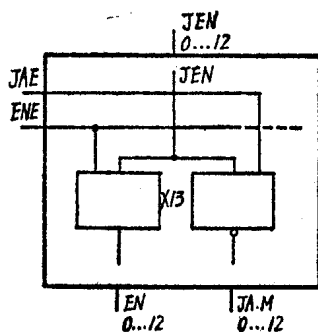


图1—9 输出匹配器功能原理图

(6) 被选址的程序存储器地址单元的内容JEN0...12经指令输出与非门输出到程序存储器总线JAM0...12上。

(7) 当AEC由0→1、ABD由1→0时, 经过90ns后, 在单稳态触发器作用下, 经过程序存储器总线ZUM和MRO插件向中央处理单元发出认可信号ZU, 中央处理单元接受认可信号后, 将处于程序存储器总线上的指令经MRO插件取入指令寄存器, 至此, 读出过程结束。

2. 指令的存储过程

中央处理单元经过MRO插件和程序存储器总线发出如下信息:

A、程序存储器地址值AEBM0...11(经过MRO插件)。

B、被存储的指令信息FJE0...12。

C、程序存储器读/写方式信号ROSM=1(经过MRO插件)。

D、程序存储器启动信号RSTM, RSTNM(经过MRO插件)。

程序存储器HSP1接受上述信息后, 以7步来完成整个指令的存储过程:

(1) 当程序存储器启动信号RSTM=1、RSTNM=0时, 节拍发生器4产生的细地址寄存器存储控制信号AEC由0→1。

(2) 当AEC由0→1时, 程序存储器地址值AEBM0...9存入细地址寄存器3, 形成存储单元的细地址值AEQ0...9。

(3) AEQ0...9送到指令、数据存储器5的输入端。

(4) 程序存储器地址值AEBM11、AEBM10送入K地址译码器2, 在模件地址译码信号RD=0的作用下, 产生的K地址译码信号ABD由1→0, 送入节拍发生器4。

(5) 在节拍发生器4中:

当RSTM=1、RSTNM=0、ABD=0和程序存储器读/写操作方式信号ROSM=1时, 产生指令、数据存储器的存储控制信号WE=1→0→1。

(6) 当WE=0时, 指令、数据存储器5的前置与门释放, 处于程序存储器总线上的指令信息FJE0...12被存入与AEQ0...9相应的地址单元中。

(7) 当AEC由0→1、ABD由1→0时, 经过90ns以后, 在单稳态触发器的作用下, 经过程序存储器认可信号总线ZU和MRO插件向中央处理单元发出程序存储器认可信号ZU, 至此, 指令存储过程结束。

(三) CP550程序存储器的特点

1. 可以根据控制程序的多少来决定采用程序存储器插件的数量, 如五机架冷轧机的侧导板自动调节系统CP550控制程序只有1675₈=967₁₀条指令, 选用一块1K容量的存储器插件就足够, 这样就节省了第2K存储器的费用。

2. 可以根据工艺要求来选取不同存取时间(即运算速度)的程序存储器插件, 如在五机架同步调速系统的引导给定值发生器的CP550中, 要求程序运行周期短, 就选用存取时间短的存储器插件PRO1。

3. 在调试过程中, 为了便于修改程序, 一般采用磁芯存储器, 调试过程结束, 表明程序完全合乎控制过程的要求, 就可以换成只读存储器PRO1, 或紫外线存储器PRO2, 功能既可靠, 费用又低, 如在五机架同步调速系统的引导给定值发生器CP550中采用PRO1, 在数据分配器IPU1的CP550中则采用紫外线存储器PRO2。

4. 所有的程序存储器都插在相同的存储器总线上, 这称为共总线结构, 这些存储器型号

完成，如图1—11所示：

n条被执行

从n+1地址取指令

地址计数器n+2

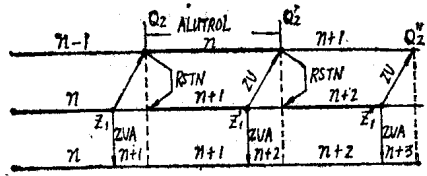


图1—11 重迭操作方式示意图

在Q2时刻：

- (1) n条指令开始执行。
- (2) 向程序存储器发出起动信号RSTN = 0，从程序存储器取n+1条指令。

在Z'1时刻：

- (1) n+1条指令已从程序存储器读出，程序存储器向中央处理单元发认可信号ZU，表示n+1条指令已读出并在程序存储器母线上准备好。
- (2) 中央处理单元的节拍发生器向指令地址计数器发ZUA信号，指令地址计数器增1。

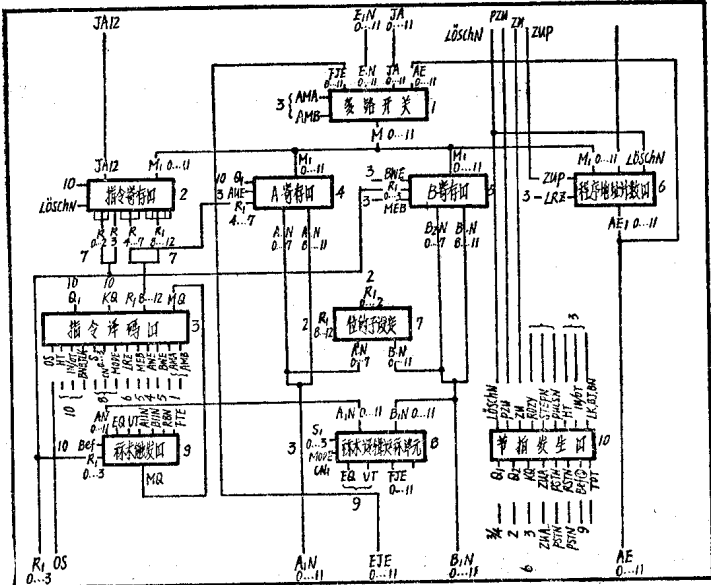
在Q2'时刻：

- (1) n条指令执行结束，开始执行n+1条指令。
- (2) 向程序存储器发出起动信号RSTN = 0，取n+2条指令。

……就这样重复地进行。

由上述的情况可以看出：下一条指令的取出时间被包括在这一条指令的执行时间内，一般地说，每条指令的运行时间 = 指令的取出时间(存取时间) + 指令的执行时间，但在CP550中，运行时间 = 执行时间，通过重迭操作方式提高了计算机的运行速度。当指令的存取时间小于200ns时，指令的执行时间为550ns，各种存储器的指令执行时间在表1—1中列出。

(二) 中央处理单元的组成及其主要功能说明



中央处理单元由10个功能单元组成

1. 多路选择开关
2. 指令寄存器
3. 指令译码器
4. A寄存器
5. B寄存器
6. 指令地址计数器
7. 位设定单元
8. 算术逻辑运算单元
9. 算术触发器
10. 节拍发生器

以下分别对10个单元的功能加以简要的说明

图1—12 中央处理单元功能原理图

1. 多路选择开关 (如图1—13所示)

多路选择开关有4个12位的输入端:

- (1) JA0...11 指令输入端
- (2) EN0...11 数据输入端
- (3) AE0...11 指令地址输入端
- (4) FJE0...11 算术逻辑运算单元运算结果数据输入端。

有一个12位的输出端M0...11。

多路开关的选择方式受到指令译码器3

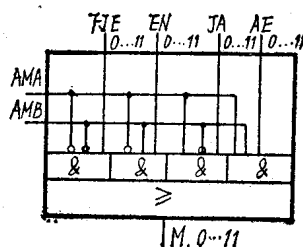


图1—13 多路选择开关功能原理图

来的位置选择信号AMA、AMB的控制:

(1) 一个ALUTROL中央处理周期开始时, 如果上一条指令不是可修饰的指令XC的话, 逻辑表达式为 $\overline{XC} = 1$, 则位置选择信号 $AMA = 1$ 、 $AMB = 0$, 多路选择开关接通 $JA\ 0 \dots 11 \rightarrow M0 \dots 11$, 程序存储器母线上的指令 $JA0 \dots 11$ 经MRO插件和多路开关送到指令寄存器的输入端。

(2) 如果执行输入指令IN, 逻辑表达式 $IN = 1$ 则:

位置选择信号 $AMA = 0$, $AMB = 1$, 多路选择开关接通 $EN0 \dots 11 \rightarrow M0 \dots 11$, 处于输入/输出母线上的数据 $EN0 \dots 11$ 经多路开关1送到A寄存器的输入端。

(3) 如果执行转移指令SP, 逻辑表达式 $SP = 1$, 则位置选择信号 $AMA = 1$, $AMB = 1$, 多路选择开关接通 $AE0 \dots 11 \rightarrow M0 \dots 11$, 加2后的地址计数器值经多路开关1送到B寄存器的输入端。

(4) 当执行的不是LK、SP、BJ、BN、IN中的任何一条指令时, 位置选择信号 $AMA = 0$, $AMB = 0$, 多路选择开关接通 $FJE0 \dots 11 \rightarrow M0 \dots 11$ 。算术逻辑运算单元的运算结果经多路开关1送到A寄存器输入端。

2. 指令寄存器

它用于存放从程序存储器经MRO插件输入的指令 $JA0 \dots 12$, 指令寄存器由13个D型触发器组成 (如图1—14所示)。

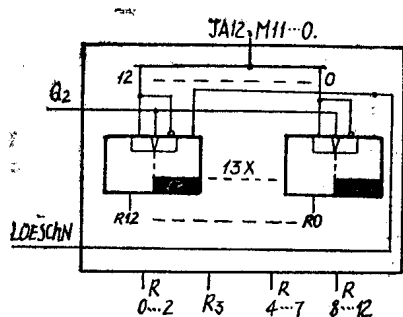


图1—14 指令寄存器功能原理图

在执行可修饰指令XC时, 指令寄存器的工作情况:

在执行可修饰指令XC的ALUTROL中央处理周期的后段时间内, 指令译码器产生多路开关1的位置选择位号 $AMA = 0$ 、 $AMB = 0$, 多路开关接通 $FJE0 \dots 11 \rightarrow M0 \dots 11$, A寄存器的内容经算术逻辑运算单元8成为 $FJE0 \dots 11$ 经多路开关1被送到指令寄存器输入端 $JA0 \dots 11$ 。

XC指令执行结束之后, 下一个地址单元的指令已从程序存储器取出并置于多路选择开关1的输入端JA0...11, 但由于上一条是XC指令, 所以下一个ALUTROL周期开始时, 多路开关不再接通JA0...11→M0...11, 经交叉工作方式信号Q₂由0→1的作用, FJE0...11和下一条指令的第12位信息JA12被存入指令寄存器, 并被当作一条指令来执行。

CP550计算机的输出指令的第12位=1, 为了防止接通电源后计算机产生随机的错误输出, 在接通电源的瞬间, 规格化清0信号LOESCHN=0, 将指令寄存器的第12位触发器清0。

指令寄存器的输出端R0...12有如下的含义

R8...12指令操作码

R4... 7用于16个A寄存器单元的选址或扩展操作码

R0... 3用于16个B寄存器单元的选址或输入/输出模件的选址

R0... 2、R8...12用于位设定

3. 指令译码器

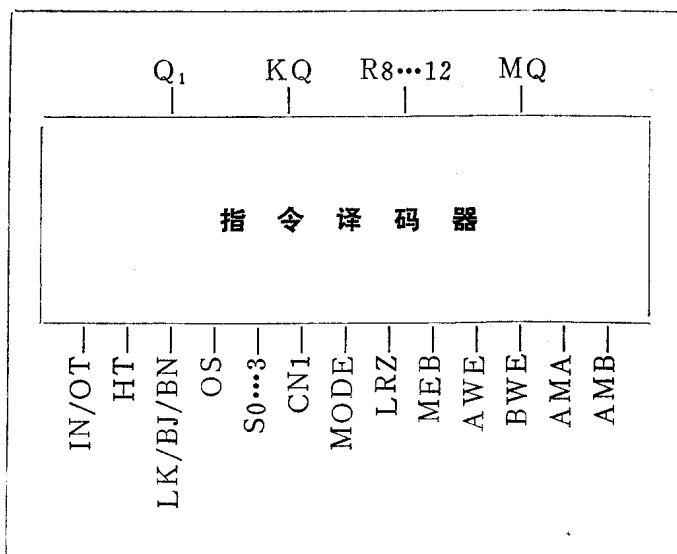


图1—15 指令译码器功能原理图

指令译码器接受指令寄存器2来的操作码OP(包括扩展操作码)等信号, 经过逻辑处理, 产生一定的控制信号, 控制其它功能单元的工作。

(1) 指令译码器的输入信号

A、R8...12: 从指令寄存器2输入的操作码OP

B、R4...7: 从指令寄存器2输入的扩展操作码

C、MQ: 从算术触发器9输入的M标识位

D、KQ: 从节拍发生器10输入的双字节指令处理信号

E、Q₁: 从节拍发生器10输入的交叉工作方式信号

(2) 指令译码器接收上述信号后, 经处理形成如下的控制信号:

A、多路开关1的位置选择信号AMA和AMB, 产生条件:

$$AMA = LK \vee SP \vee BJ \vee BN \vee (KQ \wedge \text{除XC外的全部指令})$$

$$AMB = \overline{KQ} \wedge (SP \vee IN)$$

B、A寄存器的存/取控制信号AWE(AWE=1, 取出A寄存器内容)

产生条件:

$$AWE = \overline{Q_1} \vee LB \vee LK \vee KQ \vee OT \vee SP \vee BJ \vee BN \vee BM \vee BI \vee XC \vee HT \vee NO$$

C、B寄存器的存/取控制信号BWE(BWE=1, 取出B寄存器内容)

产生条件:

$$\overline{BWE} = Q_1 \vee \overline{KQ} \wedge (LB \vee LK \vee SP)$$

D、B寄存器的选址控制信号MEB(MEB=0 B寄存器允许读/写)