

1至1.5微米 超大规模集成电路专集

中国华晶电子集团公司中央研究所

一九九〇年七月

TN47
57

大学图书馆
书归还期限单

TN47
38

目 录

加速发展1微米技术, 把我国微电子产业提高到新水平

(代序)	(1)
1~1.5微米硅 VLSI 的发展 (综述)	(3)
32k 字节集成高速缓冲存储器	(21)
8ns 256k Bi CMOS RAM	(29)
一种 5V 单电源页面型擦除的单管 256k E ² PROM	(36)
具有地址多路传送的 22ns 的 1M 位 CMOS 高速 DRAM	(41)
TX1 型 32 位微处理机的设计	(47)
一种用于开关系统、执行速度为 560 万条指令/秒 (5.6MIPS) 的调入—处理式处理机	(54)
用于高清晰度电视系统的带有单管 DRAM 行存储器的视频编 码/译码器 LSI 电路	(60)
单片 16 位 25 ns 即时视频/图像信号处理器	(65)
用于调制解调器的前端处理器	(71)
10 位视频 Bi CMOS 跟踪—压缩放大器	(77)
采用流水线式宽带 S/H 的 8 位 50 MHz CMOS 分级 A/D 转 换器	(87)
用于 ANSI 标准 ISDN 收发信机的数字信号处理器	(95)
高速 1M 位 DRAM 制作中的工艺技术	(104)
CMOS VLSI 1.2 微米工艺技术	(109)
CMOS 有源器件和场隔离的制造	(118)
CMOS 器件的隔离和闩锁效应的防止	(127)
CMOS 接触与互连	(131)
具有 LDD 结构的 CMOS 热载流子保护	(137)
兆位级电路对应的超净技术	(143)

加速发展1微米技术,把我国微电子产业

提高到新水平

(代 序)

中国华晶电子集团公司副总经理

江 福 来

世界已进入电子信息时代,而电子信息产业正进入一个加速发展的新时期。世界电子信息产业全面完成了向微电子化的过渡,并以集成电路技术的发展为基础,因此,集成技术水平和集成电路产业发展规模是衡量一个国家经济实力和技术进步的重要标志。

自1971年LSI占据市场以后,其集成度几乎以每三年四倍的速度在提高,位单价每三年降到1/4,市场规模则每一代扩大三倍。同时IC性能亦以指数形式改进。几乎所有发达国家和地区都投入大量的人力、物力和财力,来发展VLSI。目前,世界IC技术高度发展,规模生产水平已达到以1M~4M DRAM和80386微处理器为代表的1微米(1.2~0.8微米)技术和 $\varnothing 6$ 英寸硅片。科研水平则已突破了半微米屏障(16M DRAM),达到0.35微米(64M DRAM)的加工线宽,并开始采用直径为8英寸的硅片。以兆位级DRAM为代表的IC工业使微电子产业进入高度自动化的大规模生产阶段,是信息技术革命的基础,促进了各国国民经济的发展。

我国集成电路产业在国家的重视和支持下,经过“六五”、“七五”期间的发展,通过科技攻关和技术引进,取得了一定的进展。积累了较丰富的5微米大生产经验,研制成功了2.5微米设计规则的64k DRAM,3微米工艺技术达到优化水平,并随之而带出一批电路品

种，正逐步向生产转化。另外，在科研单位，已经开展了1.5微米的工艺研究工作，并将作出其代表电路样品。这些工作，都为开展1~1.5微米大生产技术研究创造了条件，打下了基础。但是，从实验室到大生产，从产品定型到产业化还有相当距离。如：工艺优化工作、提高成品率工作、产品可靠性工作、降低成本工作，……等，都需要分别作为一个个课题进行研究，才有可能使1~1.5微米的工艺技术从实验室进入工业化大生产，集成电路技术才能真正对国民经济的发展起到推动作用。

为了我国微电子技术的进一步发展，我国应对开发1微米技术（M位级）並达到工业化生产给予强化投资和政策支持。1~1.5微米的VLSI开发线和生产线投产后，将会带出一大批较高水准的VLSI系列产品，我国信息产业将会产生巨大的变化，微电子技术和产品都将会进入一个新的时代。

1~1.5微米大生产技术研究，体现了攻关成果向商品化的转移，不仅使“七五”科技攻关取得的成果和技术得到发展和延伸，而且也国家的投入创造了更多的经济效益和社会效益，並为我国走出一条充分利用国内有利条件，自力更生地发展我国微电子产业的道路积累经验。这在我国经济发展中，将会产生深远的影响。

为了帮助大家更好了解1~1.5微米技术和发展动向，我们组织选编了《1~1.5微米VLSI专集》。主要以具体的典型产品入手，介绍有关设计技术、电路结构和工艺制造技术，同时介绍国外主要VLSI门类 and 系列的发展动向、技术趋势和市场动态，为参与开发和关心我国1~1.5微米VLSI的同志提供参考。由于时间仓促、水平有限，错误和不足之处在所难免，请有关专家和同仁指正。

1—1.5 微米硅 VLSI 的发展*

罗浩平 李宗炳

一 概 述

1958 年世界上第一块集成电路 (IC) 在美国诞生以来, 仅三十年时间, 就经历了小规模 (SSI)、中规模 (MSI)、大规模 (LSI) 和超大规模 (VLSI) 几个阶段。到八十年代中后期又跨入了特大规模集成电路 (ULSI) 时期(具体发展阶段如表 1 所示)。

**表 1 世界集成电路代表产品
发展年份及阶段**

年份	产 品	阶 段	元件数/片
1958	第一块 IC 样品	SSI	99个以下
1970	1 KDRAM	LSI	10^3-10^5
1971	4 位CPU	"	"
1973	4 KDRAM	"	"
1975	16KDRAM、8 位CPU	"	"
1978	16位CPU	"	"
1978	64KDRAM	VLSI	10^5-10^7
1980	256KDRAM	"	"
1981	32位CPU	"	"
1984	1 MDRAM	"	"
1986	4 MDRAM	ULSI	10^7-10^8
1987	16MDRAM	"	"
1988	64MDRAM	"	"

自1971年LSI 占据市场以后, 其集成度几乎以每三年四倍的速度在提高, 位单价每三年降到 $\frac{1}{4}$, 市场规模则每一代扩大三倍。同时 IC 性能 (功耗 $\times$ 延迟时间) 亦以指数形式改进。表 2 给出从 MSI 到 VLSI 的性能指标演变情况。当前, 世界 IC 技术高度发展, 其规模生产水平为以 1M~4M DRAM 和 Intel 80386 微处理器为代表的1微米(1.2~0.8微米)技术和 ϕ 6 英寸硅片。科研水平则

已突破了半微米屏障, 达到0.35微米的加工线宽, 并开始采用直径为 8 英寸的硅片。

表 2 MSI 到 ULSI 的性能指标

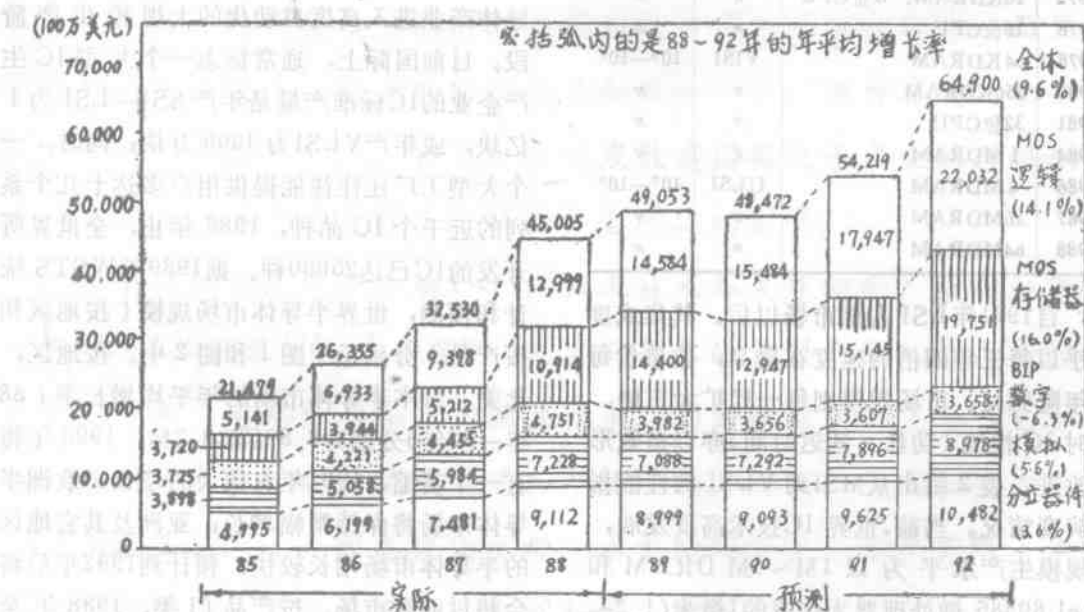
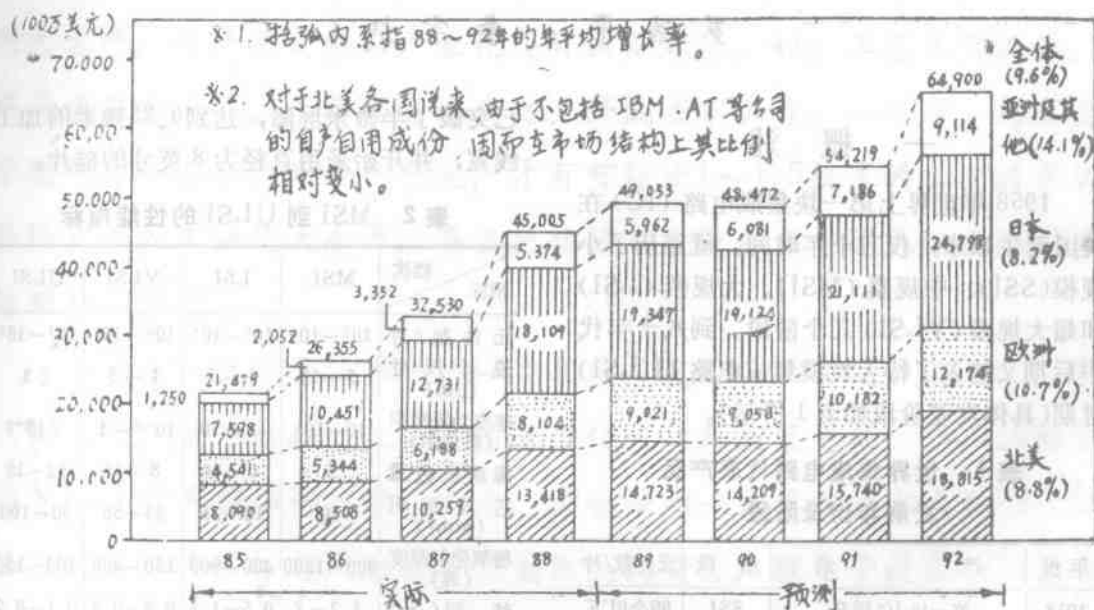
指标	MSI	LSI	VLSI	ULSI
元 件 数 / 片	10^2-10^3	10^3-10^5	10^5-10^7	10^7-10^8
设 计 尺 寸 (μm)	5-10	3-5	1-3	< 1
速度功耗乘积 (微焦尔)	$10-10^2$	1-10	$10^{-2}-1$	< 10^{-2}
掩膜版数量	5	6-10	8-15	12-18
芯 片 面 积 (mm^2)	10	10-25	25-50	50-100
栅氧化层厚度 (埃)	900-1200	400-900	150-400	100-150
结 深 (μm)	1.2-2	0.5-1.2	0.2-0.5	0.1-0.2
硅 片 直 径 (mm)	50-75	100-125	150	200

以兆位级DRAM为代表的 IC 工业使半导体产业进入高度自动化的大规模生产阶段。目前国际上, 通常标志一个大型 IC 生产企业的 IC 标准产量是年产 SSI—LSI 为 1 亿块, 或年产 VLSI 为 4000 万块; 同时, 一个大型工厂还往往能提供用户多达十几个系列的近千个 IC 品种, 1986 年止, 全世界所开发的 IC 已达 25000 种。据 1989 年 WSTS 统计和预测, 世界半导体市场规模 (按地区和按产品) 分别示于图 1 和图 2 中。按地区, 北美、日本半导体市场的年平均增长率 (88 年—92 年) 分别为 8.8% 和 8.2%, 1990 年将有一个萎缩, 1992 年有较大的增长, 欧洲半导体市场将保持微幅增长; 亚洲及其它地区的半导体市场增长较快, 预计到 1992 年后将会超过西欧市场。按产品门类, 1988 年至 1992 年的半导体市场总的年平均增长率为

* 本文于 1990 年 4 月完稿。

9.6%，其中 MOS 存储器为 16.0%，MOS 逻辑电路为 14.1%，模拟 IC 为 5.6%，而双极数字 IC 将有萎缩。在 MOS 存储器产品市

场中，尤以 DRAM、SRAM 发展最快，平均年增长率达 16.00% 和 22.9%。有关 MOS 存储器产品市场预测示于图 3。



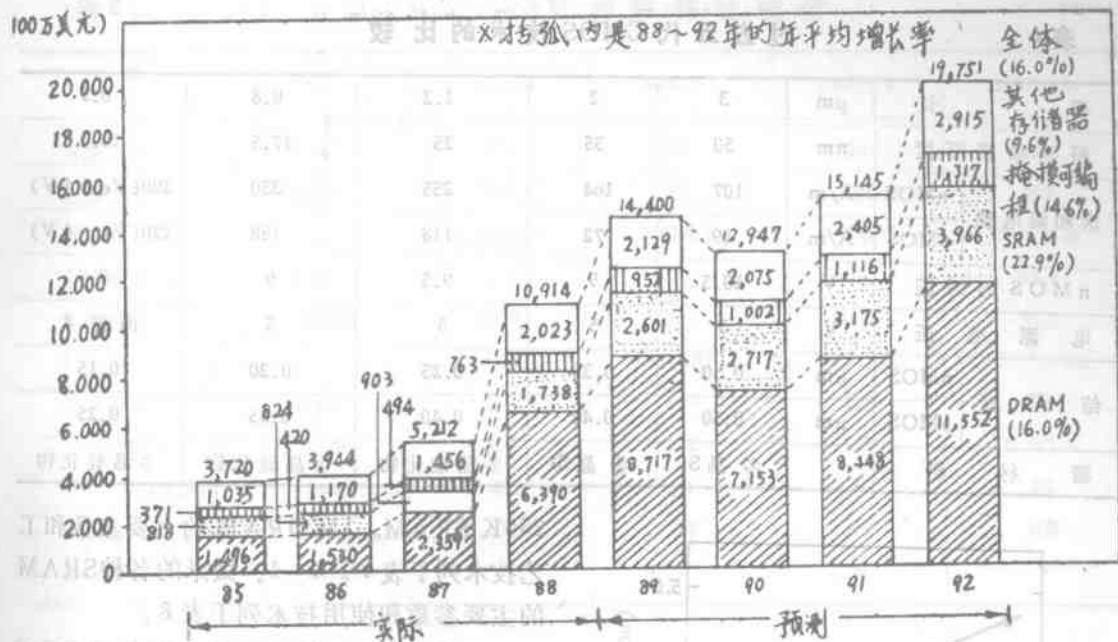


图3. MOS存储器产品市场预测

二、存储器 IC

几乎所有发达国家和地区都把发展动态随机存储器(DRAM)和静态随机存储器(SRAM)作为发展 IC 微细结构和加工技术的突破口,公认 RAM 是半导体工艺技术的试金石和策动力,以研制或生产 RAM 的水平来衡量一个国家或工厂的 IC 研制和生产水平,所以各国都投入大量人力、财力、物力来开发高密度 DRAM 和高速 SRAM。目前,在国外生产存储器时,仍大量使用 6 英寸硅片和 1 微米技术,但生产 4MDRAM 为代表的亚微米技术也日趋成熟。国际上,达到规模生产水平的代表性产品是 1M 位~4M 位 DRAM 和 256k 位 SRAM。研制水平为 16M 位~64M 位 DRAM (设计线宽分别为 0.5 微米和 0.3 微米)。1988 年世界存储器产量为 17.62 亿只,其中 1M 位 DRAM 为 1.73 亿只,日本占 85%。东芝公司 1M 位 DRAM 成品率每六个月增加 10%,1989 年初达 60%。89 年日本六大公司 (NEC、东芝、日立、富士通、

松下、冲电气)和日本 TI 公司开始生产销售 4M 位 DRAM,90 年开始大规模批量生产,至此,日本将全面进入亚微米批量生产阶段。南朝鲜四大公司也已开始 1M 位~4M 位 DRAM 的大生产。西德西门子与荷兰飞利浦公司联合投资 20 亿马克制定“MEGA”计划,进行 256K~4M 位 DRAM 的生产,并合资开发 64M 位 DRAM。我国台湾省也进行兆位 DRAM 和高速 SRAM 的生产。

DRAM 的工艺技术发展阶段列于表 3 和 DRAM 的微细化趋势示于图 4。可以看出:九十年代 DRAM 必将集中采用亚微米制造技术。

表 3. 存储器件的工艺技术发展

器件	设计规则	关键工艺
83年~ 256 KDRAM	2.0~1.5 μ m	冗余电路技术
86年~ 1 MDRAM	1.2~1.0 μ m	CMOS
89年~ 4 MDRAM	0.8~0.7 μ m	沟槽电容
92年~ 16MDRAM	0.6~0.4 μ m	选择CVD 沟槽和选层电容
95年~ 64MDRAM	0.4~0.3 μ m	超净技术 低电压化

表4.

过去五代CMOS技术的比较

栅长	μm	3	2	1.2	0.8	0.5	
栅绝缘膜厚度	nm	50	35	25	17.5	15.0	
饱和漏电流	nMOS	A/m	107	164	255	330	300($V_G=4\text{ V}$)
	pMOS	A/m	49	72	118	188	170($V_G=4\text{ V}$)
nMOS 的耐压	V	10.5	9	9.5	9	8.5	
电源电压	V	5	5	5	5	内部 4	
结深度	nMOS	μm	0.50	0.35	0.25	0.20	0.15
	pMOS	μm	0.50	0.40	0.40	0.35	0.25
栅材料		多晶 Si	多晶 Si	多晶硅化物	多晶硅化物	多晶硅化物	

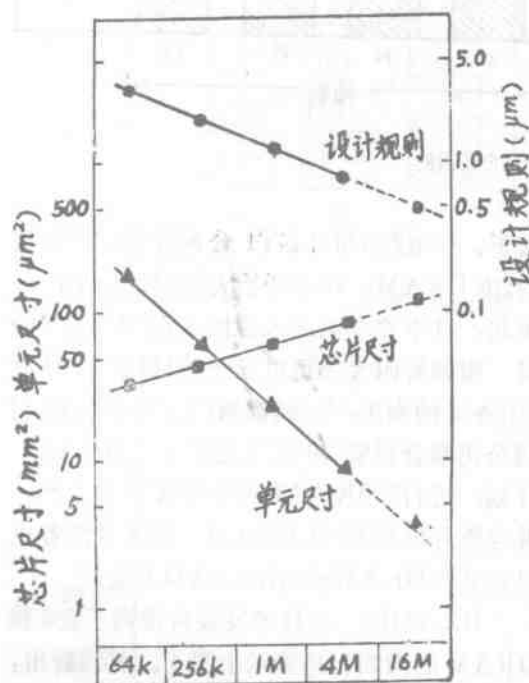


图4. DRAM的微细化趋势(日本电气VLSI开发部提供)

从3微米(64KDRAM)、2微米(256K DRAM)、1.2微米(1M DRAM)、0.8微米(4M DRAM)到0.5微米(16M DRAM)的CMOS技术比较列于表4。各代CMOS SRAM的技术比较列于表5。BiCMOS SRAM的特性比较见表6。

1~1.5微米的代表产品为1M DRAM和

256K SRAM。1M DRAM的主要参数和工艺技术列于表7。1~1.5微米的各种SRAM的主要参数和使用技术列于表8。

另外,用于存储汉字的兆位掩膜ROM于1982年进入市场,并迅速跨入M位时代。最初曾采用冗余电路结构的电路技术,但随着工艺技术的发展,目前已不需要这样做了。掩膜ROM现已进入2M位~4M位,存储时间为150—200ns的水平。

由于CMOS电路功耗低,是高集成和高速兼备的理想结构,所以兆位级存储器大多采用CMOS工艺技术。1M DRAM及256K SRAM均采用1.2 μm 设计规则,主要技术有:

表5. 各代CMOS技术比较(SRAM)

项 目	16K Hi-CMOS I	64K Hi-CMOS II	256K Hi-CMOS III
栅长	3 μm	2 μm	1.2 μm
栅氧化膜厚度	50nm	35nm	25nm
nMOS源沟道	P扩散	倾斜型沟道	LDD
pMOS源沟道	B扩散	B扩散	BCLDD
扩散深度	n+ 0.50 μm p+ 0.50 μm	0.35 μm 0.40 μm	0.25 μm 0.40 μm
栅宽度/间距	3.0 μm / 3.0 μm	2.0 μm / 2.0 μm	1.2 μm / 1.4 μm
Al线宽度/间距	3.0 μm / 4.0 μm	3.0 μm / 2.0 μm	1.3 μm / 1.6 μm
接点直径	3.5 μm [□]	2.0 μm [□]	1.2 μm [□]

表 6.

Bi CMOS SRAM 的特性比较表

字 构 成	16K×4	64K×1	256K×1	256K×1.
存取时间 (nS)	13	7	10	8
电力消耗 (mW)	500	350	700	400
存储单元形式	电阻负载	电阻负载	电阻负载	电阻负载
存储单元面积 (μm^2)	230	97	56	54.7
芯片面积 (mm^2)	29.9	20.1	41.8	35.2
I/O 接口	ECL10K	ECL10K	ECL10K	ECL100K
设计规则 (μm)	2.0	1.3	1.2	1.0
MOS栅长n/P (μm)	2.0	1.2	1.2/1.4	0.9/1.1
栅氧化膜厚 (nm)	35	25	25	20
双极电流放大倍数	100	100	100	100
截止频率 (GHz)	4	7	6	9

表 7.

1M位 DRAM 主要参数及工艺技术

厂 家	结 构	工 艺 技 术	存 取 时 间 (nS)	功耗电流 工作时/待机时 (mA/mA)	芯 片 面 积 (mm^2)	单元面积 (μm^2)
富 士 通	IMXI	nMOS 1层多晶硅化物, 2层多晶Si 迭层型电容单元 1.4 μm 设计规则	90	70/3 (周期 260ns)	12.32×4.44	8.4×3.15
日 立	IMXI	静态列(SC), CMOS 多晶硅化物, 2层Al 沟槽型电容单元 1.3 μm 设计规则	74 (SC20ns)	46/0.3 (周期 210ns/ CMOS电平)	4.68×10.1	3.35×7.2
NEC	IMXI	nMOS 2层TiSi ₂ 沟槽型电容单元 1.0 μm 设计规则	85	69/2.8	4.6×9.4	3.4×6.0
三菱电机	IMXI	连续半字节模, nMOS 多晶硅化物, 多晶Si、Al各1层 平面电容单元 1.3 μm 设计规则	90	70/3 (周期 260ns)	5.00×13.00 冗余结构: 予备8行4列	3.8×9.4
莫斯特克 (Mostek)	256K×4	静态列(SC), CMOS 2层Al, 2层多晶Si 平面电容单元 1.2 μm 设计规则	— (SC标准25ns)	—	5.97×11.4 冗余结构: 予备16行8列	4.0×9.0
东 芝	IMXI	nMOS 2层Al, 2层多晶Si 沟槽分离电容单元	70	54/3 (周期 260ns)	4.73×13.23 冗余结构: 予备4行4列	5.0×6.4
		高速页面(SC, CMOS Mo 多晶硅化物, 2层多晶Si 平面电容单元 1.2 μm 设计规则	56 (SC 24ns)	30/0.3 (周期 190ns)	5.0×12.5 冗余结构: 予备4行4列	3.8×9.0
AT&T	IMXI	高速页面(高速列), CMOS TaSi ₂ 、多晶Si、Al各一层 平面电容单元 1.3 μm 设计规则	80 (FC20Mbit/秒)	32/0.1 (周期 260ns)	4.8×14.5 冗余结构: 予备16行×32行	3.5×10.5
IBM	IMXI	也可以×2、×4, nMOS 2层多晶Si、1层Al 平面电容单元 1.5 μm 设计规则	80	125/10 (周期 160ns)	5.5×10.5 冗余结构: 予备8列	4.1×8.8

表8. SRAM 主要参数及工艺技术 (ISSCC85会议上发表)

厂 家	结 构	种 类 使 用 技 术	存取时间 (ns)	耗 散 功 率 工作时/待机时	芯片面积 (mm ²)	单元面积 (μm ²)
日 立	32k×8	CMOS, nMOS单元 多晶硅化物(单元内接地线、栅) 1.2μm设计规则	45	200mW (10MHz)	4.98×9.16	7.4×12.8
NEC	32k×8	P阱CMOS, nMOS单元 多晶硅化物(单元内接地线、栅) 埋层隔离, 1.2μm设计规则	55	175mW (10MHz)/10μW	5.09×8.00	7.4×12.1
三 菱	32k×8	CMOS, nMOS单元 1层Al, 2层多晶硅 1.3μm设计规则	45	7mW(1MHz)/ 30μW	5.41×9.18 冗余结构: 预备1列4行	8.0×14.5
东 芝	64k×1	双阱CMOS, nMOS单元 2层Al, 2层多晶硅 1.5μm设计规则	17	300mW/10μW	3.86×6.99	
富士通	64k×1	双极(ECL), 1.2μm设计规则	10	1.3W	55.4 冗余结构: 预备1列1行	524

(ISSCC83会议上发表)

日 立	256k×1	Bi—CMOS输入输出电平ECL100k, 分割成32个单元阵列, 最小发射 极面积0.9×3.0μm ² , 栅长1.0μm的 nMOS和1.2μm的PMOS。 2层多晶硅, 2层金属布线。	8	400mW (50MHz)	4.54×9.55	66.3
富士通	256k×1	Bi—CMOS, 输入输出电平ECL10k。 分割成9个单元阵列, 最小发射极 面积1.1×1.9μm ² , 栅长1.2μm的 nMOS和1.4μm的PMOS。 2层多晶硅, 2层金属布线。	10	700mW (80MHz)	41.8 预备4行8列	66.6

• 微细光刻技术: 从 1:1 接触曝光转向10:1、5:1缩小投影曝光; 光致抗蚀剂从负性转向正性。

• 加工技术: 从化学湿法腐蚀向各向同性干法腐蚀及各向异性干法腐蚀的高精度加工方向发展。

• 沟槽电容技术(或迭层电容)。

• 抗扫描沟道隔离技术, 自对准双沟结构和 LOCOS(硅的选择氧化技术)改进型的元件隔离技术。

• LDD(轻掺杂漏)结构。

• 浅结注入技术(0.2μm)。

• 薄栅绝缘层技术(100Å)

• 多晶硅或难熔金属硅化物及多层薄膜技术。

各代DRAM成批生产线(月产300万个)的典型设备配套数及其所需总投资额见表9。

表9. 各代DRAM成批生产线(月产300万个)典型配套

	256kDRAM (CMOS)	1MDRAM	4MDRAM
步进光刻机 (涂胶和显影)	20台	30台	40台
离子注入装置	10台	20台	30台
溅 射	5台	10台	15台
蚀 刻	10台	20台	40台
CVD	7台	10台	20台
扩散炉	15台	20台	20台 (横向换算)
测试(后工程)	7~8台	15台	30台
划片机	3台	3台	3台
装 配	8台	8台	8台
键 合	15台	15台	20台
总投资额	250亿日元	450亿日元	600亿日元

注: 扩散炉横向1台相当纵向3台。

三、专用 IC (ASIC)

随着半导体技术的发展, 1985年开始, 专用集成电路(ASIC)日益受到各大公司的重视, 应用也趋扩大。由于 ASIC 成本低, 研制周期短, 便于产品更新, 最近几年发展迅速, 销售额逐年增长, ASIC 的发展对于改变电子产品的面貌起着重大作用, 预示着集成电路新时代的到来。图 5 示出 ASIC 的世界销售市场。从图中可以看出, 1986 年 ASIC 市场为 30.8 亿美元, 预计到 1991 年将达到 91.7 亿美元, 其间年均增长率为 24.4%, ASIC 在整个 IC 市场所占的比例将由 1986 年的 14% 上升到 1991 年的 22%。ASIC 对逻辑 IC 市场影响较大, 所占比例将从 1986 年的 32% 增加到 50%, 其中门阵列所占比重较大, 是目前 ASIC 的主要产品; 而标准单元由于其设计上自由度大, 功能齐, 元件可充分利用, 因而发展最快。

目前已开发的 ASIC 加工工艺包括有 CMOS、双极、BiCMOS 和 GaAs; 其中, CMOS 产品占全部产品的 65% 左右。众所周知, 就电路功能而言, CMOS 电路功耗低, 集成度高, 但速度较慢; 双极工艺速度快, 但功耗大, BiCMOS 工艺兼有速度快、功耗低的优点, 但生产技术难度大于前二者。

82 年至 84 年以 $3\mu\text{m}$ 技术为主, 此期间是 ASIC 的发展高峰, 工作速度可达 30MHz, 但门数不多, 1984—1986 年间以 $2\mu\text{m}$ 产品为主, 1987—1989 年间以 $1.5\mu\text{m}$ 产品为主力产品, 采用无门阵列技术和二层布线技术或三层金属布线技术。预计 1991 年开始以 $1\mu\text{m}$ 产品为主。

各种门阵列的主要参数列于表 10, CMOS、双极、BiCMOS 门阵列的集成规模示于图 6。近年来, 门阵列采用新的阵列线设计方法和三层金属互连及无通道结构等先进技术, LSI Logic 和 Motorola 设计能力分别达到 10 万和 7 万可用门。日本采用 SOG(日

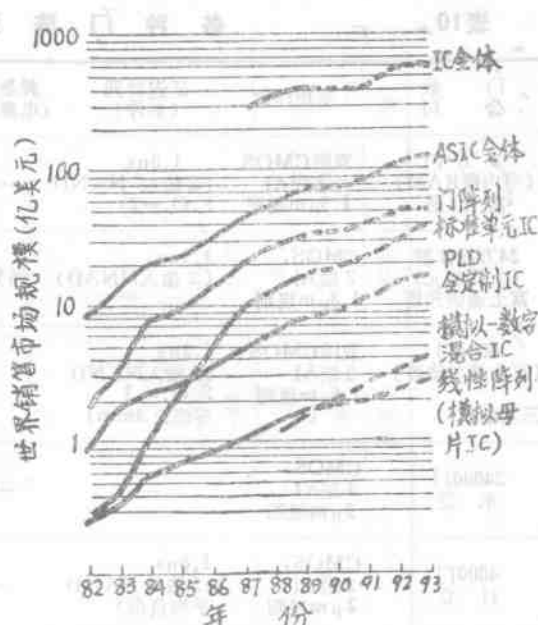


图 5. ASIC 的世界销售市场。

文全称为“全面素子敷设型”、国内也有译为“门海”)达到 23 万装载门。由于无通道型 CMOS 门阵列构成自由度大、取数速度和面积适中, 目前发展迅速, 表 11 列出几家大公司采用设计规则 $1\sim 1.5\mu\text{m}$ 开发的具有可使用 1 万门以上门数的无通道型门阵列特性和技术。

由于标准单元能为用户提供预先设计好的功能单元, 因此电路参数和芯片面积均最佳。单元库中除了基本逻辑以外, 还包括有存储器电路、模拟电路等标准单元。单元库由几个数据库组成, 除有布局数据外, 还有原理图, 符号数据库, 功能模拟数据库, 几何参数数据库等, 单元库芯片上的全部门均可利用。由于标准单元芯片面积利用率高且使用方便, 因此发展速度很快, 表 12 示出世界主要几家公司的各有模拟宏单元的标准单元 LSI 的情况。目前设计规则多数为 $1.2\sim 1.5\mu\text{m}$, 逻辑延迟最小可达 0.7ns 。表 13 列出几大主要公司的积木型标准单元的情况, 设计规则为 $1\sim 1.5\mu\text{m}$ 。含有 CPU、RAM、ROM、CPU 外围电路、发生器、模拟电路等, 功能非常齐全。

表10.

各种门阵列主要参数

门公司	使用技术	延迟时间 (条件)	耗散功率 (电源电压)	芯片尺寸 (mm ²)	引线端数	备 注
2 万 门 (可内藏RAM) 富士通	双阱CMOS 3层Al 1.5 μ m规则	1.0ns (2 输入 NAND F.O.=2)	—	12.1 $\times$ 12.7	256	包括1万5千门+6Kbit RAM, 1万门+12Kbit RAM的芯片
24万晶体管 (3万单元) 富士通研究所	CMOS, 2层Al 1.8 μ m规则	1.5ns (2 输入NNAD)	(5V)	13 $\times$ 13	220 (输入输出 单元)	基本单元可使用存储器, 逻辑门
8064门 (可内藏存储器) 三菱电机	双阱CMOS, 2层Al 1.5 μ m规则	1.2ns (2 输入NAND F.O.=3 布线长3mm)	—	9.89 $\times$ 9.79	209	用宏单元方式 可内藏ROM、RAM
24000门 东芝	CMOS, 3层Al 2 μ m规则	—	—	12.85 $\times$ 12.85	—	—
4000门 日立	CMOS, 2层Al 2 μ m规则	1.6ns (2 输入 NAND 平均负荷)	—	7.2 $\times$ 7.02	140	内藏测试用电路
9000门 西门子	双 极 (ECL)	150ps(4bit多 路调制器) 200ps (OR/ NOR门)	20W/芯片 6 m/W门 (OR/NOR 门)	128	320	用TAB组装
2500门 日电公司厚木电气 通信研究所	双极(SST, 内部1 CML 电路), 2层Al 1 μ m规则	80ps	2.6mW/门 2.76W/芯片 (-3 V)	5 $\times$ 5	176 (输入输出 单元)	ECL互换

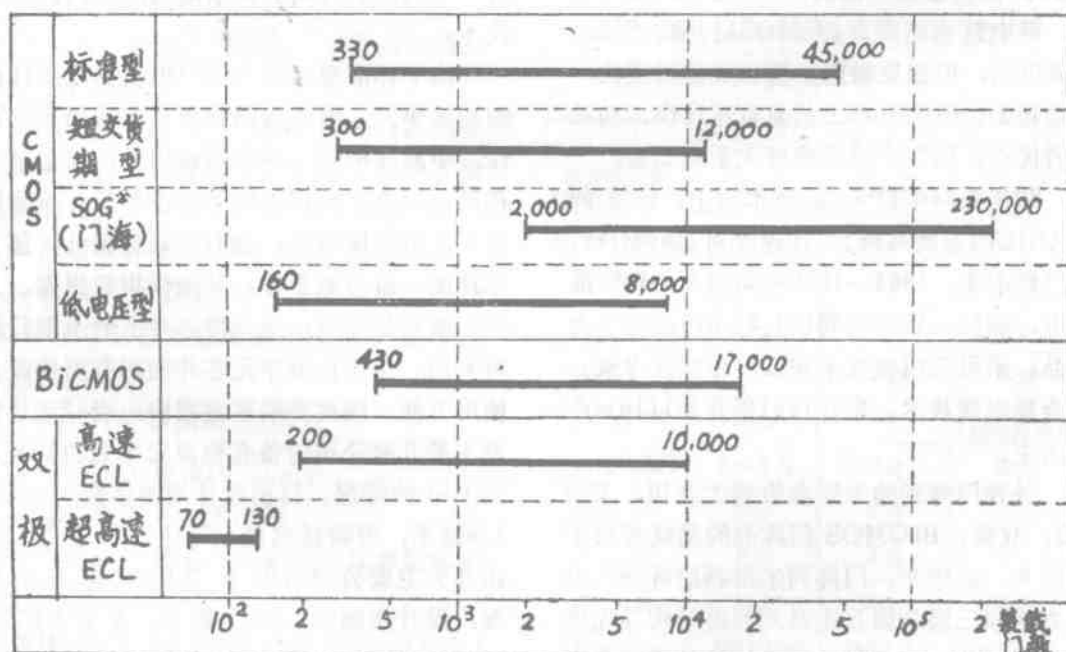


图6. 门阵列分别采用的工艺技术的集成规模(日本国内11个外销公司集中统计)

注: #SOG(sea of gate)日文称之“全面素子敷设型”。

表11. 具有可使用1万门以上门数的无通道型门阵列举例

公 司	富士通	美LSI Logic	三 菱	精 工	德SG—法 Thomson	东	芝	美VTI
产品系列〔品种数〕	MB63000〔5〕	LCA10000〔6〕	M60030〔6〕	SLA8000〔7〕	ISB12000〔10〕	TC110G〔4〕	TC120G〔5〕	VGT~100〔13〕
可使用门数	76608~23625	50000~10000	20000~3200	16000~2500	50000~3000	50000~1400	50000~15000	50000~1200
元件隔离方式 晶体管数/基本单元	氧化膜隔离 8	氧化膜隔离 4	栅隔离	— 4	栅隔离	氧化膜隔离 4	氧化膜隔离 4	栅隔离
装载晶体管数	约80万~约24万	516168~1029601	约284000~ 约30000	160000~20000	640000~20000	500000~	500000~	266000~6400
设计规则 〔Al布线层数〕	1.2 μ m 〔3〕	1.5 μ m 〔2〕	1.3 μ m 〔2〕	1.2 μ m 〔2〕	1.2 μ m 〔2〕	1.5 μ m 〔2〕	1 μ m ^③ 〔2〕	1.5 μ m 〔2〕
内部门延迟(ns)	0.8	0.65	1.15	0.8	0.3	0.6	0.4	0.9
〔条件〕	〔F.O.=2〕	〔F.O.=2, Al=0〕 ^①	〔F.O.=3, Al=3〕	〔标准〕	—	〔F.O.=2, Al=2〕	〔F.O.=2, Al=0〕	〔F.O.=2〕
输出驱动电流(mA)	3.2, 12	1.2, 4, 6, 8, 12	14, 28	2.6, 12, 24	2, 4, 8	1.2, 4, 6, 8, 12	1.2, 4, 6, 8, 12	2~12
输入输出单元数	400~224〔全〕	368~168〔全〕	256~88	223~82	320~144	360~60	360~196	34~56
字码数(字)	1~2048	达2K	1~512	2~256	—	16~64	8~256	8~256
位数(bit)	1~64	1~32	1~32	1~32	—	4~18	4~18	4~36
RAM最大容量(bit)	16K	32K	16K	4K	—	—	—	—
门数	1/2	1/2/3/4	1	1	—	3	3	2
存取时间(ns)	20	10	40	20~25	—	11	8	10
生成程序	有	有	有	有	—	有	有	有
字码数(字)	1~2048	达4K	1~1024	4~64	—	64~2048	64~1024	64~1024
位数(bit)	1~64	1~64	1~32	—	—	2~32	2~32	2~32
ROM最大容量(bit)	64K	128K	32K	—	—	—	16K	—
存取时间((ns)	25	10	25	1~8	—	15	10	—
生成程序	有	有	有	有	—	有	有	有
存储器以外的单元元	无	乘法器, 2901, AI U	开发中	开发中	—	开发中	开发中	有

① F.O.为扇出端数。

② Al为Al布线长度, 单位mm。

③ 晶体管的栅为1 μ m, 其它用1.5 μ m设计。

CMOS的门延迟也逐渐减小,已进入0.5ns以下,由于其功耗低,目前高密度系统中大多采用CMOS技术,如富士通10万门无通道CMOS门阵,设计规则1.3 μ m,三层Al,门延迟为0.8ns。ECL主要用于高速大

型、超型计算机中。如莫托洛拉万门ECL门阵,门延迟150ps。采用的主要技术有多晶硅发射极晶体管、自对准技术、浅结注入技术、三层布线、硅化物基极接触、槽隔离技术等。

表12. 预备有模拟宏单元的标准单元LSI举例

公 司	产品系列名称	制造技术	设计规则或 μ m	逻辑门延迟时间	A-D变换器(宏单元)的量子化门数,变换速度	工作电源电压
European Silicon Structures (ES2)	Solo 1400	CMOS	2 μ m/1.5 μ m	1.4ns	8bit, 11.2 μ s	4.5~5.5V
美Exar Corp	N2000	CMOS	2 μ m	1.0ns	不 明	3~17V
富 士 通	EBB/AT AV改型	CMOS	1.8 μ m	1.4ns	8bit, 50KS/s 6bit, 60KS/s	5 V
	EBB/OPA		1.2 μ m	7.0ns	8bit, 25KS/s 4bit, 25KS/s	3/5 $\pm$ 5V
日 立	HG52	CMOS	1.3 μ m	1.0ns	10bit, 13.8 μ s (8通道)	4.75~5.25V
英Plessey Semiconductors	MVA60000	CMOS	1.4 μ m	1.7ns	4bit, —	3~6 V
	编程ASIC	双极	1.5 μ m	0.7ns	8bit, 10 μ s 10bit, 30 μ s	5 V(标准)
理工(リコー)	RBC-20	Bi-CMOS	2 μ m	2.8ns	8bit, 2MS/s	COMS 4.5~5.5V 双极 $\pm$ 4.5~5.5V
三 洋 电 机	LC9600A	CMOS	2.0 μ m	1.7ns	6bit, 15MS/s	3~5.5V
	LC97000A		1.5 μ m	1.2ns	10bit, 50KS/s	
松 下	MN73000	CMOS	1.5 μ m	1.4ns	8bit, 500KS/s 6bit, 20MS/s	5 V(标准)
美国国家半导体(NS)	CLASIC	双极	2.5GHz	1.8ns	8bit, 1MS/s	15V(耐压)
美 NCR Corp	VS 1500	CMOS	1.5 μ m	0.7ns	8bit, 1MS/s	3~6 V
	VS 2000		2.0 μ m	1.2ns	8bit, 5MS/s 10bit, 100 KS/s	
	VS 3000		3.0 μ m	1.9ns	6bit, 10MS/s 8bit, 500KS/s	
日本电气(NEC)	SC-4	CMOS	1.5 μ m	1.4ns	6bit, 36 μ s 8bit, 50 μ s	5 V(标准)
意SGS-法Thomson	TSGSM	CMOS	3.5 μ m	4.0ns	8bit, — 10bit, —	3~11V
	STKM2	Bi-CMOS	2 μ m/6GHz	1.5ns	12bit, 15MS/s	
夏 普	CMOS5A	CMOS	1.2 μ m	0.9ns	10bit, 10KS/s	4.5~5.5V
美Sierra Semiconductor Corp.	SCDS2 μ	CMOS	2 μ m	1.1ns	8bit, 500ns 12bit, 100ms	4.5~5.5V
	SCDS1.5 μ		1.5 μ m	0.9ns	10bit, 10 μ s 8bit, —	
东 芝	TC23SC	CMOS	1.5 μ m	1.0ns	8bit, 20 μ s	4.75~5.25V
雅 马 哈	F5系C	CMOS	1.5 μ m	1.2ns	8bit, 5ns 8bit, 100ns	3~6 V
罗 马	S2 PCS	CMOS	1.8 μ m	2ns	8bit, 500ns (计划中)	4.5~5.5V

四、微处理器电路

自1983年底出现微处理机(MPU)系统以来,1984—1985年16位微处理器已进入批量生产。1985出现了采用32位MPU的系统。最早推出32位MPU的是美国国家半导体公司,第一个产品是32032,此后又推出32332,采用NMOS工艺。莫托洛拉公司推出68020,英特尔公司推出80386,均采用CMOS工艺。80386的特性比68020优越,元件数27.5万,成为当时(1986—1987年)的代表产品。为了与英特尔公司相抗衡,日本莫托洛拉又推出68030,它采用1.2微米的CMOS技术,单片集成度为30万晶体管,已于1986年7月正式出售。已批量生产的32位微处理器主要性能列于表14。

最近设计的32位MPU产品大多采用减指令计算机技术(RISC),从而大大提高了产品的性能和速度。1989年ISSCC会上发

表的32位微处理器的性能和技术列于表15。从表中可看出,大部分采用1—1.5微米的CMOS技术,少数采用Bi CMOS技术,单片集成度已达50—100万晶体管,速度已达50MHz—70MHz。

莫托洛拉公司以1微米CMOS技术推出68332MPU,是专门设计为插入控制的32位芯片,其特点是高集成度,除CPU外,还有成熟的时间处理部件(TPU)、大容量的静态RAM、排队顺序通信模块(GSM)、系统集成模块(SIM)、粘合逻辑等,功能齐全,功耗低(动态功耗仅300mW,静态功耗小于3mW),1989年底出样品,1990年开始生产。

此外,一些专用语言MPU也已研制成功。典型产品是美国Texas公司和日本NTT公司为Lisp语言设计的专用MPU。多片处理器也有一定的进展。美国DEC公司的两片处理器的速度可达100亿浮点/秒。

表14. 主要32位微处理器性能一览表

厂家 型号	国家半导体 32032	国家半导体 32332	莫托洛拉 68020	英特尔 80386	日本电气 V60
指令数	128	123	99	133	119
指令速度 (MIPS)	1.0 (平均)	3.0~4.0 (平均)	3.0 (平均)	3.0~4.0 (平均)	5.5 (最大)
地址/数据库	24/32位	32/32位	32/32位	32/32位	24/16位
页面大小	512字节	512/4K字节	4字节	4K字节	4K字节
元件数	7万	9万	20.0万	27.5万	37.5万
工 艺	NMOS	NMOS	CMOS	CMOS	CMOS
时钟频率(Hz)	10M	15M	16.67M	—	16M
封 装	68脚 LCC	84脚 PGA	114脚 PGA	132脚 PGA	68脚 PGA
批量生产年份	1984	1986	1985	1986或 1987	1986

表15. 微 处 理 机 IC

品 种	开发单位	使用技术	速 度	晶体管数	芯片面积 (mm ²)	耗散功率	备 注
32位 微处理机	(美)英特尔	1.0μm CMOS	50MHz	100万晶体管	10×15		外部数据总线64bit。 内藏RISC的CPU芯、 FPU、GDP、MMU 命令及数据高速缓冲存 储器。

(接上页)

32位 微处理机	(美) Digital Equipment Corp	1.5 μ m CMOS	50MHz 〔外部时钟 200MHz〕	29万4353 晶体管	14.5×9.5	9 W	外部数据总线64bit。 内藏1 K字节(byte)的 命令高速缓冲存储器 及2 K字节的数据 高速缓冲存储器
并行计算机 用微处理机	(日)松下	1.2 μ m CMOS	周期时间 50ns 〔外部时钟 40MHz〕	44万晶体管	14.4×13.5	1.3W	命令总线24bit, 命令 用地址总线20bit。 数据总线64bit, 数据 用地址总线24bit。 内藏整数运算单元、 FPU、命令高速缓冲 存储器。
32位 微处理机	(美) Digital Equipment Corp	1.5 μ m CMOS	35.5MHz 〔外部时钟 142MHz〕	32万晶体管	12×12	6 W	外部数据总线64bit。 地址总线30bit。 内藏2 K字节的高速 缓冲存储器
32位 微处理机	(美) Digital Equipment	1.5 μ m CMOS	〔周期时间 40ns 〔外部时钟 100MHz〕〕	18万晶体管	7.76×6.21	3 W以下	外部数据总线64bit。 内藏20.5KB高速缓冲 存储器
32位 微处理机	(日)日立	1.0 μ m Bi-CMOS	70MHz	25万9千 晶体管	12.98×12.98	2.1W (40MHz时)	CISC型微处理机。 全部晶体管中有1.5% 是双极晶体管

五、信号处理IC

通信专用集成电路, 如编码译码器、发射/接收滤波器、时分与空分交换电路、码型交换机、调制解调器、脉冲拨号器、双音多频发送/接收器、用户电路、语音识别电路等品种繁多。随着微电子技术的发展, 促进了数据通讯及其通信传输和交换技术的迅速发展。现今最热门的通信专用IC用于图文传真机、个人计算机传真卡、移动电台、传呼机、多功能电话机、应答机、专用自动小交换机、电子交换系统及发送机等。目前国

外通信产品中已广泛采用体现整机特色的专用IC, 以实现通信系统的集成化、数字化、智能化和综合化, 整个通信业务正朝着综合服务数字网(ISDN)的方向迈进。表16列出1988年ISSCC会议上发表的通信用LSI的特性, 使用1—1.3微米的CMOS技术, 达到了300MB/秒的传输速度。表17列出1989年ISSCC会议上发表的ISDN(综合服务数字网)U接口用芯片组的特性。

数字信号处理技术是国外近期发展非常快的信息实时处理技术。单片数字信号处理器把CPU、数据存储器、程序存储器、定

表16. 通 信 用 L S I

开发单位	品 种	使用技术	速 度	耗散功率 (电源电压)	芯片面积 (mm ²)	引 出 数
(美)加州大学	250MB/秒 16×16交叉点开关	1.25 μ m CMOS	达到传输速度 300MB/秒	900mW (+5V)	2.8×3.0	48
(美)AT&T 贝尔实验室	250MB/秒 64×17交叉点开关	1 μ m CMOS	传输速度 250MB/秒	—	—	133
(美)AT&T 贝尔实验室	8输入/1输出146MB/秒 时间—空间分割交换开关	1 μ m	146MB/秒, 在输入 64时隙和输出8 时隙之间交换	600mW (3.3V)	—	—
(美)TRW/DSC	可对6声音信道作同步处 理的回声消除器	1.2 μ m CMOS	6.176MHz时钟 工作	—	6.1×5.8	28
(日)日立	内藏240KB EPROM的 HDLC*处理器(实行用EP ROM作LAPD、LAPB)	1.3 μ m CMOS	10MB/秒 (HDLC连续数 据)	250mW	10.5×10.5	68

* 并HDLC: High-level Data Link Control(高级数据链路控制(规程))

时器和接口电路都集成在一个芯片上,完成信号处理功能。它广泛用于语言处理、数字图象处理与各种控制系统等,用途广、品种多、产量大,因此各大厂家相继研制并生产了各种用途的数字信号处理器电路。表18列出ISSCC85会议上发表的各种1.2—2微米的数字处理器的特性,表19列出ISSCC89会议上发表的各种信号处理器的特性,从表中可以看出,其速度迅速增高、内层容量迅速增大,集成度迅速提高,一个芯片上可集成50多万只晶体管。其应用已从声频扩展到图象处理。浮点小数点运算方式的高性能数字信号处理器发展也很快,表20列出ISSCC89会议上发表各类浮点小数点运算处理器的特性。

A/D、D/A转换器IC朝高速、高精

度、低功耗方向发展,八十年代以来发展很快,表21列出1—2 μm 设计规则的A/D、D/A转换器的代表产品。其主要趋势为:

1) 电路设计改进。以动态单元、分段设计、串并方式等设计来提高电路性能、降低工艺难度。

2) 工艺技术从双极为主发展到与MOS、CMOS、BiCMOS、SOS并存。

3) 单一功能向系统化发展。

4) 主攻目标明确,用于数据采集的A/D、D/A转换器强调高速度,用于数字通信(特别是语言、音乐通信)的A/D、D/A转换器则主攻高精度。

5) 图象处理用的A/D、D/A转换器迅速发展。

表17. 通信用LSI(ISDN*1U接口用芯片组)*2

开发单位	芯片构成	使用技术	耗散功率(电源电压)	芯片面积(mm ²)
(美)AT&T Bell实验室	模拟前端 (Analog front-end)	1.75 μm CMOS	—(5V)	14.5 (有效面积)
	数字处理	1.25 μm CMOS	—	47 (有效面积)
(日)NEC	模拟前端	1.6 μm CMOS	三块芯片合计 580mW(5V)	7.5 $\times$ 6.5
	回声消除器	1.2 μm CMOS		8.2 $\times$ 8.2
	接收处理	1.2 μm CMOS		8.5 $\times$ 8.1
(西德)Siemens AG	模拟前端	2 μm CMOS	125mW(5V $\pm$ 5%)	14
	数字处理	2 μm CMOS	150mW(5V $\pm$ 5%)	48

*1: ISDN(综合业务数字网)。

*2: 均对应采用美国ANSI标准化的2B1Q符号的回声消除器方式。

表18. 数字处理器

品 种	厂 家	使用技术	速 度	耗散功率 (电源电压)	芯片面积 (mm ²)	引出数端	备 注
8 $\times$ 8 Bit 乘法器	日立	1.3 μm CMOS	乘法时间 8.0ns	5.05mW (+5V)	1.26 $\times$ 1.56	—	在液氮温度下的特性
8 $\times$ 8 Bit 乘法器	日立	1.3 μm 脉冲 P-load逻辑	乘法时间 5.8ns	460mW (+5V)	1.56 $\times$ 2.06	—	在液氮温度下的特性
8位微处理器	日立	2 μm CMOS	加法时间 0.3 μs	50mW/4 MHz(+5V)	5.98 $\times$ 5.90	64	HD 64180 成品为53000晶体管
80位 浮点小数点处理器	日电	1.2 μm CMOS	5.6MFLOPS 时钟周期时间60ns 乘法时间180ns	1W (+5V)	10 $\times$ 10	144	
80位 浮点小数点处理器	AT&T	1.75 μm CMOS	14MHz	—	—	53 (输入输出)	