

数字电路设计

Verilog HDL

人民邮电出版社

数字电路设计

与

Verilog HDL

张亮 编著

人民邮电出版社
www.pptph.com.cn

数字电路设计与 Verilog HDL

张 亮 编著

人民邮电出版社

内 容 提 要

本书首先概述了数字集成电路发展的历史与未来,指出了硬件描述语言(HDL)在设计数字电路中所起的作用,并系统概要地讲解了 Verilog HDL 的语法要点。在此基础上,本书以 Verilog HDL 为工具,介绍了几种描述电路的方法与技巧,列举了几个典型电路的描述实例,然后用 80C51 单片机、硬盘控制器和 PCI 总线控制器接口等子系统的设计实例分别讲解了自顶向下的层次化设计方法、同步与异步数据流的控制以及 Master/Slave 状态机在总线控制等方面的设计技巧。文中还对 Verilog 建模与调试、BIST 电路的原理与 Verilog 实现做了详细论述,并提供了具体例子,最后以一个真实 ASIC 例子的简单介绍作为全书的结尾。

本书是 Verilog HDL 用于数字电路设计的中高级读本,可作为大专院校计算机、微电子学和半导体专业高年级本科生和研究生的教材,也可作为数字集成电路芯片设计人员的参考书。

数字电路设计与 Verilog HDL

◆ 编 著 张 亮
责任编辑 刘 涛

◆ 人民邮电出版社出版发行 北京市崇文区夕照寺街 14 号
邮编 100061 电子函件 315@pptph.com.cn
网址 <http://www.pptph.com.cn>
北京汉魂图文设计有限公司制作
北京密云春雷印刷厂印刷
新华书店总店北京发行所经销

◆ 开本:787×1092 1/16
印张:20.5
字数:514 千字 2000 年 10 月第 1 版
印数:1-6 000 册 2000 年 10 月北京第 1 次印刷

ISBN 7-115-08770-9/TP·1814

定价:35.00 元

前 言

随着集成电路设计变得越来越复杂，门级电路描述不易于管理和理解的缺点显得越来越突出，这使得用更抽象的方法表达电路设计成为必要。就像 20 世纪 70 年代高级编程语言取代汇编语言一样，从 20 世纪 90 年代以来，硬件描述语言（HDL）正逐渐取代门级原理图。逻辑综合工具可以完成 HDL 到门级电路的转换。在电路设计中使用 HDL 和逻辑综合工具不再是一种选择，而是一种必要。

目前有两种主要的硬件描述语言：Verilog 和 VHDL。两者都是通用的语言且都是数字电路设计的标准。Verilog HDL 提供了非常精简和易读的语法，普及程度远远高于 VHDL。许多大规模的电路设计都是用 Verilog 来完成的。设计者只要学会 Verilog 一门语言，几乎就可以应付逻辑设计中所有方面的事情。例如，在设计仿真中，所需要的功能模块、层级结构、测试向量以及人机交换等都可以用 Verilog 来实现。在美国的许多著名高校如斯坦福大学、南加州大学等，都以 Verilog HDL 为主要授课内容（这与我国高校多偏重 VHDL 语言教学的现实形成了明显反差）。

在当今信息时代，高性能集成电路的设计与实现体现了国家的综合科技实力，而我国在这一领域还处在起步阶段，集成电路设计水平和生产工艺还比较落后，这一领域科技人才也极其匮乏。虽然我国已经培养了一批从事集成电路设计的人员，但由于经费和生产条件的限制，绝大部分设计人员对新的设计理论与方法缺乏全面了解和掌握。在中科院计算所博士后流动站工作期间，我有幸被委派到美国 HighPoint-Technologies 公司北京研发中心从事 ASIC 设计工作。在这段时间里，我学习和使用了世界先进的集成电路设计理论和方法，成功地完成了多个专用集成电路的设计，所设计的专用芯片已在世界各地广为应用（详见第 10 章的介绍）。书中的许多技巧，是作者多年从事 ASIC 设计所积累的经验心得；书中的许多例子，来自于作者所设计的真实电路。

本书假定读者了解数字硬件设计的基本知识，并熟悉如 C 语言等高级编程语言。对 Verilog HDL 有初步了解的读者，阅读本书效果将更佳。阅读本书的第 5 章、第 6 章和第 7 章时，必须事先分别对 80C51 单片机、ATA（ATAPI）总线操作和 PCI 总线操作有充分的了解。

本书是 Verilog HDL 用于数字电路设计的中高级读本，实用性强是本书的一个鲜明特色。书中通过大量实例介绍了该语言的基本内容和结构以及利用该语言在各种层次上对数字系统的建模方法，这些实例不仅对读者掌握语言本身和建模方法极有帮助，而且对实际数字系统设计也极有帮助。本书中使用普通的术语介绍语言的语法和

语义，而没有使用语言正式定义的专业术语。本书并未试图对语言进行完整的讨论，只限于讨论语言中对无论是简单还是复杂设备建模的最有用和常用的特性。仅通过阅读本书来学习 Verilog HDL 语言和数字电路设计是不够的。将书中的实例在 Verilog 模拟器上编译并模拟它们，是掌握该语言技巧的最佳途径。

本书适用于包括电路和系统设计者在内的硬件设计者、软件工具开发者以及对学习使用 Verilog HDL 硬件建模感兴趣的其他读者。本书也可作为计算机辅助设计、硬件建模或综合课程的入门课程。对于学生和教授们来说，本书是硬件设计和硬件描述语言非常有用的教学参考工具。

我希望此书的出版对推动我国集成电路设计水平的提高有所促进，对高等学校的教学和课程改革有所帮助。由于作者水平有限，加之时间仓促，书中难免存在错误和不足，敬请广大读者予以批评指正。

书中许多经验和技巧的形成，都得益于美国 HighPoint-Technologies 公司副总裁、中科院计算所博士生导师林奇博士毫无保留的指导与身教；中科院计算所韩承德研究员审阅了全书；我的妻子马莉波女士校对了本书的全部初稿，并提出了许多宝贵意见；美国 HighPoint-Technologies 公司北京研发中心的黄月芬小姐和谷雨先生为本书做了部分文字和图表的编辑工作，在此一并表示衷心的感谢。

作 者

2000 年 7 月

于中科院计算所

高性能计算机研究中心

目 录

第 1 章 数字集成电路设计概述	1
1.1 集成电路设计方法演变	1
1.2 硬件描述语言(HDL)	3
1.3 数字集成电路设计的典型流程	4
1.4 系统级集成电路设计技术	6
1.4.1 系统级集成电路设计方法	6
1.4.2 系统级集成电路设计中的 IP 问题	7
1.4.3 系统级集成电路测试技术	8
1.4.4 系统级集成电路芯片加工技术	9
1.4.5 系统级集成电路的发展未来	9
第 2 章 硬件描述语言 Verilog HDL 语法简介	11
2.1 Verilog HDL 的发展与特点	11
2.2 模块 (Module) 概念	12
2.3 基本数据类型	14
2.4 基本操作数与表达式	16
2.5 过程语句	19
2.5.1 for 循环语句	20
2.5.2 while 循环语句	20
2.5.3 case 语句	21
2.5.4 repeat 循环语句	22
2.5.5 forever 循环语句	23
2.6 时间与事件的概念	23
2.7 时间与事件流的控制	25
2.8 并行的概念	29
2.8.1 fork-join 结构	29
2.8.2 disable 语句	29
2.9 功能与任务	30
2.10 描述的类型	32
2.10.1 行为级描述	32

2.10.2 结构级描述	34
2.10.3 混合模式表达	35
2.11 不同模块中的变量存取	36
第3章 几种提高效率的电路描述方法与技巧	41
3.1 加法结构	41
3.2 改进嵌入算子	44
3.3 使用状态信息	45
3.4 寄存器的使用	48
3.5 传播常量	50
3.6 随机逻辑描述	50
3.7 共享复杂算子	51
3.8 关键路径提取	53
3.8.1 简单组合电路关键路径提取方法	53
3.8.2 较复杂的 <code>always</code> 块中关键路径提取方法	54
3.8.3 复杂状态机中关键路径提取方法	56
第4章 Verilog HDL 电路描述举例	61
4.1 组合式的零计数电路	61
4.2 时序式的零计数电路	63
4.3 状态机实现的饮料机	65
4.4 计数器实现的饮料机	69
4.5 超前进位加法器	71
第5章 自顶向下的设计方法与设计实例	77
5.1 自顶向下的层次化分析方法	77
5.2 80C51 指令兼容微处理机层次化设计树	79
5.3 80C51 指令兼容微处理机结构模块分析	80
5.3.1 外部接口模块	80
5.3.2 FIFO 模块	84
5.3.3 ALU 模块	88
5.3.4 GET_INS 模块	92
5.3.5 DECODE 模块	95
5.3.6 EXE_CTL 模块	104
5.3.7 EXE_BRA 模块	106
5.3.8 EPROM 模块	109

5.3.9	外部 RAM 模块	110
5.3.10	系统仿真模块	111
第 6 章	硬盘控制器子系统模块化设计	113
6.1	功能描述	113
6.2	硬盘控制器子系统结构	113
6.2.1	异步 FIFO 电路	114
6.2.2	CRC 计算电路	128
6.2.3	UDMA 状态机电路	133
6.3	硬盘功能模拟	143
6.4	系统功能测试	189
第 7 章	基于 PCI 局部总线的控制器模块化设计	193
7.1	功能描述	193
7.2	PCI Master 状态机描述	194
7.3	PCI Slave 状态机描述	197
7.4	系统功能模拟	201
第 8 章	Verilog 建模与调试技巧	209
8.1	双向端口	209
8.2	具有不确定输入值的组合电路	213
8.3	作查表用的大存储器	214
8.4	加载交叉存取式存储器	220
8.5	建立和维持约束条件的验证	223
8.6	Verilog 执行顺序和调度的影响	223
8.7	复杂模块测试向量的产生	226
8.8	测试向量的验证	230
第 9 章	数字集成电路中的嵌入式自测(BIST)电路	233
9.1	数字逻辑电路测试	233
9.2	嵌入式自测 (BIST) 电路原理	234
9.2.1	伪随机测试向量产生	234
9.2.2	特征分析	238
9.2.3	嵌入逻辑块观测器	242
9.3	存储器嵌入式自测 (BIST) 电路	244
9.3.1	存储器 BIST 的概念	244

9.3.2	存储器测试与错误类型	245
9.3.3	存储器 BIST 电路结构	246
9.3.4	存储器 BIST 电路举例	247
第 10 章	真实 ASIC 系统举例	289
10.1	HPT366 系统结构	289
10.2	HPT366 的封装与电气特性	290
10.3	HPT366 的应用电路	295
附录 A	Verilog 形式化语法定义	299
A.1	BNF 语法形式	299
A.2	BNF 语法	299
附录 B	Verilog 关键词	313
附录 C	HDL 编译器不支持的 Verilog 结构	315
C.1	不支持的定义和说明	315
C.2	不支持的语句	315
C.3	不支持的操作符	316
C.4	不支持的门级结构	316
C.5	不支持的其他结构	316
参考文献		317

第 1 章 数字集成电路设计概述

1.1 集成电路设计方法演变

最近 30 年来, 数字电路设计技术获得了飞速发展。最早的数字电路是用电子管和晶体管搭的, 直到逻辑门能做在单芯片上才出现了集成电路。最早的集成电路是只有很少门数的小规模电路, 随着技术的不断发展, 出现了几百门的中规模集成电路和几千门的大规模集成电路。从这时起, 设计过程开始变得非常复杂, 设计者已经感觉到自动化设计的必要性。计算机辅助设计 (CAD) 的出现, 使设计人员能够开始用电路和逻辑仿真技术来验证大约 100 个晶体管左右的功能模块。当然, 这种电路也可以在面包板上进行测试。随着超大规模集成电路技术的出现, 设计者可以在单芯片上集成上万个晶体管。由于电路的复杂程度越来越高, 在面包板上验证电路已经不太可能, 计算机辅助技术成为设计和验证超大规模集成电路的关键。

随着集成电路的深亚微米制造技术、设计技术的迅速发展, 集成电路已进入片上系统时代。所谓的片上系统, 又称为系统级芯片, 就是系统级集成电路, 其英文缩写为 SOC (System on a chip) 或者 SLI (System Level IC)。系统级集成电路 (SOC) 在单一硅芯片上实现信号采集、转换、存储、处理和 I/O 等功能, 或者说在单一硅芯片上集成了数字电路、模拟电路、信号采集和转换电路、存储器、MPU、MCU、DSP、MPEG 等, 实现了一个系统的功能。SOC 是在 ASIC 的基础上发展起来的电路, 它与 ASIC 完全不同, 具有很多独特的优点:

(1) SOC 增加了功能: 从单一功能增加到多个功能, 实现了一个系统的功能, 达到了高速、高集成度和低功耗。

(2) SOC 大大降低了整机的成本: 过去构成一个系统需用多块 IC 芯片, 现在只要一块 SOC 就够了。

(3) SOC 大大降低了整机的体积: 这是系统制造商进一步发展的方向, 尤其对于便携式的电脑、通信及多媒体产品的生产厂家更具有吸引力。

(4) SOC 促进了整机系统更新换代的速度: 它缩短了供需双方之间的差距, 使整机更受用户的欢迎, 便于占领市场。

SOC 的这些优点正好顺应了通信、电脑、消费类电子产品向轻、薄、短和耗电少的发展方向, 因此市场对 SOC 产品有强烈的需求。目前 SOC 是微电子产业界最热门的话题之一, 如果说 VLSI 促进了 PC 的广泛应用而带来了信息产业的第一次革命, 那么 SOC

的发展正在带来信息产业的第二次革命。美国、日本和欧洲许多国家的各大半导体公司纷纷加大对 SOC 生产线的投资力度,建立 $0.15\mu\text{m}\sim 0.20\mu\text{m}$ 加工线用以生产 SOC。例如 NEC 公司为生产 SOC 建立了两条 IC 芯片加工线,一条为低功耗 SOC 工艺线(UC3),最细线宽为 $0.18\mu\text{m}$,功耗达到 19NW/MHz/门 ;另一条是高性能 SOC 工艺线,最细线宽为 $0.15\mu\text{m}$,速度达到 500MHz 。这两条工艺线加工 SOC 的集成度可达 3400 万门/ 20mm ,BGA 封装引脚可达 3000pin,NEC 已经在 1999 年第二季度投产。SGS-Thomson 公司正在建设一条开发生产 SOC 芯片的加工线,采用 $0.12\mu\text{m}$ 、 $\Phi 300\text{mm}$ 技术。

SOC 逐渐成为市场的热点,迫使可编程器件 CPLD 和 FPGA 转向 SOC。Xilinx 公司将其 FPGA 产品转向为 SOC,该公司首先推出了百万门 Virtex 系列 FPGA,为解决系统级设计问题提供了新的 FPGA 平台。Quick logic 公司宣布将利用该公司标准产品 FPGA 和硬核模块向客户提供可编程 SOC 产品。Altera 公司的新型可编程逻辑器件 APEX 20K 系列已于 1999 年第一季度正式面世,它是第一个成功地将乘积项、查询表功能及内嵌式集成的体系结构。APEX 20K 也是第一个器件密度达到百万门,系统性能可支持 64 位/ 68MHz PCI 标准的产品系列,将整个复杂的系统集成进一片可编程芯片内,实现 SOC;其第一个产品 EP20K400 已供应市场。

系统级集成电路实现的必要条件之一是其线宽须达到深亚微米级。当代 SOC 芯片多数为 $0.25\mu\text{m}\sim 0.18\mu\text{m}$ 设计规则,这与传统的 IC 设计技术完全不同,因此给 SOC 芯片设计带来了新的困难。集成电路设计进入深亚微米阶段后,特征尺寸缩小,其横向和纵向尺寸也都大大缩小,芯片内的互连线长度却急剧增大。互连线与连线间的电阻和电容对信号传输的影响非常显著,这一变化引入了许多新问题,给 SOC 芯片 EDA 设计提出了更多的挑战。

器件的特征尺寸降到深亚微米级,器件的物理特性和电学特性将会发生很大的变化。原来的模型已不再适合,必须考虑深亚微米尺寸所引起的物理效应,单元本身的固有延迟相对来说大大减小,而互连线所引起的延迟在整个单元延迟中所占的比例越来越大;深亚微米连线变细,连线间距变小,连线变长,这就增加了连线的分布电容。由于信号频率很高,所以会引入串扰影响和噪声影响;由于互连线变细,易于引起电迁徙和热载流子效应,因此在集成电路的设计策略上需做较大的调整,即要从原来面向电路单元的设计策略——先安排电路模块,然后考虑互连引线,更改为面向电路互连引线的设计策略——先安排电路互连线网,然后再挂电路模块,这样可以从总体设计上保证芯片高速工作。特别是深亚微米级芯片的速度较快,这时对时序的要求更为严格,因此前端的逻辑设计与后端的物理设计间很难保持一致。对于在逻辑设计中仿真分析后功能和时序都正确的网表,在布线设计后却由于芯片空间和连线的限制,造成互连引线的延迟与逻辑设计中使用的模型不一致,使得时序不再满足约束的要求。这时必须反过头来回到逻辑设计中进行修改,然后再进行仿真分析。由于逻辑设计和布局布线之间的控制因素不统一,将会导致逻辑设计和物理设计的循环不收敛,因而

会使设计周期大大加长。

为了能在设计的初期就获得有关互连线的信息，目前常用的一种设计方法是在设计流程中加入布局规划，通过布局规划对电路进行预布局，并得出电路互连延迟估计，然后这些估计被用来指导后续的设计过程。这种方法的最大困难在于在布线规划中很难保证电路之间最大互连延迟估计的准确度。另外，由于在设计初期即对电路的物理位置进行了约束，势必会影响到电路的优化程度。目前采用高层次设计方法，试图在设计初期获得一些有关深亚微米集成电路连线的物理信息，并以此来指导后续的设计过程，但目前仍不能十分有效地避免设计过程的迭代。高层次设计方法现在仍不能适应深亚微米高性能系统设计的要求，应从设计流程、电路结构以及算法等多方面进行综合考虑，力图把几方面的方法有效地结合起来，以探索得到全面的解决方案。

最近 10 年来，硬件描述语言（HDL）在逻辑电路设计中得到了广泛应用。工程管理者不再面临在设计中是否使用硬件描述语言的困境，相反，他们关心的是选用哪种语言能更好地与他们的设计环境相结合。使用硬件描述语言，设计者能够更好地从功能和行为上表述自己的设计，而且还可以加上详细的注解，以便在以后的设计中重复使用。在具体设计之前，通过抽象的功能描述，可以找到灵活的系统结构，并发现设计的瓶颈之所在。

1.2 硬件描述语言(HDL)

随着技术的巨大进步，芯片的密度和设计的复杂性也稳步提高。对于一个密度超过上百万个晶体管的芯片来说，电路的复杂程度要做到人类思想可以理解，就必须隐去它的细节而用高级语言来表达它的功能。这也就是为什么在大型系统程序中用高级编程语言取代汇编语言的原因。

电子领域的竞争越来越激烈。为了占领新市场，必须要求提高电路设计效率，缩短设计周期，减小设计成本。在芯片制造之前进行有效的仿真和错误检测，可以提高设计的成功率，也就有利于产品占领市场。因此硬件描述语言（HDL，Hardware Description Language）在电路设计中也就愈发显示出它的价值。

比起传统的原理图设计方法来说，HDL 有许多优点，主要有：

(1) 用 HDL 设计电路能够获得非常抽象级的描述。设计者不用选择特定的制造工艺就能写出电路的寄存器传输级（RTL，Register Transfer Level）描述。逻辑综合工具能自动将 RTL 描述转换成任何一种制造工艺。如果出现了新工艺，设计者不用再重新设计电路。当使用新工艺时，他们需要做的只是简单地把电路的 RTL 描述输入到逻辑综合工具中，就能产生出一个新的门级网表。逻辑综合工具将针对新工艺自动地进行电路面积和时序的优化。

(2) 用 HDL 描述电路设计, 在设计的前期就可以完成电路功能级的验证。由于设计者工作在 RTL 级, 他们可以不断地优化和修改 RTL 描述, 直到满足所需要的功能为止。这时能够发现并改进设计中的绝大部分错误。在设计晚期的门级网表或物理版图图中出现功能性错误的概率已经非常小, 这样可以非常显著地缩短设计周期。

(3) 用 HDL 设计电路类似于计算机编程。带有注解的文字性描述更有利于电路的开发与调试。比起门级原理图来说, HDL 还提供了非常简明的设计表达。在非常复杂的设计中, 门级原理图几乎是不可理解的。

逻辑综合把 HDL 推到了数字电路设计的最前沿, 设计者不再需要用手工放置门电路的办法来设计数字电路。HDL 也被用作进行系统级设计, 完成诸如系统板、互连总线、FPGA (现场可编程门阵列) 和 PAL (可编程阵列逻辑) 等电路的仿真。用 HDL 设计每一种电路的方法都是通用的。

1.3 数字集成电路设计的典型流程

超大规模集成电路 (VLSI IC) 设计的典型流程如图 1-1 所示。

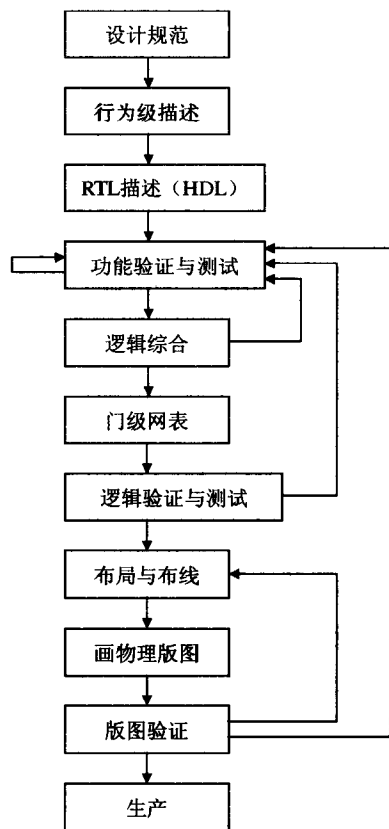


图 1-1 超大规模集成电路设计的典型流程

图 1-1 示出了使用硬件描述语言的设计者典型使用的设计流程。在任何设计中，要最先写出设计规范。规范抽象地描述了所设计电路的功能、接口和整体结构。这时，没有必要考虑如何用具体电路来实现系统结构。通过分析电路的功能、性能、所要满足的标准以及其他高级的问题后，才可以得到行为级描述。行为级描述可以用硬件描述语言来撰写。

完成了行为级描述的行为算法优化与功能仿真以后，通常需要进行向寄存器传输级（RTL）描述的转换。之所以需要将行为级描述用手工转换成寄存器传输级（RTL）的 HDL 描述，原因在于现有的电子设计自动化（EDA）工具只能接受 RTL 级描述的 HDL 文件进行自动逻辑综合。当然，转换后的 RTL 描述同样需要进行仿真验证。在 RTL 描述中，设计者必须描述出在所设计电路中的数据流。从这步之后，设计过程是在计算机辅助设计（CAD）工具的帮助下完成的。

逻辑综合的目标是将 RTL 的 HDL 代码映射到具体的工艺上加以实现，因而从这一步开始，设计过程与实现工艺相关联。实现自动逻辑综合的前提是要有逻辑综合库的支持。综合库内部包含了相应的工艺参数，最典型的有如门级延时、单元面积、扇入扇出系数等参数。设计一个电子系统，总有相应的设计指标，如时钟频率、芯片面积、端口驱动能力等。自动综合工具将这些设计指标作为综合过程的约束条件，在给定的包含工艺参数的综合库中选取最佳单元，实现综合过程。对于比较复杂的设计，通常需要考虑测试问题，一般可用测试综合工具在逻辑电路内部安排相应的测试电路。

逻辑综合后的仿真叫做门级仿真。逻辑综合工具把 RTL 描述转换成门级网表。门级网表是使用门电路以及门电路之间的连接来描述电路的方式。门级仿真与行为级仿真和 RTL 仿真不同的是，门级仿真包含了门单元的延时信息，因而门级仿真需要相应工艺的仿真库的支持。

门级网表是产生版图的自动布局布线工具的输入。对于 IC 芯片设计者来说，这一步通常被称为后端设计。在版图的布局布线都已确定后，可以从版图中进一步提取出连线电阻、电容等参数。

在版图生成之后，把从版图中提取出的参数反标到门级网表中，进行包含门延时、连线延时的门级仿真，称作后仿真。这一步主要是进行时序模拟，如果时序不能满足设计要求，通常需要修改版图的布局布线、逻辑综合的约束条件，有时也有可能回到 RTL 描述、行为级描述甚至设计规范或算法实现上加以调整。版图得到验证后就可以做到硅片上。

由上可知，大部分设计行为都集中在手工优化电路的 RTL 描述上。当 RTL 描述固定后，CAD 工具就可以帮助设计者完成以后的工作。RTL 级的设计已经把电路设计周期从几年缩短到几个月。许多重复性的设计工作，也有可能非常短的时间

内即可完成。

最近行为级综合工具也开始出现,这种工具能把电路的行为或算法描述转换成 RTL 描述。随着这种工具的日趋成熟,数字电路设计将变得与计算机高级语言编程一样方便,设计者只需简单地把算法用 HDL 抽象描述出来即可。CAD 工具可以把这种行为或算法级的描述转换成最终的 IC 芯片。

虽然 CAD 工具已经可以做到自动完成设计过程和缩短设计周期,但设计者如何控制和使用这些工具仍然是非常重要的。如果使用不正确,设计效率将非常低。设计者仍然必须懂得设计方法上的差异,才能用 CAD 工具获得优化设计。

1.4 系统级集成电路设计技术

1.4.1 系统级集成电路设计方法

SOC 芯片不仅要集成一个复杂的系统,芯片的集成密度大、速度快,还要要求解决各种干扰问题。毫无问题地完成系统级设计,是一项十分艰难的任务。按照国际上对集成电路设计人员的设计能力评估,在 RTL 层次,当今职业设计人员的设计能力平均每天完成 200 门 IC 设计工作量,而片上系统的集成度大致在 1000 万个等效门,因此如果从头开始完成上述 SOC 芯片设计不光需要相当多的人力和时日,还要花费大量的 NRE (非重复性工程费)。现在电子产品的生命周期正在不断缩短,创新产品、新结构产品的周期一般不超过 1 年,而要求完成芯片设计的时间就更要短些,因此必须找出新的解决途径。让我们回忆一下平常做整机系统设计或电路板设计的情况,去买一些现成的元器件和 IC 芯片,然后把它们组合在一起,调试、查错,最终完成产品。现在我们把这种方式应用到 SOC 芯片设计上,把已经经过验证的 IC 电路以模块的形式去参加 SOC 芯片的设计,这样设计就变得容易了,也可大大缩短设计时间,从而解决了 SOC 芯片上市时间和设计成本高的问题。因此人们在进行 SOC 芯片设计时,必须重复使用已验证的 IC 模块。这些已验证的、可重复利用的 IC 模块具有知识产权问题,通常被称为 IP(intelligent property),也有人称它为系统宏单元(system - level macro),或虚拟部件(Virtual component)、芯核(core)。

SOC 芯片设计有 3 种不同方法,第一种方法称为专用系统设计方法。系统商确定出系统指标, SOC 芯片中应采用的 IP 模块,如通用 IP、专用的 IP 全由芯片厂商(可能是半导体厂商,也可能是专门设计芯片的公司)设计完成。这种设计方法的特点是片上系统成本可能最低,但需要较长的设计时间,灵活性较小,适于 SOC 芯片产量特别大的情况。第二种方法称为部分集成法。系统厂商设计 SOC 芯片中的专用电路部分, SOC 芯片中的 DSP IP、MPU IP 以及存储器 IP 等由 IP 公司提供,由半导体厂

商或专门设计芯片的公司完成整体设计。这种方法具有一定的灵活性,新产品开发时间也较短。第三种方法称为桌面集成法。各种 IP 模块的供给公司将它们提供给电子系统商,由电子系统商设计其专用电路部分,并与外购的各种 IP 相结合完成 SOC 芯片设计。这种设计方法成本最低,设计灵活性最大。

1.4.2 系统级集成电路设计中的 IP 问题

IP 模块是 SOC 芯片中的一个非常复杂的问题, SOC 芯片设计业如今面临着很多问题。IP 模块知识产权保护是在 SOC 芯片设计中再利用的关键,连美国的知识产权专家都认为,目前没有现成的法律可以保护这种知识产权,估计也很难批准通过这样的法律,因为这样的法律执行起来也很难。除法律手段外,依靠技术手段来保护知识产权的工作正在进行当中。当前尚存在以下两个问题:(1)从 IP 模块的提供者来看,问题是如何设计商用 IP,如何进行恰当的描述使得既能方便使用者进行再利用又不暴露知识产权的秘密,以及如何对 IP 模块进行维护,使它适应技术的发展;(2)从 IP 模块的使用方面来看,问题是通过什么渠道可以找到所需要的 IP 模块,如何对它进行评估、验证,如何能够购买到,如何正确使用以及许多标准化的问题。

为了解决上述 IP 模块在 SOC 芯片设计中存在的问题,1996 年 9 月世界 35 个著名公司成立了一个国际性企业联合组织:虚拟插座接口联盟(The Virtual Socket Interface Alliance,简称 VISA)。参加该组织的公司包括半导体制造公司、设计公司、EDA 公司、IP 提供者公司及整体系统公司,目前已发展到 170 多家厂商。VISA 的目标是开发 IP 模块的接口,制定一系列开放标准、IP 功能评价和验证方案。此外还有其他一些有关 IP 组织,如可再利用的专用 IP 开发者协会 RAPID(Reusable Application Specific Intellectual Property Developers),该协会也在进行这方面的工作。为了更好地交易 IP 模块,东芝、摩托罗拉、西门子等 9 家有关半导体公司宣布:他们和英国苏格兰发展局联合在英国成立了虚拟部件交易所(VCX),会员公司可获得 VCX 提供在交易所登记的 IP 模块信息,协助买卖双方订立合同,并征收权利使用费、监督盗用、仲裁争议等。

IP 模块的再利用,除能缩短 SOC 芯片设计时间外,还能降低设计和制造的成本,提高可靠性,因而将会给 IC 产业和电子工业带来巨大的商业利益,也会引起 IC 产业结构的变革。现在已经出现了一些与 IP 模块有关的业种,如 IP 模块提供者、IP 价值评价机构等。SOC 芯片设计不再局限于单个设计部门,不再局限于一个公司内部,而是将整个 IC 产业的各种资源实现优化配置,促使 IC 产业更快地发展。

通常 IP 模块分为三类:即硬 IP、软 IP 和固 IP,也称硬核(Hard core)、软核(soft core)和固核(Firm core)。硬核的电路布局和工艺是固定的,不能更改。硬核已完成了全部的前端和后端设计,制造也已确定。它的特点是灵活性最小,知识产权的保护

比较简单。IP 模块提供者供给用户的是封装好的行为模型，用户只能从外部测试硬核的性能，却无法得到厂家真正的电路设计。

软核是包括逻辑描述（RTL 和门级 Verilog HDL 或 VHDL 代码）、网表和不能物理实现的用于测试的文档（test bench tile）。与硬核相比较软核有最大的灵活性，用户能把 RTL 和门级 HDL 表达的软核修改为自己所需要的设计，综合到选定的厂商工艺上，并通过布局布线实现具体电路。

固核是一种介于软核和硬核之间的 IP，通常以 RTL 代码和对应具体工艺网表的混合形式提供。固核既不是独立的，也不是固定的，它可根据用户要求进行修改，使它适合用于某种可实现的工艺过程。固核允许用户重新确定关键的性能参数。从完成 IP 模块设计所花费的代价来看，硬核代价最高；从 IP 模块的使用灵活性来讲，软核的可重复使用性最高；从期望 IP 模块的价值最高的角度出发，人们期望 IP 完成物理设计，但这会使 IP 模块的可重复性降低。固核可根据系统设计的需求进行修改，但知识产权不易保护，虽然用户乐于接受，但缺乏固核的提供者。

1.4.3 系统级集成电路测试技术

SOC 芯片的测试技术难度较大，因为在一块硅片上涉及到几种技术的集成。过去的测试设备主要是针对专用优化的自动测试仪，一台 VLSI 测试仪可能会有高功效的数字测试能力，但对检测混合信号 IC 未必行得通；另一方面混合信号测试仪可能在模拟功能检测方面十分优秀，但对高性能的数字 IC 却无能为力。SOC 芯片测试设备则必须能够精确地检测模拟和数字两种电路，并支持扫描检测和嵌入式存储器检测。检测工程师还必须面对缺少检测触点的现状。总之，SOC 芯片的集成度和功能已太庞大，在输入引脚加测试向量，再从输出引脚观察结果的传统的检测方法已不再适用。采用传统方法，测试向量集会过分庞大，执行时间也会长得惊人。

目前开发 SOC 芯片测试仪的供应商只有几家，如 Schlumberger、Advantest、Teradyne 和 LTX。它们的 SOC 芯片测试仪器频率最高达 1GHz，引脚数量最高为 2048pin，通道数最高达 1024。大部分产品是在原逻辑和存储器测试仪器上添加硬件和软件，特别在测试方法上进行了改进。目前 SOC 芯片的测试现状还不能令人满意。SOC 芯片测试并无统一标准，美国 IEEE 学会专业组正在注意该标准的制订，SOC 芯片商需要拥有成套的 SOC 芯片测试方法，需要满足各个生产阶段的测试技术要求和降低测试成本。扫描检测法、内建自测试电路技术及 IDDQ 检测等新技术将在 SOC 芯片测试中发挥更大的作用。