

高等院校选用教材

电子信息类

在系统可编程技术 实践教程

● 陈 赅 编 著
● 朱如琪



科学出版社

高等院校选用教材(电子信息类)

在系统可编程技术实践教程

陈 贇 朱如琪 编著

科学出版社

2001

内 容 简 介

本书较系统地介绍了在系统可编程逻辑器件及其应用设计技术。

本书共分十章。第一、二章介绍了 PLD 器件和 CPLD 器件的结构特点和原理。第三章介绍了 ABEL_HDL 语言的语法和使用。第四章介绍了 ISP 技术应用设计软件。第五章介绍了利用 ISP 技术的设计方法实现的 5 个数字电路的基础实验。第六至八章小结了利用 ISP 技术进行数字电路和数字系统设计的一些常用设计方法,然后介绍了 ISP 技术应用的 5 个综合实验,最后给出了 10 个难易程度不同的设计项目。第九章介绍了 VHDL 语言,并给出了大量实例。第十章结合 VHDL 语言应用设计实例介绍了 XILINX 公司的“Foundation Series”和 ALTERA 公司的“MAX+PLUS Ⅱ”EDA 设计软件的使用方法,同时还给出了一些利用 VHDL 语言设计应用的实例。附录中介绍了“现代 EDA 技术及网络教学系统”、目前流行的几个主要公司的 CPLD/FPGA 应用的下载电路,以及常用的 CPLD/FPGA 芯片的引脚图。

本书可作为高等院校电类、机电类或非电类专业的研究生、本科和专科生学习大规模可编程逻辑器件及其应用的教材及实验指导书,也可作为电子系统设计工程技术人员学习 EDA 技术的参考书。

图书在版编目(CIP)数据

在系统可编程技术实践教程/陈贇,朱如琪编著.-北京:科学出版社,2001
高等院校选用教材(电子信息类)
ISBN 7-03-009310-0

I. 系… II. ①陈… ②朱… III. 可编程序控制器-高等学校-教材 IV. TP332.3

中国版本图书馆 CIP 数据核字(2001)第 16943 号

科学出版社 出版

北京东黄城根北街 16 号
邮政编码:100717

源海印刷厂 印刷

科学出版社发行 各地新华书店经销

2001 年 5 月第 一 版 开本:787×1092 1/16
2001 年 5 月第一次印刷 印张:14 1/4
印数:1—4 000 字数:320 000

定价:20.00 元

(如有印装质量问题,我社负责调换〈北燕〉)

序

随着微电子技术和半导体制造工艺的进步,大规模和超大规模集成电路正在迅猛而飞速地发展,特别是用于数字电路或数字系统的可编程逻辑器件。作者以在系统可编程技术为题,从理论到实践进行系统的探索,完全符合当今信息时代的教学和工程技术的迫切需要。《在系统可编程技术实践教程》一书的特点可概括如下:

(1)内容先进 本书既回顾了历史进程中的若干低密度可编程逻辑器件,如 PAL、GAL 等,又着重讨论了现代高密度逻辑器件 CPLD 和 FPGA 等。在回顾历史中,作者详略得当地介绍了各种类型的 PLD 器件的结构原理,使读者对可编程逻辑器件的发展有一个整体认识。然后,结合实例,详细介绍了现代 EDA 技术的两大基础,即可编程逻辑器件和 EDA 设计工具,以及利用现代 EDA 技术设计数字电路的一些方法。最后以较大的篇幅介绍了 VHDL 语言及其使用。在附录中,作者还介绍了目前最常用的几家可编程逻辑器件生产商的下载电路和芯片引脚,使读者真正能做到学以致用。

(2)方法独特 本书以可编程逻辑器件的发展为线索,讲述了现代电子设计自动化(EDA)技术的发展,纵观了 PLD 的发展史,使读者认识到 PLD 在结构原理、集成规模、下载方式、设计工具(硬件描述语言和若干专用 EDA 软件)诸方面的每一次进步,均为 EDA 技术设计的革命与发展提供了强大的动力。因此,本书便于读者深刻地理解 PLD 的结构和原理,从而更好地掌握 EDA 的设计技术。

(3)实践性强 本书将理论教学和实验研究紧密结合。讲述器件结构原理和设计技术之后,均有若干设计实例相配合,即器件、EDA 技术和应用一条龙,因而读者对所设计的电路看得见、摸得着、用得上。

(4)便于教学 教材表述概念清楚、逻辑性强。每章末均有思考题或练习题,章中有例题,内容循序渐进,文字流畅,便于自学。

深信该书的出版发行,定将受到大专院校广大师生和其他读者的欢迎。应作者之嘱托,仅作此序。

康华光

2001 年 3 月 22 日

前 言

随着科学技术的进步和社会经济的发展,各类新型电子产品的开发不仅提出了许多全新的课题和更高的要求,而且电子产品的更新换代速度非常快,以至使人感到,自己的产品还没投放市场,就面临着被淘汰的命运。其最主要原因就是电子设计自动化(Electronic Design Automation,简记 EDA)工程技术的应用,因为 EDA 技术不仅是电子产品开发研制的动力源和加速器,而且也是现代电子产品设计的核心。谁能充分地掌握和利用 EDA 技术,谁就能最快地开发出最好的产品。

现代电子设计已经进入了数字化的时代,我国电子设计技术的发展主要经历了两次重大的飞跃,第一次飞跃为从应用中小规模通用数字电路芯片构成电路系统,到广泛地应用微处理器、单片机构成数字电路系统。这一飞跃不但克服了纯中小规模数字电路系统许多不可克服的困难,同时也为电子设计技术的应用开拓了广阔的前景。然而,随着大规模和超大规模可编程逻辑器件 FPGA/CPLD 在 EDA 技术基础上的广泛应用,电子系统设计又经历了一次飞跃。EDA 是在 20 世纪 90 年代初,从 CAD(计算机辅助设计)、CAM(计算机辅助制造)、CAT(计算机辅助测试)和 CAE(计算机辅助工程)等概念的基础上发展起来的。EDA 技术就是以计算机为工具,在 EDA 软件开发平台上,对以硬件描述语言为系统逻辑描述手段完成的设计文件自动地完成逻辑编译、逻辑化简、逻辑分割、逻辑综合及优化逻辑仿真,直到对于特定目标芯片的适配编译、逻辑映射和编程下载等。设计者的工作仅限于利用软件的方式,即利用硬件描述语言来完成对系统硬件功能的描述,在 EDA 工具的帮助下就可以得到最后设计结果。尽管目标系统是硬件,但整个设计和修改过程如同完成软件设计一样方便和高效。其中,EDA 技术中最为瞩目的是日益强大的逻辑设计仿真测试技术,该技术只需通过计算机就能对所设计的电子系统从不同层次的系统性能特点上,完成一系列准确的测试和仿真操作;在完成实际系统的安装后,还能对系统上的目标器件进行边界扫描测试。但是,如果 EDA 技术离开了高速发展的 FPGA/CPLD 器件,就将成为无源之水,因此可以说,FPGA/CPLD 器件是 EDA 技术的坚实的物质基础。因为高速的 FPGA/CPLD 不但具有微处理器和单片机的特点,并兼有串、并行工作方式和宽口径适用性等很多特点,尤其是随着 EDA 技术的发展和 FPGA/CPLD 在向深亚微米领域的进军,它们与微处理器、DSP、A/D、D/A、RAM 和 ROM 等独立器件之间的物理与功能界限正日趋模糊,使得以大规模可编程集成电路为物质基础的 EDA 技术终于打破了软硬件之间的屏障,使硬件设计软件化,这已成为当代电子设计技术发展的总趋势,成为电子设计技术的第二次飞跃。

基于目前现代电子技术的飞速发展和高新技术日新月异的变化以及人才市场、产品市场的迫切需求,为了适应电子技术发展的进步和国际竞争对人才的需求,我们应将这些最新的器件、最新的设计方法和最新的 EDA 设计平台引入到课堂,引入到实验教学中,紧跟现代先进科学技术的发展,提高教学水平和质量,同时加强学生工程实践能力和创新

设计能力的训练,这已成为当务之急。

本书重点介绍在系统可编程逻辑器件和它的应用设计技术。在系统可编程(In System Programmability)技术(简记 ISP 技术)就是 LATTICE 半导体公司首先提出来的,一种使我们能在产品设计和制造过程中的每个环节,甚至在产品卖给最终用户以后,具有对器件、电路板或整个电子系统的逻辑功能随时进行组态或重组能力的最新技术。对于支持 ISP 技术的可编程逻辑器件,称为在系统可编程逻辑器件。本书根据在系统可编程逻辑器件的结构原理和应用,介绍现代 EDA 技术的基本概念和基本设计方法。

本书中大量的设计实例的讲解和实践,使读者能尽快达到利用现代电子设计方法设计和应用 CPLD/FPGA 器件的目的。本书突出实践环节,选题来自教学和实践。练习实践题起步低,条理清楚,叙述细腻,层层到位,十分便于自学;读者只要按本书的指点步骤去做,都会在循序渐进的练习和设计中了解和掌握 EDA 工具,利用它来设计数字电路和数字系统。本书可以开设 4 个层次的实验项目,即基础实验、设计性实验、综合设计性实验及研究性实验,可以对不同层次的学生因材施教,达到较为理想的教学效果。书中所举的实例都经作者在“ISP 技术实践教学平台”上做了编译、适配、仿真和下载实验,保证实例有百分之百的可操作性。本书有利于调动学生的学习积极性和主动性,有利于启发式教学及自学,有利于培养学生的分析、解决实际问题的能力和创新能力。本书充分利用了现代教育技术和教学方法以及网络技术、多媒体技术和计算机技术,通过各种方式将教学内容传授给学生。目前,本书的主要内容已做成多媒体课件,适合开展网上教学,同时,我们把教程的多媒体课件、设计项目以及 ISP Synario System EDA 工具软件(教学版)放在网上,供学生自学和实验。由于充分利用了现代教育技术手段,学生将“实验室”搬到了学生宿舍,而且教师可以在网上与学生进行教学交流,批改学生实验项目,使学生学习该课程时,不受时间和空间的限制,同时配合我们自己研制的“ISP 技术实践教学平台”,大大改善了教学条件和环境,提高了教学效果并扩大了教学的受益面。

几年来,随着我校国家工科电工电子教学基地 EDA 实验室的建立和大规模可编程逻辑器件相关课程的设置,我们结合教学实践,研制了“ISP 技术实践教学平台”(2000 年 12 月该项目荣获华中科技大学实验技术成果一等奖),同时对传统的数字电路课程的实验方式做了许多大胆的改进,在“ISP 技术实践教学平台”上做了大量的实验,编写了试用讲义,并作了教学试点等工作。在 ISP 实践教学中,试用讲义《ISP 技术实践教程》经多届学生使用,学生反映其易学、方便、新颖、有趣、直观,设计与实验项目成功率高,理论与实践结合紧密,教学效果好、上手快、收获大、效率高,而且开扩了视野,使他们初步掌握了怎样利用 EDA 工具设计电子电路,学生的实际电子工程设计能力、新技术应用能力以及高新技术市场适应能力都有明显提高。因此,作者结合多年的电子技术教学经验和 EDA 设计技术以及现代电子技术发展的最新成果,把试用讲义整理写成本书,作为高等院校电类、机电类或非电类专业的研究生、本科生、专科生学习大规模可编程逻辑器件及其应用的教材。

这里特别指出,在学习中若将本书与配套的“ISP 技术实践教学平台”结合使用,会有更好的学习效果、更高的学习效率。

由于 ISP 技术是一门新技术,是 EDA 技术的应用基础,随着同仁和老师们对 EDA

技术认识的不断提高,一定会加快 EDA 教学的步伐,加快更新陈旧教材,改变我国目前的电子技术课程的教育落后于现代科技发展的局面。我们坚信,随着 EDA 技术的发展,传统的数字电路设计模式、卡诺图的逻辑化简手段、冗余难懂的布尔方程表达式、小规模 TTL 芯片组装技术在迅速崛起的 EDA 面前将会成为历史。

本书经华中科技大学教材编审委员会审定,作为 2000 年度学校重点立项出版教材,并获学校“教学改革工程”教材建设基金资助,在此表示忠心感谢!本书的编写还得到华中科技大学副校长邹寿彬教授,电信系系副主任严国萍教授,校教务处教学研究成果科科长石火学老师和校实验室与设备处汪春华处长、董素平老师以及我校电工电子教学基地的领导和老师们的支持和帮助,谨致谢意!康华光教授在本书的审定和编写过程中给予了作者极大的关怀和帮助,尤其是康老师在繁忙的工作中为本书作序,在此深表谢意!谢自美教授审阅了全部书稿,在此深表谢意!在编写本书的过程中,参考了大量的有关书籍和资料并引用了一些学术成果,在此,向所有的这些学者和专家表示衷心的感谢!叶军、周磊、刘光启、赵亮和陈伟运等同学为本书的出版做了许多工作,在此也表示感谢!

本书难免有疏漏、不妥或错误,敬请读者批评指正。

作者

2001.1 于华工园

目 录

第一章 可编程逻辑器件基础	1
1.1 PLD 器件及其分类	1
1.1.1 PLD 器件	1
1.1.2 PLD 的分类	2
1.2 可编程逻辑器件结构简介	3
1.2.1 标准门单元、电路示意及 PAL 等效图	4
1.2.2 可编程阵列逻辑的基本电路结构	4
1.2.3 PAL 的几种输出电路结构和反馈形式	5
1.2.4 通用逻辑阵列的输出逻辑宏单元	7
1.2.5 几种常用的可编程逻辑器件	10
1.3 PLD 编程初步	13
思考与练习题	17
第二章 在系统可编程逻辑器件	19
2.1 低密度 ISP-PLD	19
2.2 高密度 ISP-PLD	21
2.3 ispLSI 器件的编程	27
思考与练习题	28
第三章 ABEL_HDL 语言	29
3.1 ABEL_HDL 语言的基本语法	29
3.2 DIRECTIVES 指示字	38
3.3 ABEL_HDL 源文件基本结构	42
3.4 ABEL_HDL 设计举例	45
思考与练习题	50
第四章 ISP 技术应用软件	54
4.1 ISP Synario 设计软件的基本概念和命令	55
4.1.1 ISP Synario 软件的常用命令	55
4.1.2 “Processes for Current Source”源过程窗口的处理	55
4.1.3 ISP Synario 软件的几类主要窗口	56
4.1.4 电路原理图编辑器各类主要菜单的功能	57
4.1.5 ISP Synario 软件的文件后缀及其含义	58
4.2 ISP Synario 软件设计实践	59
4.2.1 ISP Synariol 软件的安装	59
4.2.2 ISP Synario 原理图输入设计	60

4.2.3 设计的编译与仿真	64
4.2.4 ABEL 语言和原理图混合输入	66
4.2.5 在系统编程的操作方法	74
4.3 故障与调试	76
思考与练习题	78
第五章 数字电路基础实验	79
5.1 交通控制灯监视电路	79
5.2 码变换器	82
5.3 计数器	86
5.4 双向移位寄存器	89
5.5 环行计数器与扭环行计数器	92
思考与练习题	97
第六章 ISP 技术应用设计方法	101
6.1 ISP 技术设计方法	101
6.2 ISP 技术设计方法举例	102
第七章 ISP 技术应用设计实例	108
7.1 篮球 30 秒定时控制电路	108
7.2 汽车尾灯控制电路	111
7.3 数字密码锁电路	114
7.4 升降计数器和三角波/锯齿波发生器	118
7.5 多功能数字电子钟设计	121
第八章 ISP 技术应用设计项目	132
8.1 函数发生器	132
8.2 算术运算电路	133
8.3 逻辑运算电路	133
8.4 计数器	134
8.5 舞台彩灯控制电路	135
8.6 可控步进电机三相六拍步进脉冲分配电路	136
8.7 七段数码串入并出(带锁存)的时序逻辑电路	136
8.8 交通控制灯	137
8.9 顺序控制器	138
8.10 频率计	138
第九章 VHDL 语言	140
9.1 VHDL 语言的基本语法	140
9.1.1 VHDL 语言的标识符	140
9.1.2 VHDL 语言的数据类型	143
9.1.3 VHDL 语言的运算操作符	147
9.2 VHDL 语言的结构	147

9.3 VHDL 语言最基本的描述方法	158
9.3.1 VHDL 语言的顺序语句	158
9.3.2 VHDL 语言的并行语句	165
9.4 面向仿真与综合的 VHDL 语言设计	173
9.4.1 仿真与综合	173
9.4.2 组合电路设计	175
9.4.3 时序电路设计	178
9.4.4 有限状态机设计	182
思考与练习题	183
第十章 VHDL 设计实践	185
10.1 ALTERA 公司的“MAX+PLUS II”EDA 设计工具的使用方法	185
10.2 XILINX 公司的“Foundation Series”EDA 设计工具的使用方法	191
10.3 设计实例	199
10.3.1 交通控制灯故障监视电路	199
10.3.2 4 位二进制码转换成 2 位 BCD 码	199
10.3.3 8 位二进制同步可逆计数器	200
10.3.4 双向移位寄存器	202
10.3.5 扭环形和环形计数器的设计	202
思考与练习题	204
附录	205
F-1 现代 EDA 技术及网络教学系统	205
1. ISP 技术综合实验系统的主要特点	205
2. ISP 技术综合实验系统的基本功能和资源配置	206
3. ISP 技术综合实验系统的使用特点	208
4. 实时交互网络教学系统的功能	208
F-2 几家可编程逻辑器件生产商的下载电路	210
1. LATTICE 公司的编程电缆,即下载电路图	210
2. ALTERA 公司的下载电缆,即下载电路图	210
3. XILINX 公司的下载电缆,即下载电路图	212
F-3 常用可编程逻辑器件引脚图	213
主要参考文献	216

第一章 可编程逻辑器件基础

20 世纪 90 年代,集成电路产业销售额增长最快的产品是可编程逻辑器件,其中大规模可编程逻辑器件的销售额增长最快。随着深亚微米半导体工艺技术的不断发展,可编程逻辑器件的集成度和工作速度不断提高,价格也大大下降,它们迅速地推动着可编程逻辑器件的应用和普及。

1.1 PLD 器件及其分类

1.1.1 PLD 器件

可编程逻辑器件 PLD(Programmable Logic Device, 简称为 PLD)是从 20 世纪 70 年代初发展起来的一种新型逻辑器件。在发展过程中,先后出现了 PROM,PLA,PAL,GAL,EPLD,CPLD,FPGA 等各个品种。这些器件是微电子技术、超大规模集成电路 VLSI 技术和计算机辅助设计 CAD 技术相结合的产物。随着技术的进步和发展,PLD 器件的功能越来越强,应用越来越广泛。目前在绝大多数较复杂的电子产品中,都采用了 PLD 器件。

可编程逻辑器件虽然是作为一种通用器件生产的,但它的逻辑功能由用户通过对器件的编程设计决定。而且,有些 PLD 的集成度很高,完全能满足设计一般数字系统的需要。因此,设计人员可以根据自己的设计需要,利用 EDA 软件进行设计,最后把设计结果下载到 PLD 芯片上,完成一个数字电路或数字系统集成的设计,而不必请芯片制造厂商设计、制作专用集成电路芯片。PLD 的基本结构如图 1.1.1 所示。其中,“与”阵列用以产生“与”逻辑项(乘积项),“或”阵列用以把所有与门输出的乘积项构成“与-或”形式的逻辑函数。

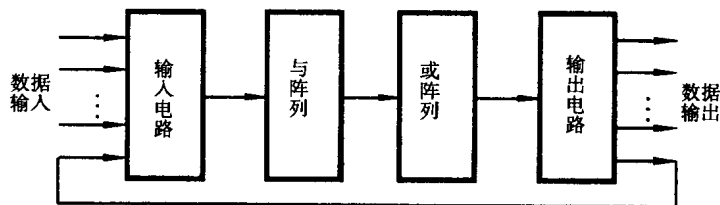


图 1.1.1 PLD 的基本结构

在系统设计中采用 PLD 器件,它具有以下优点:

(1) 功能集成度高

所谓功能集成度是指在给定的体积内可集成的逻辑功能的数目。一般来说,一片 PLD 器件可替代 4~20 个中小规模集成电路芯片,因而能减少芯片数量,提高印制电路板的利用率,提高电路的可靠性,降低费用。

(2) 系统设计时间缩短

可编程逻辑器件引脚的逻辑功能由用户根据需要来设定。一般都有强有力的设计工具的支持,不管是在构思阶段,还是在实现阶段,都能快速地进行一种功能或多种功能的设计。而一般中小规模集成电路的逻辑设计,需要将多个固定功能的芯片按照逻辑功能要求进行搭接,这是很繁琐的。因为它牵涉到芯片之间的连线问题、芯片的布局问题及相互之间的影响等,往往是经过多次实验和反复修改才能制出一块较为可靠的功能板电路。

(3) 设计灵活

可编程逻辑器件具有可编程和可擦除的特点,为设计带来了许多灵活性。在设计过程中,可以多次反复地修改设计方案,增添新的逻辑功能,但不需要增加器件。这可充分发挥设计者的创造性,设计出更优秀的产品。

1.1.2 PLD 的分类

PLD 有多种结构形式和制造工艺,不同厂商生产的可编程逻辑器件又有不同的型号和名称。因此,对可编程逻辑器件来说,存在着不同的分类方法。

根据可编程逻辑器件门电路的集成度,分为低密度(LDPLD)和高密度(HDPLD)可编程逻辑器件两大类;以 1000 门为界,1000 门以下的为低密度;1000 门以上的为高密度。早期生产的可编程逻辑器件,如 PROM,PLA,PAL,GAL 等,都属于低密度器件。目前流行的 CPLD 和 FPGA 等则属于高密度器件。下面简单介绍低密度和高密度可编程逻辑器件的基本结构和特点。

1. 低密度可编程逻辑器件(LDPLD)

- **PROM(Programmable Read Only Memory)** 即可编程只读存储器,其基本结构是“与”阵列固定和“或”阵列可编程,PROM 采用熔丝工艺编程,只能写一次,不可以擦除或重写。随着技术的发展和应用要求,又出现了 EPROM(紫外线擦除存储器)和 EEPROM(电擦除存储器)。

- **PLA(Programmable Logic Array)** PLA 是“与或”阵列结构器件,它是“与”阵列和“或”阵列均可编程。由于器件的资源利用率低,现在已经不常使用。

- **PAL(Programmable Array Logic)** PAL 是“与或”阵列结构器件,它包括一个可编程的“与”阵列和一个固定的“或”阵列,其中“与”阵列的编程特性可以使输入项增多,而“或”阵列的固定使器件结构简单。PAL 具有多种输出结构形式,因而其型号最多。

- **GAL(Generic Array Logic)** GAL 是在 PAL 器件结构的基础上产生新一代器件,其结构与 PAL 一样,也是由一个可编程的“与”门阵列去驱动一个固定的“或”门阵列,但它的输出单元的结构完全不同。GAL 器件的每个输出引脚都接有一个输出逻辑宏单元(OLMC),这些宏单元可由设计者通过编程进行不同模式的组合,因而为设计提供了高度的灵活性。与 PAL 器件相比,GAL 器件由于采用了先进的 E²CMOS 工艺,数秒内即可完成芯片的擦除和编程过程,并可反复改写。而 PAL 器件采用的是熔丝工艺的编程技术,每只芯片只能编程一次,一旦编程后不能再改写,GAL 是产品开发中的理想器件,因此受到 PLD 器件使用者的青睐。

2. 高密度可编程逻辑器件(HDPLD)

• **CPLD(Complex Programmable Logic Device)** 即复杂可编程逻辑器件。它将简单 PLD(PAL、GAL)的概念作了进一步的扩展,并提高了器件的集成度。与简单的 PLD 相比,CPLD 增加了内部连线,对逻辑宏和 I/O 单元也有重大改进。CPLD 允许有更多的输入信号、更多的乘积项和更多的宏单元,其内部含有多个逻辑单元块,每个逻辑块相当于一个 GAL 器件,这些逻辑块之间可以使用可编程内部连线实现相互连接。即 CPLD 是在一块芯片上集成多个 GAL(PAL)块,其基本逻辑单元是乘积项,即 CPLD 是乘积项阵列的集合,各个 GAL(PAL)块可以通过共享的可编程互联资源交换信息,实现 GAL(PAL)块之间的互联。因此,CPLD 通常又被称为分段式阵列结构。CPLD 器件的结构包含可编程逻辑宏单元、可编程 I/O 单元和可编程内部连线。部分 CPLD 器件内部还集成了 ROM、FIFO 或双口 ROM 寄存器,以适应 DSP 应用的要求。

典型的 CPLD 器件有 Lattice/Vantice 的 pLSI/ispLSI 系列器件和 MACH 系列器件、XILINX 公司的 7000 和 9500 系列器件、Altera 公司的 MAX9000 系列。

• **FPGA(Field Programmable Gate Array)** 即现场可编程门阵列(FPGA)。FPGA 器件与传统的掩膜编程门阵列相似,即芯片内部由纵横交错的分布式可编程互联线连接起来的逻辑单元阵列 LCA 组成。因此,可编程门阵列通常又被称为通道式阵列结构。它具有门阵列的高密度和 PLD 器件的灵活性和易用性。FPGA 器件不受“与或”阵列结构的限制以及触发器和 I/O 端数量上的限制,可以靠内部的逻辑单元以及它们的连接构成任何复杂的逻辑电路,实现多级逻辑功能。XILINX 公司是世界上最大的 FPGA 器件的供应商,该公司的 FPGA 在技术上和性能上都处于领先地位。FPGA 器件的内部结构为逻辑单元阵列 LCA(Logic Cell Array),它由三类可配置单元组成:(1)可编程逻辑块 CLB(Configurable Logic Blocks);(2)可编程输入/输出块 IOB(Input Output Block);(3)可编程内部连线 PI(Programmable Interconnect)。CLB 是逻辑资源,实现用户定义的基本逻辑功能;IOB 是 I/O 资源,实现内部逻辑与器件封装引脚之间的接口;PI 是互联资源,实现在模块之间传递信号。另外需指出,FPGA 器件的功能由逻辑结构的配置数据决定。工作时,这些配置数据存放在片内的 SRAM 或者熔丝图上。在工作前需要从芯片外部加载配置数据,配置数据可以存储在片外的 EPROM 或存储体上。

XILINX 公司的 FPGA 产品:XC2000 是第一代产品;XC 3000 是第二代产品;XC4000、XC 5200 和 XC8100 系列是高密度型产品。FPGA 器件的发展十分迅速,目前已达到 25 万门/片的集成度、3ns 内部延时的水平。除 XILINX 公司外,ALTERA 和 ACTEL 等公司也提供高性能的 FPGA 芯片。

1.2 可编程逻辑器件结构简介

PAL 器件及其系列是当前商业中已普通应用的最简单的可编程器件。PAL 器件由可编程的与门阵列输入和固定的或门阵列输出组成。

1.2.1 标准门单元、电路示意及 PAL 等效图

图 1.2.1(a)所示是输入与门的标准门符号和等效的 PAL 逻辑图符号。其由与门输入外延的单根水平线代表若干个输入,垂直线分别代表信号 A 、 B 和 C 。星号代表输入信号 A 、 B 或 C 和与门输入之间是可编程连接。

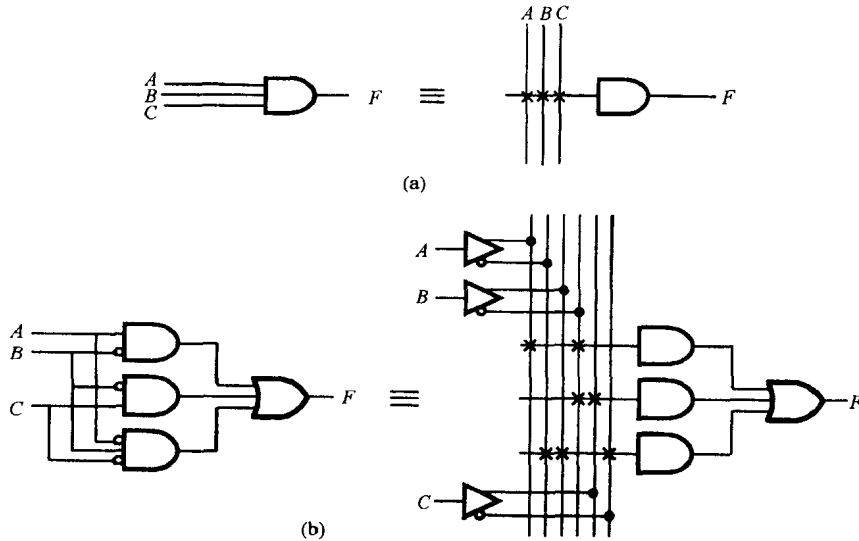


图 1.2.1

(a)标准门符号及 PAL 等效图 (b)电路图及 PAL 图等效示意

逻辑方程 $F = AB + \bar{B}C + \bar{A}B\bar{C}$ 的逻辑图形和等效的 PAL 图形如图 1.2.1(b)所示。这里,垂直线的每一根都连接于某一输入信号或该输入信号的非。适当地连接以形成对这个与门输入的连接,且用或门来实现所有乘积项的和。

1.2.2 可编程阵列逻辑的基本电路结构

可编程阵列逻辑(PAL)器件由可编程的“与”逻辑阵列、固定的“或”逻辑阵列和输出电路三部分组成。图 1.2.2 所示电路是 PAL 器件当中最简单一种电路结构形式,它仅包括一个可编程的“与”逻辑阵列和一个固定的“或”逻辑阵列,没有附加其他的输出电路。

由图 1.2.2 可见,在尚没编程之前,“与”逻辑阵列的所有有效叉点上均有熔丝接通。编程的过程将有用的熔丝保留,将无用的熔丝熔断,即得到所需的电路结构。图 1.2.3 是经过编程后的一个 PAL 器件的结构图。该结构图所产生的逻辑函数表达式为

$$\begin{cases} Y_1 = I_1 I_2 I_3 + I_2 I_3 I_4 + I_1 I_3 I_4 + I_1 I_2 I_4 \\ Y_2 = \bar{I}_1 \bar{I}_2 + \bar{I}_2 \bar{I}_3 + \bar{I}_3 \bar{I}_4 + \bar{I}_4 \bar{I}_1 \\ Y_3 = I_1 \bar{I}_2 + \bar{I}_1 I_2 \\ Y_4 = I_1 I_2 + \bar{I}_1 \bar{I}_2 \end{cases}$$

目前常见的 PAL 器件中,输入变量最多的可达 20 个,“与”逻辑阵列乘积项最多的有 80 个,“或”逻辑阵列输出端最多的有 10 个,每个或门输入端最多的达 16 个。

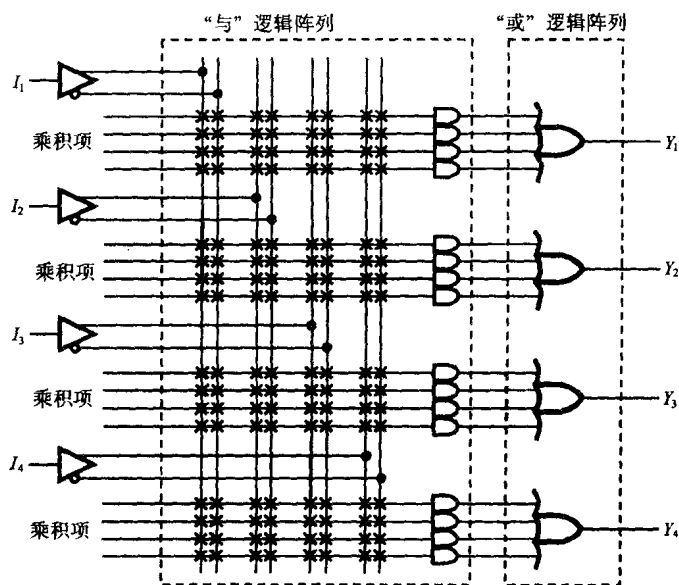


图 1.2.2 PAL 器件的基本电路结构

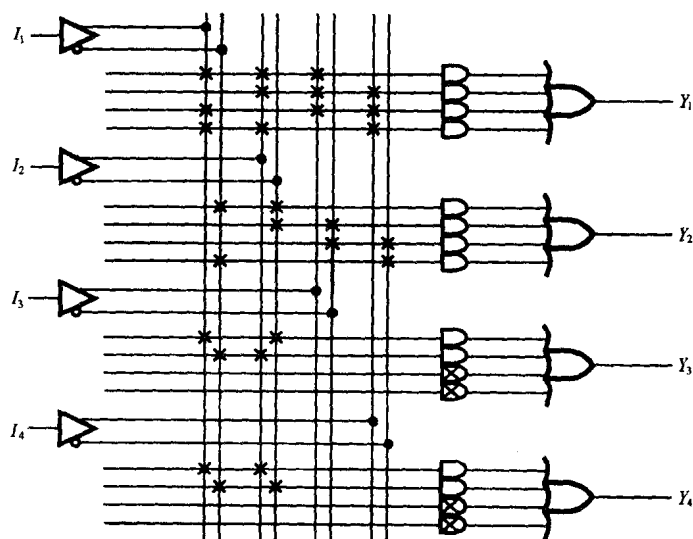


图 1.2.3 编程后的 PAL 电路

1.2.3 PAL 的几种输出电路结构和反馈形式

根据 PAL 器件输出电路结构和反馈方式的不同,可将它们分成专用输出结构、可控输出极性结构、可编程输入/输出结构及寄存器输出结构等几种类型。

1. 专用输出结构

图 1.2.2 给出的 PAL 电路就属于这种专用结构,它们的输出是一个与或门,在有些 PAL 器件中,输出端还采用与或非门结构或者互补输出结构。图 1.2.4 所示给出了互补输出的电路结构。

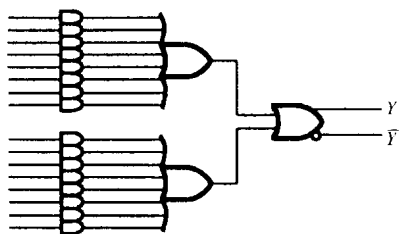


图 1.2.4 具有互补输出的专用输出结构

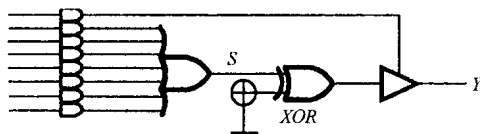


图 1.2.5 带有异或门的可编程输入/输出结构

2. 可控输出极性结构

在有些 PAL 器件中,在与或逻辑阵列的输出和三态缓冲器之间还设置有可编程的异或门,如图 1.2.5 所示。通过对异或门一个可编程输入端的编程可以控制输出的极性。当 $XOR=0$ 时, Y 与 S 同相,而当 $XOR=1$ 时, Y 与 S 反相。这在用 PAL 设计组合逻辑电路时经常会遇到求反函数的情况。

3. 可编程输入/输出结构(简称可编程 I/O 结构)

它的电路结构图如图 1.2.6 所示。它的输出端是一个具有可编程控制端的三态缓冲器,控制端由与逻辑阵列的一个乘积项给出。同时,输出端又经过一个互补输出的缓冲器反馈到与逻辑阵列上。

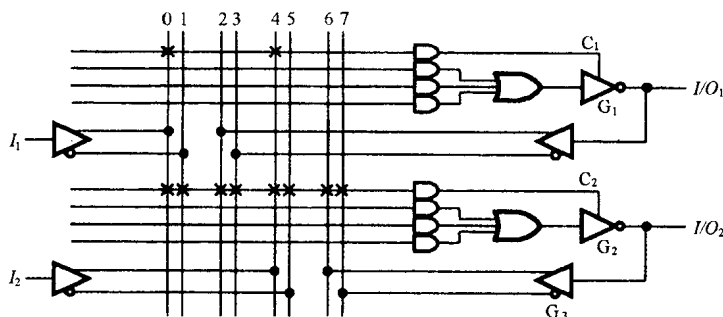


图 1.2.6 PAL 的可编程输入/输出结构

在图 1.2.6 所示的编程情况下,当 $I_1=I_2=1$ 时,上边一个缓冲器 G_1 的控制端 $C_1=1$,相应 I/O_1 处于输出工作状态。对下边一个缓冲器 G_2 而言,它的控制端 $C_2=0$, G_2 处于高阻状态,因此可以把 I/O_2 作为变量输入端使用。这时加到 I/O_2 上的输入信号经 G_3 接到与逻辑阵列的输入端,即图中的第 6、7 列上。

4. 寄存器输出结构

PAL 器件的寄存器输出结构如图 1.2.7 所示,它在输出三态缓冲器与或逻辑阵列的输出之间串进了由 D 触发器组成的寄存器。同时,触发器的状态又经过互补输出的缓冲器反馈到与逻辑阵列的输入端。

利用这种输出结构不仅可以存储与或逻辑输出状态,而且能方便地组成各种的时序逻辑电路。例如将与逻辑阵列按图 1.2.7 所示的编程,则得到 $D_1=I_1$, $D_2=Q_1$ 。因此,两个

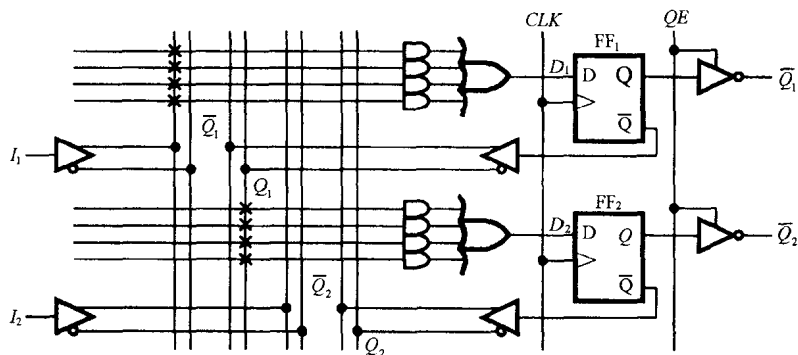


图 1.2.7 PAL 的寄存器输出结构

触发器和与或逻辑阵列一起组成了移位寄存器。

1.2.4 通用逻辑阵列的输出逻辑宏单元

图 1.2.8 是通用逻辑阵列(GAL)的输出逻辑宏单元(OLMC)的结构框图。OLMC 中包含一个或门、一个 D 触发器和由 4 个数据选择器及一些门电路组成的控制电路。图中 AC0、AC1(n)、XOR(n)都是结构控制字中的一位数据,通过对结构控制字编程,便可设定 OLMC 的工作模式。GAL16V8 结构控制字的组成如图 1.2.9 所示,其中的(n)表示 OLMC 的编号,这个编号与每个 OLMC 连接引脚号码一致。

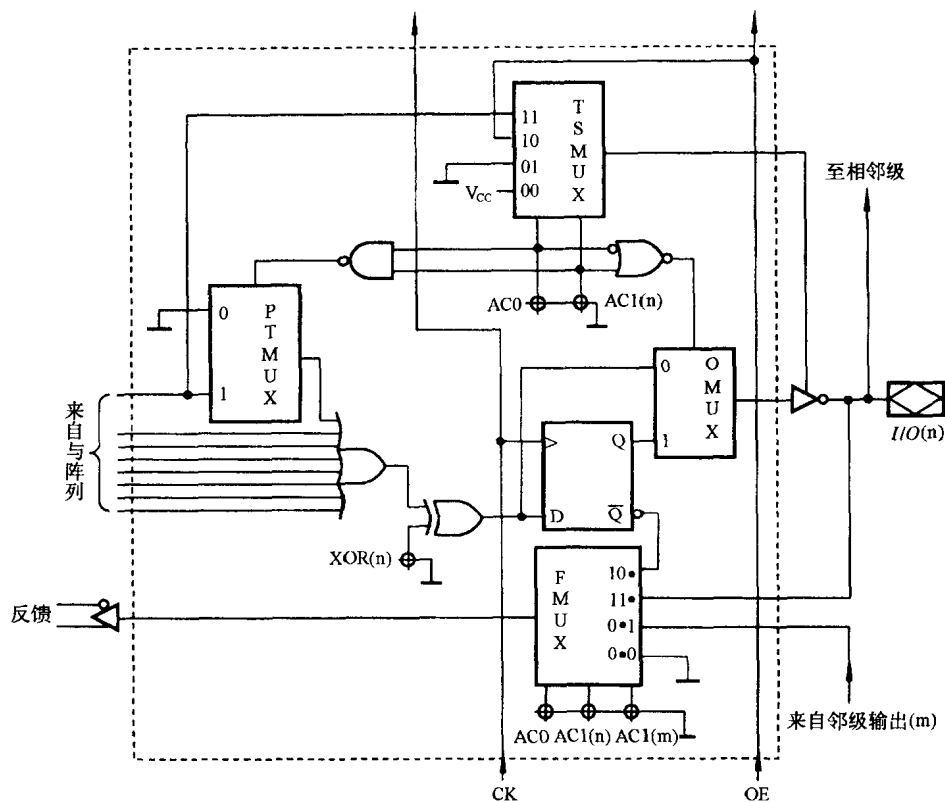


图 1.2.8 OLMC 的结构框图