

“PC系统结构必备参考工具书”

—PC Magazine's "Read Only" 专栏

PCI SYSTEM ARCHITECTURE

FOURTH EDITION

PCI 系统结构

涵盖PCI
总线规范
2.2版

第四版

汉英对照



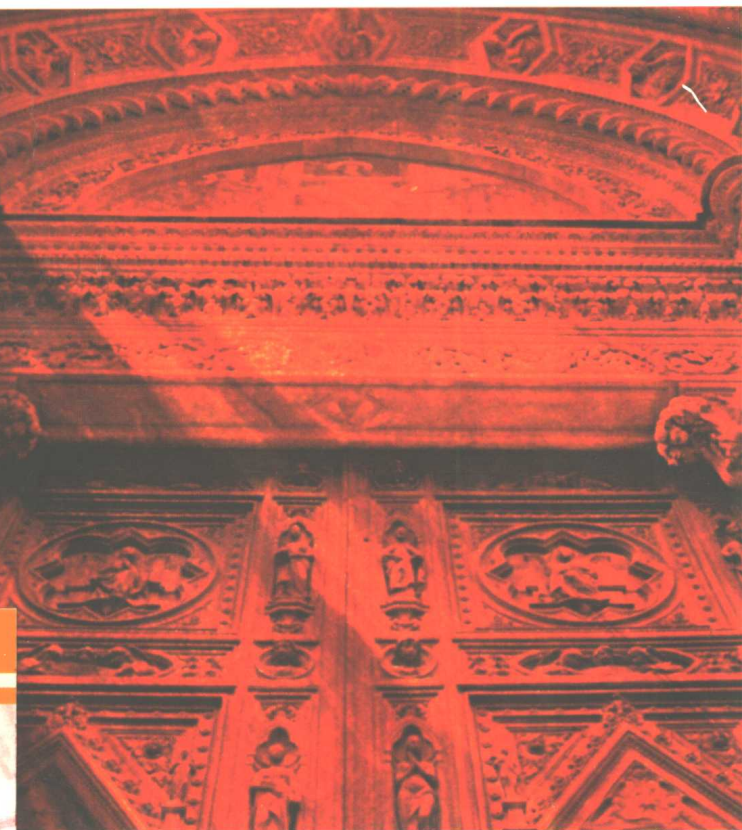
Addison
Wesley

MINDSHARE公司

[美] Tom Shanley Don Anderson

刘 晖 冀然然 夏意军 译

董家敬 审校

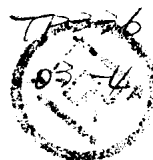


电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

URL: <http://www.phei.com.cn>

00100685



PCI 系统结构

(第四版)

PCI System Architecture

(Fourth Edition)

MINDSHARE 公司

[美] Tom Shanley Don Anderson 著

刘 晖 冀然然 夏意军 译

董家敬 审校

电子工业出版社

Publishing House of Electronics Industry



C0503219

JSS 161

内 容 简 介

PCI(周边器件互连)是当今个人计算机的主流总线结构,用于周边设备与计算机中央处理之间的快速通信,是构筑个人计算机的基础。

本书是对 PCI 总线规范的全面详细的指南,在美国已连续修订 4 版,印刷十余次。

本书以汉英对照形式编排,是所有涉及 PCI 总线的硬件和软件设计和测试人员一本难得的参考书。

Copyright© 1999 by MindShare, Inc.

All rights reserved. No part of this publication may be reproduced, stored in a retrieval system, or transmitted, in any form or by any means, electronic, mechanical, photocopying, recording, or otherwise, without the prior written permission of the publisher.

Printed in the United States of America. Published simultaneously in Canada.

Published by arrangement with Addison Wesley Longman, Inc.-All Rights Reserved.

本书中文简体专有翻译出版权由美国 Addison Wesley Longman, Inc. 授予电子工业出版社。该专有出版权受法律保护。

图书在版编目(CIP)数据

PCI 系统结构(第四版)/(美)尚利(Shanley, T.), (美)安迪生(Anderson, D.)著. 刘晖等译.—北京:电子工业出版社, 2000.7

书名原文:PCI System Architecture (4th edition)

ISBN 7-5053-6073-6

I . P… II . ①尚… ②安… ③刘… III . 电子计算机-总线式结构-标准 IV . TP303-65

中国版本图书馆 CIP 数据核字(2000)第 65396 号

书 名:PCI 系统结构(第四版)

原 书 名:PCI System Architecture(Fouth Edition)

著 者:[美] Tom Shanley Don Anderson

译 者:刘 晖 冀然然 夏意军

审 校 者:董家敬

责任编辑:杨丽娟

特约编辑:李 均

印 刷 者:北京朝阳隆华印刷厂

装 订 者:三河市金马印装有限公司

出版发行:电子工业出版社 URL:<http://www.phei.com.cn>

北京市海淀区万寿路 173 信箱 邮编 100036

经 销:各地新华书店

开 本:787×1092 1/16 印张:59.25 字数:1517 千字

版 次:2000 年 7 月第四版 2000 年 7 月第 1 次印刷

书 号:ISBN 7-5053-6073-6
TP·3220

印 数:5000 册 定价:98.00 元

版权贸易合同登记号 图字:01-2000-0098

凡购买电子工业出版社的图书,如有缺页、倒页、脱页者,请向购买书店调换。

若书店售缺,请与本社发行部联系调换,电话:68279077。

中文版序

PCI 局部总线是微型计算机中处理器/存储器与外围控制部件、扩展卡之间的互连接口, PCI 总线规范是互连机构的协议, 以及电气和机械配置的规范, 是当今高性能微型计算机事实上的总线标准。

1991 年, Intel 公司联合多家公司成立了 PCI SIG 协会, 致力于促进 PCI 局部总线工业标准的建立和发展。1992 年, PCI SIG 发布了 PCI 局部总线规范 1.0 版, 1993 年发布了 PCI 局部总线规范 2.0 版, 1995 年又发布了修订版 2.1, 1999 年的最新版本为 2.2 版。PCI 局部总线的诞生和发展是技术发展和应用的需要, 例如在图形处理方面, 传统的 PC I/O 结构已经成为制约处理器和视频显示设备之间的瓶颈, 而 PCI 局部总线的应用, 可以在 33 MHz 主频和 32 位数据通路的条件下达到峰值 132 Mb/s 的带宽, 在 66 MHz 主频和 64 位数据通路的条件下达 528 Mb/s。

PCI 局部总线的设计是独立于处理器的。虽然它是由 Intel 公司提出的, 但不局限于 Intel 系列的处理器, 当今流行的其他处理器系列, 如 Alpha、PowerPC、SPARC 以及多处理器结构的下一代处理器都可以使用 PCI 局部总线。

1993 年以来, 由于 PCI 总线在高性能、低成本、开放性等方面的优势, 使其得到迅速普及和发展。这一冲击波大大地激发了制造商和用户, 他们开始考虑如何将 PCI 的成果用于改造嵌入式计算机产品, 使其模块化、坚固、易用、生命周期更长。

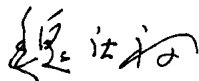
1994 年, 美国的一些工业计算机制造商建立了 PCI 工业计算机制造协会, 简称 PICMG。作为一个非营利性的行业组织, PICMG 致力于将 PCI 标准应用于工业控制计算机系统。1995 年 PICMG 出版了 CompactPCI 规范 1.0 版。

综上所述, PCI 总线已成为微型计算机事实上的总线标准, 并在嵌入式计算机和工业控制计算机方面具有广泛的应用前景。目前, 国内计算机硬件和软件的研究开发人员正迫切地希望掌握 PCI 总线的理论和技术, 《PCI 系统结构》一书的出版恰逢其时。

据我所知, 本书是国内第一本全面系统地介绍 PCI 系统结构及其基本原理的图书, 而本书的英文原著为权威经典之作, 先后发行 4 版, 印刷十余次。该书的译者都曾多年从事计算机和控制器的研制开发, 基于他们在科研实践中积累的知识和对 PCI 的深刻理解, 我相信这是一本高质量的译著。此外, 我特别赞赏本书汉英对照的出版方式, 它有助于加深对作者原意的理解, 以及对专业英语的学习。

在此, 我祝贺本书的出版成功, 同时感谢电子工业出版社和译者、审校者、编辑以及所有关心支持本书出版的同志, 愿本书能为我国计算机的应用向更深层次的发展作出贡献!

中国计算机行业协会 PICMG/P.R.C. 主任委员



前 言

《PCI 系统结构》是周边器件互连(PCI)总线规范的详细指南,涵盖了 PCI 局部总线规范 2.2 版及其最新进展,包括新的 PC 热插拔规范、PCI-PCI 桥结构规范的变化、PCI 总线电源管理接口规范的新版本、PCI BIOS 规范的新特点,以及它在嵌入式应用上的衍生型 Compact PCI。

本书详细解释了 PCI 的原理与操作,包括命令、读写传送、存储器与 I/O 寻址、错误检测与处理、中断、配置交易与寄存器等。

本书的第 7、12、15、16、20 章由北京聚普贤计算机公司的夏意军女士翻译,第 21~28 章由信息产业部电子六所的冀然然先生翻译,其他章节以及全书的审稿由亚洲联合自动化有限公司刘晖先生完成。由于时间仓促和译者的水平局限,书中的不足之处敬请批评指正。

感谢中国计算机行业协会 PCI 工业计算机制造协会(PICMG/P.R.C)主任委员魏庆福先生和秘书长孙凤云女士在本书出版过程中的大力支持!感谢丁宝忠、白玉海、李巍、陈波、李林、潘光、刘英华、何歆、刘曜、周金莲、刘超、沈荣波、谢炼、迟照宏、张颖等同志为本书编排作出的细致工作。

衷心希望本书对于使用 PCI 总线设计与测试软硬件产品的人士有所帮助!

译 者

献给亲爱的南茜

致 谢

感谢四年来参加 MindShare 公司举办的 PCI 课程的数千名工程师,正是他们不断的思考和提问,迫使我们疯狂工作。我们乐在其中,但愿你们也是如此。

编者说明

为了便于读者学习和深入理解全书的内容,从第 1 章开始,本书以汉英对照的形式编排:

C-1 表示中文译文的第 1 页,C-2 表示中文译文的第 2 页,……依次类推。

E-1 表示英文原文的第 1 页,E-2 表示英文原文的第 2 页,……依次类推。

对于目录部分,本书仅提供了中文目录,请读者见谅。

关于本书

MindShare 图书系列

MindShare 公司关于 PC 系统结构的图书系列列于表 1。一般地说,掌握 ISA 总线结构的知识是阅读本书的基础。

表 1 PC 系统结构图书系列

分 类	书 名	版 本	ISBN
处理器结构	80486 系统结构	第 3 版	0-201-40994-1
	奔腾处理器系统结构	第 2 版	0-201-40992-5
	超能奔腾和奔腾 II 系统结构	第 2 版	0-201-30973-4
	PowerPC 系统结构	第 1 版	0-201-40990-9
总线结构	PCI 系统结构	第 4 版	0-201-30974-2
	EISA 系统结构	停印	0-201-40995-X
	FireWire 系统结构:IEEE1394	第 2 版	0-201-48535-4
	ISA 系统结构	第 3 版	0-201-40996-8
	USB 系统结构	第 1 版	0-201-46137-4
其他结构	PCMCIA 系统结构:16 位 PC 卡	第 2 版	0-201-40991-7
	CardBus 系统结构	第 1 版	0-201-40997-6
	即插即用系统结构	第 1 版	0-201-41013-3
	保护模式软件结构	第 1 版	0-201-55447-X
	AGP 系统结构	第 1 版	0-201-37964-3

本书的组织

《PCI 系统结构》第四版按照下述规范作出修订:

- PCI 局部总线规范 2.2 版
- PCI—PCI 桥结构规范 1.1 版
- PCI 热插拔规范 1.0 版
- PCI 总线电源管理接口规范 1.1 版
- PCI BIOS 规范 2.1 版

本书经过全面重组和扩充,包含了对前三个版本中每一个章节的更详细讨论,此外还增加了与 PCI 有关的章节,例如热插拔、电源管理和 CompactPCI。本书分为以下章节:

XXXIII

第 1 章	PCI 简介
第 2 章	PCI 总线操作简介
第 3 章	反射波转换简介
第 4 章	信号组
第 5 章	PCI 总线仲裁
第 6 章	主设备与目标延迟
第 7 章	命令
第 8 章	读传送
第 9 章	写传送
第 10 章	存储器和 IO 寻址
第 11 章	快速背靠背和步进
第 12 章	早期交易结束
第 13 章	错误检测与处理
第 14 章	中断
第 15 章	64 位 PCI 扩展
第 16 章	66MHz PCI 的实现
第 17 章	配置地址空间简介
第 18 章	配置交易
第 19 章	配置寄存器
第 20 章	扩展 ROM
第 21 章	插入卡与连接器
第 22 章	热插拔 PCI
第 23 章	电源管理
第 24 章	PCI—PCI 桥
第 25 章	交易顺序与死锁
第 26 章	PCI BIOS
第 27 章	锁定
第 28 章	CompactPCI 与 PMC

规范变化的标识

本书对于 2.2 版 PCI 规范与 2.1 版的不同之处书中已注明,以便于查询。另外,1.1 版 PCI-PCI 桥规范与 1.0 版的不同之处书中也已标注。

相应的文字以斜体和黑体印刷,如同本行一样。

注意事项

本书阐述了不断进步的硬件技术,读者应该意识到,在设计过程中应使用正式的技术规范,规范具有对与错的最终描述。此外,读者必须认识到,由于技术的不断进步,规范也在不断

变化。我们努力及时修订本书,但有时仍赶不上规范的下一个版本。本书的这一版是遵循规范的 2.2 版,于 1998 年 12 月 18 日发布。

本书的读者

本书供硬件和软件设计人员与技术支持人员使用,由于我们采用清晰、简洁的说明方法描述每一个题目,本书对设计领域之外的人员也很有用。

背景知识

在阅读本书之前,建议读者首先熟悉 PC 和处理器总线结构, MindShare 书系中《ISA 系统结构》和《超能奔腾与奔腾 II 系统结构》提供了足够的背景知识。另外,读者也可以参考《奔腾处理器系统结构》或《PowerPC 系统结构》。

数据类型定义

本书涉及的数据类型使用下列定义:

- [字节]表示 8 位数据
- [字]表示 16 位数据或双字节
- [双字]表示 32 位数据或四字节
- [四字]表示 64 位数据或 8 字节
- [段]表示 128 位数据或十六字节
- [页]表示 4K 一行的 4KB 地址空间

规范在不同的讨论中经常使用处理器的 Cache 行容量作为存储器块容量的习惯用语,注意 Cache 行容量由系统中使用的处理器类型决定,例如, P6 处理器使用 32 字节的 Cache 行容量。

文件惯例

本书采用的印刷惯例定义如下。

十六进制 所有的十六进制数以“h”结尾,例如 9A4Eh、0100h

二进制 所有的二进制数以“b”结尾,例如 0001 0101b、01b

十进制 十进制数没有后缀,需要时,以“d”结尾,例如 16、255、256d、128d

信号名 逻辑低电平有效的信号以(#)结尾。例如,当目标准备完成数据传送时, TRDY # 是低电平有效。不以(#)结尾的信号是逻辑高电平有效。例如 IDSEL 高电平有效,表示 PCI 设备的配置空间正在被寻址。

位单元(位逻辑组或信号)的识别 位单元按这样的格式定义:[X:Y]。其中 X 是单元的最高位,Y 是最低位。例如, PCI 地址/数据总线包含 AD[31:0],其中 AD[31]是单元的最高位, AD[0]是最低位。

XXXV

读者反馈

MindShare 欢迎您的意见和建议,读者可通过书信、电话、传真或 email 与我们联系。

电话:(719)488 - 8990

传真:(719)488 - 9855

E - mail: tshanley@interserv.com

网址:WWW.MINDSHARE.COM

读者可以从我们的网址查到有关课程的信息。

通信地址: MindShare, Inc

615 Beacon Lite Rd

Monument, CO 80132

目 录

关于本书	(XXXIII)
MindShare 图书系列	(XXXIII)
本书的组织	(XXXIII)
规范变化的标识	(XXXIV)
注意事项	(XXXIV)
本书的读者	(XXXV)
背景知识	(XXXV)
数据类型定义	(XXXV)
文件惯例	(XXXV)
读者反馈	(XXXVI)
第 1 章 PCI 简介	(C - 1)
1.1 PCI 总线的历史	(C - 1)
1.2 PCI 总线的特点	(C - 1)
1.3 PCI 设备与功能	(C - 3)
1.4 遵循的技术规范	(C - 4)
1.5 如何获得 PCI 总线技术规范	(C - 4)
第 2 章 PCI 总线操作简介	(C - 5)
2.1 突发传送	(C - 5)
2.2 起动方、目标和代理	(C - 6)
2.3 单功能与多功能 PCI 设备	(C - 6)
2.4 PCI 总线时钟	(C - 6)
2.5 地址段	(C - 7)
2.6 声明一个交易	(C - 7)
2.7 数据段	(C - 8)
2.8 交易过程	(C - 8)
2.9 交易完成与总线返回空闲状态	(C - 8)
2.10 对非法操作的反应	(C - 8)
2.11 “绿色”机器	(C - 9)
第 3 章 反射波转换简介	(C - 10)
3.1 每条电路都是一条传送线	(C - 10)
3.2 老方法:入射波转换	(C - 11)
3.3 PCI 方法:反射波转换	(C - 11)
3.4 时钟信号(CLK)	(C - 13)

3.5	复位(RST#)与64位请求(REQ64#)信号时序	(C-14)
3.6	减慢时钟可以增加总线长度	(C-14)
第4章	信号组	(C-15)
4.1	简介	(C-15)
4.2	系统信号	(C-16)
4.2.1	PCI时钟信号(CLK)	(C-16)
4.2.2	CLKRUN#信号	(C-17)
4.2.3	复位信号(RST#)	(C-18)
4.3	地址/数据总线、命令总线和字节使能	(C-18)
4.4	防止过大的电流泄漏	(C-20)
4.5	交易控制信号	(C-20)
4.6	仲裁信号	(C-21)
4.7	中断请求信号	(C-21)
4.8	错误报告信号	(C-21)
4.8.1	数据奇偶校验错	(C-22)
4.8.2	系统错	(C-22)
4.9	Cache支持(侦测结果)信号	(C-23)
4.10	64位扩展信号	(C-24)
4.11	资源锁定	(C-24)
4.12	JTAG/边界扫描信号	(C-24)
4.13	中断请求引脚	(C-25)
4.14	PME#和3.3Vaux	(C-25)
4.15	边带信号	(C-25)
4.16	信号类型	(C-25)
4.17	设备不能同时驱动和接收一个信号	(C-27)
4.18	中央资源功能	(C-27)
4.19	负向译码(通过ISA桥)	(C-27)
4.19.1	背景	(C-27)
4.19.2	调节负向译码器	(C-29)
4.20	阅读时序图	(C-29)
第5章	PCI总线仲裁	(C-31)
5.1	仲裁器	(C-31)
5.2	仲裁算法	(C-32)
5.3	公平仲裁举例	(C-33)
5.4	主设备希望执行多次交易	(C-35)
5.5	隐式总线仲裁	(C-35)
5.6	总线停放	(C-35)
5.7	请求/确认时序	(C-36)
5.8	双主设备间的仲裁举例	(C-36)

5.9	在复位(RST#)时请求信号(REQ#)和确认信号(GNT#)的状态	(C-39)
5.10	从插入式连接器的请求信号(REQ#)上拉	(C-39)
5.11	损坏的主设备	(C-39)
第6章	主设备与目标延迟	(C-40)
6.1	第一次交易起动前的强制性延迟	(C-40)
6.2	总线访问延迟	(C-40)
6.3	2.1 版前的设备可能是“坏孩子”	(C-41)
6.4	防止主设备独占总线	(C-42)
6.4.1	主设备必须在8个时钟周期内传送数据	(C-42)
6.4.2	在最后数据传送之后的时钟周期使IRDY#失效	(C-42)
6.4.3	延迟定时器防止主设备独占总线	(C-43)
6.5	防止目标独占总线	(C-45)
6.5.1	概述	(C-45)
6.5.2	目标必须迅速传送数据	(C-45)
6.5.3	在初始化时间的目标延迟	(C-47)
6.5.4	延迟的交易	(C-48)
6.6	报告改进了存储器写性能	(C-52)
6.6.1	概述	(C-52)
6.6.2	组合	(C-53)
6.6.3	字节合并	(C-53)
6.6.4	崩溃是禁止的	(C-53)
6.7	存储器写最大完成限制	(C-53)
6.8	交易顺序和死锁	(C-54)
第7章	命令	(C-55)
7.1	简介	(C-55)
7.2	中断确认命令	(C-56)
7.2.1	简介	(C-56)
7.2.2	背景	(C-56)
7.2.3	Host/PCI 桥中断确认的处理	(C-57)
7.2.4	PCI 中断确认交易	(C-58)
7.2.5	PowerPC PReP 中断请求的处理	(C-59)
7.3	专用周期命令	(C-59)
7.3.1	概述	(C-59)
7.3.2	在软件控制下的专用周期生成	(C-61)
7.3.3	专用周期交易	(C-61)
7.4	IO 读和写命令	(C-63)
7.5	访问存储器	(C-63)
7.5.1	目标支持批量命令是可选的	(C-63)
7.5.2	Cache 行容量寄存器与批量命令	(C-63)

7.5.3	批量命令是可选的性能提升工具	(C - 64)
7.5.4	桥必须丢弃主设备没使用的预提取数据	(C - 65)
7.5.5	写存储器	(C - 65)
7.5.6	关于存储器传送的更多信息	(C - 67)
7.6	配置读和写命令	(C - 67)
7.7	双地址周期	(C - 68)
7.8	保留的总线命令	(C - 68)
第 8 章	读传送	(C - 69)
8.1	关于读和写的一些基本规则	(C - 69)
8.2	奇偶校验	(C - 69)
8.3	单数据段读交易举例	(C - 69)
8.4	突发读交易举例	(C - 71)
8.5	在读或写期间字节使能的处理	(C - 73)
8.5.1	在进入数据段时出现的字节使能	(C - 73)
8.5.2	在每个数据段中字节使能可以改变	(C - 73)
8.5.3	没有有效字节使能的数据段	(C - 73)
8.5.4	具有有限字节使能支持的目标	(C - 74)
8.5.5	字节使能采样的规则	(C - 74)
8.5.6	可以忽略字节使能的情况	(C - 74)
8.6	读交易时的性能	(C - 75)
第 9 章	写传送	(C - 76)
9.1	单数据段写交易举例	(C - 76)
9.2	突发写交易举例	(C - 77)
9.3	写交易时的性能	(C - 80)
第 10 章	存储器和 IO 寻址	(C - 81)
10.1	存储器寻址	(C - 81)
10.1.1	起始地址	(C - 81)
10.1.2	在存储器突发时的寻址顺序	(C - 81)
10.2	PCI IO 寻址	(C - 83)
10.2.1	不要合并处理器 IO 写	(C - 83)
10.2.2	概述	(C - 83)
10.2.3	由具有完整 IO 双字的设备译码	(C - 83)
10.2.4	由具有 8 位或 16 位端口的设备译码	(C - 83)
10.2.5	未受支持的字节使能组合导致目标失败	(C - 84)
10.2.6	空的第一个数据段是合法的	(C - 85)
10.2.7	IO 地址管理	(C - 85)
10.2.8	当 IO 目标不支持多数据段交易时	(C - 85)
10.2.9	原有的 IO 译码	(C - 86)
第 11 章	快速背靠背和步进	(C - 87)

11.1 快速背靠背交易	(C-87)
11.1.1 实现快速背靠背能力的决定	(C-87)
11.1.2 情况 1:主设备保证没有冲突	(C-88)
11.1.3 情况 2:目标保证没有冲突	(C-91)
11.2 地址/数据步进	(C-92)
11.2.1 优点:减少的电流泄漏和交叉干扰	(C-93)
11.2.2 为什么目标在步进过程中不能锁存地址	(C-93)
11.2.3 数据步进	(C-93)
11.2.4 设备如何表示使用步进的能力	(C-93)
11.2.5 设计者可以步进地址、数据、PAR(和 PAR64)与 IDSEL	(C-93)
11.2.6 连续的和离散的步进	(C-94)
11.2.7 步进的缺点	(C-94)
11.2.8 在步进过程中的预占	(C-94)
11.2.9 损坏的主设备	(C-95)
11.2.10 步进举例	(C-95)
11.2.11 当不能使用步进时	(C-95)
11.2.12 谁必须支持步进?	(C-96)
第 12 章 早期交易结束	(C-97)
12.1 简介	(C-97)
12.2 主设备起动的终止	(C-97)
12.2.1 预占的主设备	(C-97)
12.2.2 主设备失败:目标不能声明交易	(C-99)
12.3 目标起动的终止	(C-102)
12.3.1 STOP# 信号将目标置于驱动者的地位	(C-102)
12.3.2 在交接周期不允许 STOP#	(C-103)
12.3.3 连接断开	(C-103)
12.3.4 重试	(C-107)
12.3.5 目标失败	(C-111)
12.3.6 在重试/连接断开后尽快重复请求	(C-112)
12.4 目标起动的终止小结	(C-113)
第 13 章 错误检测与处理	(C-114)
13.1 状态位名称改变	(C-114)
13.2 PCI 奇偶校验简介	(C-114)
13.3 PERR# 信号	(C-115)
13.4 数据奇偶校验	(C-115)
13.4.1 数据奇偶校验的产生并在读交易检查	(C-115)
13.4.2 数据奇偶校验的产生并在写交易检查	(C-118)
13.4.3 数据奇偶校验报告	(C-120)
13.4.4 从数据奇偶校验错恢复	(C-122)