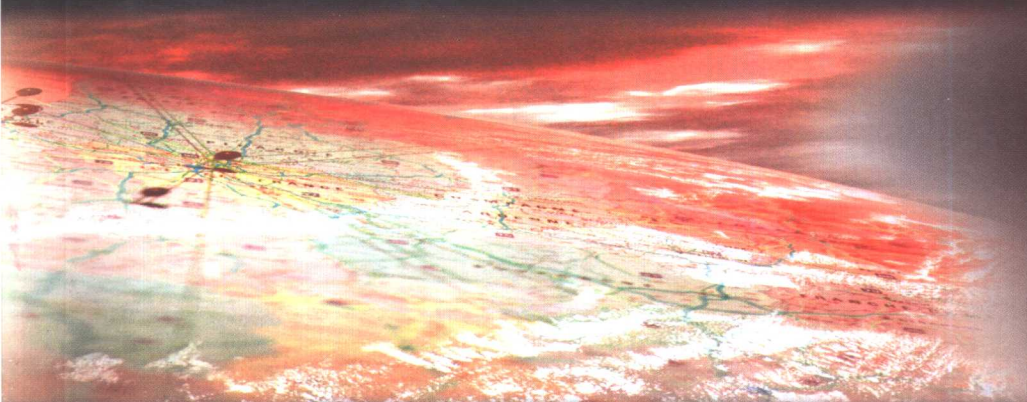


可编程逻辑设计

技术及应用



高书莉 罗朝霞 编著

人民邮电出版社
www.pptph.com.cn

可编程逻辑设计技术及应用

高书莉 罗朝霞 编著

人民邮电出版社

图书在版编目(CIP)数据

可编程逻辑设计技术及应用 / 高书莉, 罗朝霞编著. —北京: 人民邮电出版社, 2001.9
ISBN 7-115-09624-4

I. 可… II. ①高… ②罗… III. 可编程逻辑器件—设计 IV. TP332.1

中国版本图书馆CIP数据核字(2001)第057779号

内 容 提 要

本书全面介绍了可编程逻辑器件如 PLD、CPLD、FPGA 等的硬件结构, 详细介绍了 ABEL-HDL 和 VHDL 两种硬件描述语言, 具体讲解了 ISP Synario System、MAX+PLUSII 和 Foundation 三种常用可编程逻辑器件开发系统的使用方法, 同时还介绍了数字系统设计的一般描述方法和设计过程。结合可编程逻辑器件的硬件描述语言和软件开发系统, 书中给出了大量的可编程逻辑器件设计应用实例, 可作为读者更深入理解可编程逻辑设计技术的参考。

本书可作为从事计算机应用、电子工程和自动控制等专业的工程技术人员的参考书, 也可作为高等院校相关专业的教材。

为了便于学习, 本书还配有多媒体学习软件(光盘)。

可编程逻辑设计技术及应用

◆ 编 著 高书莉 罗朝霞

责任编辑 陈万寿

◆ 人民邮电出版社出版发行 北京市崇文区夕照寺街 14 号

邮编 100061 电子函件 315@poptb.com.cn

网址 <http://www.poptb.com.cn>

读者热线 010-67129212 010-67129211(传真)

北京汉文设计有限公司制作

北京顺义区向景胶印厂印刷

新华书店总店北京发行所经销

◆ 开本: 786mm×1092mm 1/16

印张: 15

字数: 362 千字

印数: 1-5 000 册

2001 年 9 月第 1 版

2001 年 9 月北京第 1 次印刷

ISBN 7-115-09624-4/TN·1766

定价: 35.00 元(附光盘)

本书如有印装质量问题, 请与本社联系 电话: (010)67129223

前 言

可编程逻辑设计是近年来在电子设计领域中出现的一门新技术。它以可编程逻辑器件为基础,应用计算机软件技术,对数字系统进行开发设计。可编程逻辑设计技术的出现极大地改变了传统的数字系统设计方法、设计过程乃至设计观念,把复杂的数字系统转化为用一两个可编程逻辑器件即可实现的“片上”系统;把系统的更新换代转化为简单的在系统编程设计;把后期进行的系统调试转移到设计实现之前在计算机上进行的功能仿真和时序仿真。这种新技术将使硬件设计向软件化方向发展,它将大大简化数字系统的开发设计过程,使数字系统设计不再需要大量不同种类的芯片及芯片之间的复杂连线,不再需要一次又一次地调试硬件电路并反复修改、制作电路。这将有效地减小系统的体积,增加系统的可靠性,而且缩短开发周期,降低研制成本。因此,可编程逻辑设计技术越来越引起广大技术人员和科研工作者(包括大量的非电子专业人员)的关注,它将在数字系统开发设计中发挥极其重要的作用,其应用前景非常广泛。

本书全面介绍了可编程逻辑器件如 PLD、CPLD、FPGA 等的硬件结构;详细介绍了两种比较流行的硬件描述语言:ABEL-HDL 和 VHDL 语言;同时还具体讲解了 ISP Synario System、MAX+PLUSII 和 Foundation 三种常用的可编程逻辑器件开发系统的使用方法;此外还介绍了数字系统的一般描述方法及设计过程。结合可编程器件的硬件描述语言和软件开发系统,书中给出了大量的设计实例介绍,以便读者尽快掌握书中所介绍的内容。

全书共分六章。第一章介绍低密度可编程逻辑器件 PLD 的基本结构及其组成原理;第二章介绍广泛用于 PLD 开发设计的软、硬件开发工具,主要介绍了 PLD 硬件描述语言 ABEL-HDL 和 PLD 通用编程器,同时给出了 PLD 的应用设计实例;第三章介绍了在系统可编程逻辑器件 ispLSI 和 ispGDS 器件的内部结构,以及 ISP 器件开发系统——ISP Synario System 的使用方法,并且给出了用 ISP 器件进行数字系统设计的应用实例;第四章介绍目前在数字系统设计中倍受关注的标准化硬件描述语言——VHDL,介绍了用 VHDL 设计的各种基本单元电路,同时介绍支持 VHDL 的 MAX+PLUSII 开发系统,为读者进一步掌握 VHDL 提供方便;第五章介绍现场可编程门阵列 FPGA 的基本结构和 Xilinx Foundation 开发系统,并以 VHDL 输入方式为例,介绍了该开发系统的操作方法;第六章介绍数字系统设计,对数字系统设计的基本概念、设计过程及其方法进行了阐述,并在此基础上给出了几个完整的数字系统设计实例。

本书第一、二、三、五章由高书莉编写,第四、六章由罗朝霞编写,全书由高书莉统稿。在编写过程中,西安邮电学院 ASIC 设计中心张斌、培训中心任小倩、教务处刘勇对本书的编写提供了很多帮助,在此表示衷心感谢。

由于编者水平有限,书中难免有疏漏或错误之处,敬请读者批评指正。

编著者

目 录

第一章 可编程逻辑器件	1
1.1 可编程逻辑器件基础	1
1.1.1 可编程逻辑器件的基本结构	1
1.1.2 可编程逻辑器件的分类及特点	1
1.1.3 可编程逻辑器件的有关逻辑约定	3
1.2 可编程只读存储器 PROM	5
1.2.1 一次可编程只读存储器	5
1.2.2 可重复编程只读存储器	6
1.3 可编程阵列逻辑 PAL	9
1.3.1 PAL 器件的基本结构	9
1.3.2 PAL 器件的输出及反馈结构	10
1.3.3 PAL 器件实例介绍	11
1.4 可编程通用阵列逻辑 GAL	14
1.4.1 GAL 器件的基本结构	15
1.4.2 GAL 器件的控制字	17
1.4.3 GAL 器件行地址分配	18
1.4.4 GAL 器件命名及性能特点	19
第二章 可编程逻辑器件开发设计	21
2.1 ABEL 硬件描述语言	21
2.1.1 ABEL 语言的语法规则	21
2.1.2 ABEL 源文件的基本格式	27
2.1.3 ABEL 语言的语句	30
2.1.4 ABEL 语言的指示字	39
2.2 ABEL 软件开发工具	40
2.2.1 ABEL 软件开发系统	40
2.2.2 PLD 通用编程器	45
2.3 PLD 应用设计	46
2.3.1 PROM 应用设计	46
2.3.2 GAL 器件应用设计	54
第三章 在系统可编程技术	64
3.1 在系统可编程逻辑器件	64
3.1.1 高密度在系统可编程逻辑器件	64
3.1.2 在系统可编程通用数字开关	69
3.1.3 ISP 器件的编程方式	72

3.2	ISP 器件开发系统	73
3.2.1	设计流程	74
3.2.2	系统进入	76
3.2.3	原理图输入方式	78
3.2.4	编译过程	81
3.2.5	功能仿真	82
3.2.6	用户宏元件符号的建立	84
3.2.7	ABEL-HDL 语言输入方式	84
3.2.8	混合输入方式	84
3.2.9	JED 文件生成与下载	88
3.2.10	ispGDS 器件的编程	89
3.3	在系统可编程逻辑器件应用设计	91
3.3.1	可预置十进制减法计数器	91
3.3.2	脉冲分配器	93
3.3.3	序列信号发生器	95
3.3.4	简易周期信号测试仪	99
第四章	VHDL 程序设计及应用	103
4.1	VHDL 语言	103
4.1.1	VHDL 的程序结构	103
4.1.2	VHDL 的语言元素	111
4.1.3	VHDL 的基本语句	119
4.1.4	VHDL 的子程序	123
4.2	VHDL 程序设计实例	125
4.2.1	组合逻辑电路的设计	125
4.2.2	时序逻辑电路的设计	132
4.2.3	状态机的设计	142
4.3	MAX+PLUSII 软件开发系统	147
4.3.1	设计输入	148
4.3.2	设计项目的编译	155
4.3.3	设计校验	163
4.3.4	器件编程	170
第五章	现场可编程门阵列 FPGA	172
5.1	FPGA 的基本结构	172
5.1.1	XC2000/XC3000FPGA 基本结构	173
5.1.2	XC4000 系列 FPGA 基本结构	178
5.1.3	FPGA 整体结构举例	183
5.1.4	XilinxFPGA 其它系列简介	183
5.2	Xilinx FPGA 的开发系统	186
5.2.1	XilinxFPGA 的一般设计流程	186

5.2.2	Foundation Series 开发系统简介	189
5.2.3	Xilinx Foundation 安装	189
5.2.4	Foundation 设计流程	190
5.2.5	VHDL 输入方式设计	191
第六章	数字系统设计	202
6.1	数字系统设计概述	202
6.1.1	数字系统的组成	202
6.1.2	数字系统设计方法	202
6.1.3	数字系统设计的一般过程	203
6.2	数字系统的描述方法	204
6.2.1	寄存器传输语言	204
6.2.2	算法状态机图 (ASM 图)	205
6.2.3	备有记忆文档的状态图 (MDS)	208
6.3	数字系统设计实例	210
6.3.1	自动交通控制系统	210
6.3.2	二进制除法器	216
6.3.3	乐曲演奏器	225

第一章 可编程逻辑器件

可编程逻辑器件 PLD (Programmable Logic Device) 是当前数字系统设计的主要硬件基础。可编程逻辑器件如果按器件的集成度划分,可分为低密度可编程逻辑器件(LDPLD)和高密度可编程逻辑器件(HDPLD)。常见的低密度可编程逻辑器件有 PROM、PLA、PAL 以及 GAL 等,通常简称为 PLD 器件;常见的高密度可编程逻辑器件有 CPLD 以及 FPGA 等,其分类示意图如图 1-1 所示。由于高密度可编程逻辑器件与低密度可编程逻辑器件在结构方面有较大差异,因此本书将分章节进行介绍。本章重点介绍常用低密度可编程逻辑器件 PROM、PAL 及 GAL。

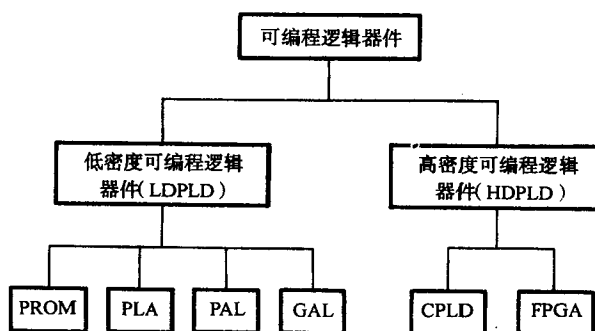


图 1-1 可编程逻辑器件的密度分类

1.1 可编程逻辑器件基础

1.1.1 可编程逻辑器件的基本结构

可编程逻辑器件 PLD 的基本结构如图 1-2 所示。由图可见,PLD 器件由输入控制电路、与阵列、或阵列以及输出控制电路组成。在输入控制电路中,输入信号经过输入缓冲单元产生每个输入变量的原变量和反变量,并作为与阵列的输入项。与阵列由若干个与门组成,输入缓冲单元提供的各输入项被有选择地连接到各个与门输入端,每个与门的输出则是部分输入变量的乘积项。各与门输出又作为或阵列的输入,这样或阵列的输出就是输入变量的与或形式。输出控制电路将或阵列输出的与或式通过三态门、寄存器等电路,一方面产生输出信号,另一方面作为反馈信号送回输入端,以便实现更复杂的逻辑功能。因此,利用 PLD 器件可以方便地实现各种逻辑函数。

1.1.2 可编程逻辑器件的分类及特点

根据 PLD 器件的与阵列和或阵列的编程情况以及输出形式,低密度可编程逻辑器件通常

可分为四类。

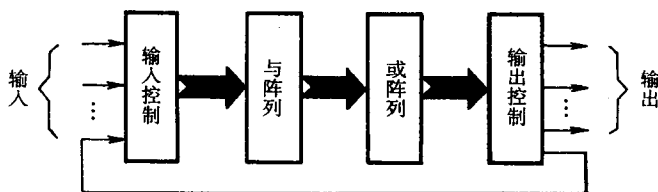


图 1-2 PLD 的基本结构

第一类是与阵列固定、或阵列可编程的 PLD 器件。这类 PLD 器件以可编程只读存储器 PROM 为代表。可编程只读存储器 PROM 是组合逻辑阵列，它包含一个固定的与阵列和一个可编程的或阵列。PROM 中的与阵列是全译码形式，它产生 n 个输入变量的所有最小项。PROM 的每个输出端通过或阵列将这些最小项有选择地进行或运算，即可实现任何组合逻辑函数。由于与阵列能够产生输入变量的全部最小项，所以用 PROM 实现组合逻辑函数不需要进行逻辑化简。但是随着输入变量数的增加，与阵列的规模会迅速增大，其价格也随之大大提高。而且与阵列越大，译码开关时间就越长，相应的工作速度也越慢。因此，实际上只有规模较小的 PROM 可以有效地实现组合逻辑函数，而大规模的 PROM 价格高，工作速度低，一般只作存储器使用。

第二类是与阵列和或阵列均可编程的 PLD 器件，以可编程逻辑阵列 PLA 为代表。PLA 和 PROM 一样也是组合型逻辑阵列，与 PROM 不同的是它的两个逻辑阵列均可编程。PLA 的与阵列不是全译码形式，它可以通过编程控制只产生函数最简与或式中所需要的与项。因此 PLA 器件的与阵列规模减小，集成度相对提高。

但是，由于 PLA 只产生函数最简与或式中所需要的与项，因此 PLA 在编程前必须先进行函数化简。另外，PLA 器件需要对两个阵列进行编程，编程难度较大。而且，PLA 器件的开发工具应用不广泛，编程一般由生产厂家完成，故本书将不作重点介绍。

第三类是以可编程阵列逻辑 PAL 为代表的与阵列可编程、或阵列固定的 PLD 器件。这种器件的每个输出端是若干个乘积项之或，其中乘积项的数目固定。通常 PAL 的乘积项数允许达到 8 个，而一般逻辑函数的最简与或式中仅需要完成 3~4 个乘积项或运算。因此，PAL 的这种阵列结构很容易满足大多数逻辑函数的设计要求。

PAL 有几种固定的输出结构，如专用输出结构、可编程 I/O 结构、带反馈的寄存器输出结构以及异或型输出结构等。一定的输出结构只能实现一定类型的逻辑函数，其通用性较差，这就给 PAL 器件的管理及应用带来不便。

第四类是具有可编程输出逻辑宏单元的通用 PLD 器件，以通用型可编程阵列逻辑 GAL 器件为主要代表。GAL 器件的阵列结构与 PAL 相同，都是采用与阵列可编程而或阵列固定的形式。两者的主要区别是输出结构不同。PAL 的输出结构是固定的，一种结构对应一种类型芯片。如果系统中需要几种不同的输出形式，就必须选择多种芯片来实现。GAL 器件的每个输出端都集成有一个输出逻辑宏单元 OLMC(Out Logic Macro Cell)。输出逻辑宏单元是可编程的，通过编程可以决定该电路是完成组合逻辑还是时序逻辑，是否需要产生反馈信号，并能实现输出使能控制以及输出极性选择等等。因此 GAL 器件通过对输出逻辑宏单元 OLMC 的编程可以实现 PAL 的各种输出结构，使芯片具有很强的通用性和灵活性。

1.1.3 可编程逻辑器件的有关逻辑约定

由于可编程逻辑器件的阵列结构特点, 用以前所习惯的逻辑函数表示方法难以描述其内部电路, 因此在 PLD 中提出了一些新的逻辑约定。这些逻辑约定使 PLD 芯片内部的配置和逻辑图一一对应, 并能把逻辑图与真值表密切结合, 构成一种紧凑而易于识读的形式。下面给出 PLD 的有关逻辑约定。

1. 输入缓冲单元

PLD 的输入缓冲单元由若干个缓冲器组成, 每个缓冲器产生该输入变量的原变量和反变量, 其逻辑表示方法如图 1-3 (a) 所示, 图 1-3 (b) 是它所对应的真值表。

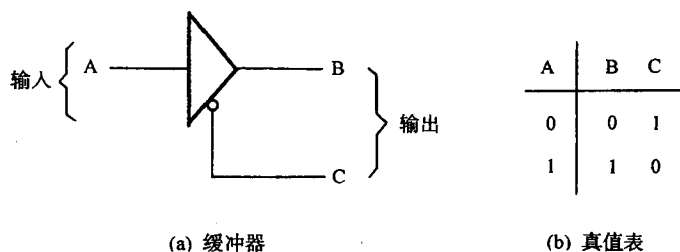


图 1-3 PLD 缓冲器

由图 1-3 (b) 可知:

$$B = A$$

$$C = \bar{A}$$

2. 与门和或门

PLD 中的两种基本逻辑阵列: 与阵列和或阵列。它们分别由若干个与门和或门组成, 每个与门和或门都是多输入、单输出形式。以三输入与门为例, 其 PLD 表示法如图 1-4 (a) 所示, 图 1-4 (b) 是它的传统表示方法。或门的表示方法与此类似。

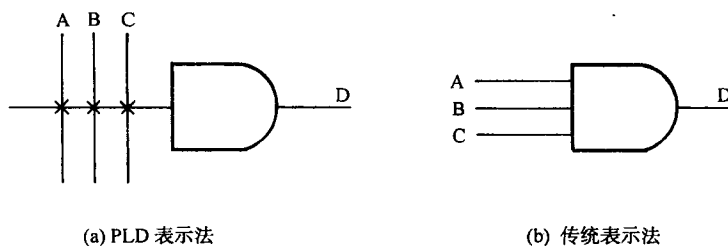


图 1-4 与门表示法

在图 1-4 中, A、B、C 为输入项, D 为输出项。其中

$$D = A * B * C$$

3. PLD 连接方式

PLD 有三种不同的连接方式: 硬线连接、接通连接以及断开连接, 其表示方法如图 1-5 所示。

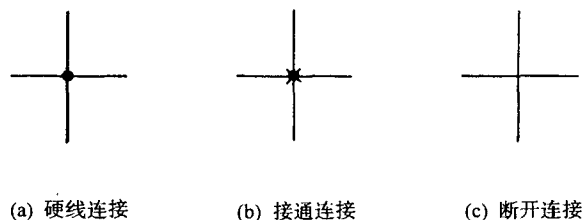


图 1-5 PLD 的三种连接方式

硬线连接是固定连接方式，这种连接是不可改变的。接通连接和断开连接由编程控制。在熔丝型工艺的 PLD 中，接通连接对应于熔丝未被熔断；相反，断开连接对应于熔丝被熔断，又称为该单元被编程。在 EECMOS 工艺的 PLD 中，接通连接对应于基本 CMOS 电路导通，称为该单元被编程；断开连接对应于基本 CMOS 电路截止，即该单元被擦除。

为了方便设计，在 PLD 的逻辑描述中常用一种简化的逻辑表示方法，如图 1-6 所示。图 1-6 (a)给出了一种输入项全部被接入的与门表示方法，其乘积项为

$$D = A * \bar{A} * B * \bar{B}$$

图 1-6 (b)是它的简化表示方法。因为在 PLD 设计中，常常会遇到输入项全部被接入的情况，使用这种简化符号，可以简捷、清晰地将这类情况表示出来。值得注意的是，这种表示方法意味着该乘积项输出总为逻辑“0”。

图 1-7 给出了利用 PLD 表示法描述逻辑电路 $F = A \odot B$ 的示意图。

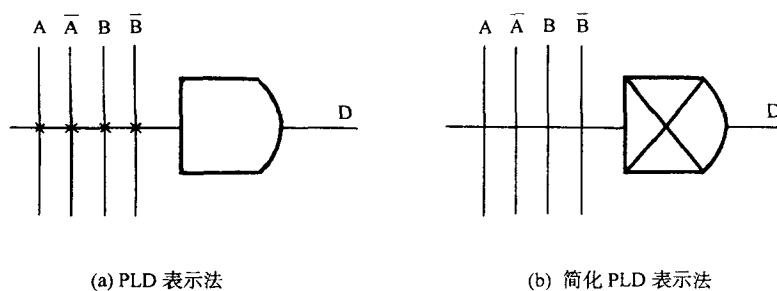


图 1-6 简化 PLD 表示法

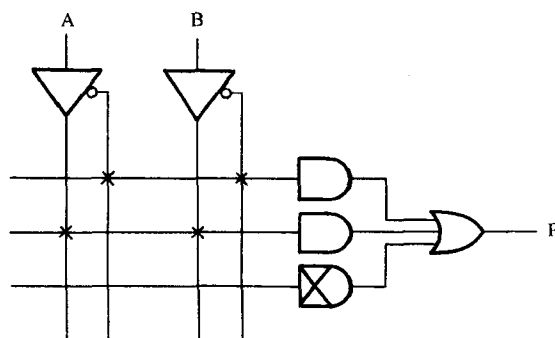


图 1-7 $F = A \odot B$ 的 PLD 表示法

1.2 可编程只读存储器 PROM

可编程只读存储器 PROM 是最早出现的可编程逻辑器件。PROM 按其电路结构分为双极型可编程只读存储器和 MOS 型可编程只读存储器；按其可编程次数又分为一次可编程只读存储器和可重复编程只读存储器。一次可编程只读存储器通常采用双极型电路结构，可重复编程只读存储器则采用 MOS 型电路结构。下面介绍这两种类型的可编程只读存储器。

1.2.1 一次可编程只读存储器

一次可编程只读存储器 PROM 是与阵列固定、或阵列可编程结构，其可编程或阵列通常有两种电路形式：一种是由二极管组成的结破坏型电路；另一种是由晶体三极管组成的熔丝型电路。图 1-8 是 PROM 的两种电路结构示意图。

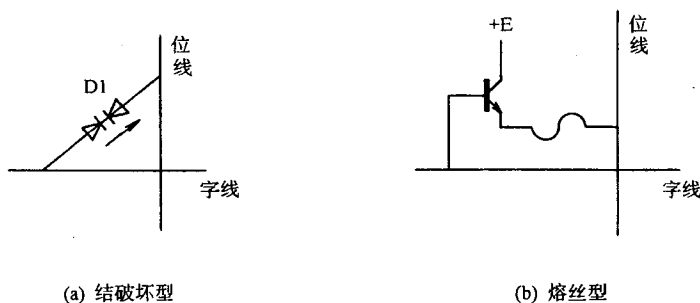


图 1-8 PROM 结构示意图

在结破坏型 PROM 中，每个存储单元都有两个对接的二极管。这两个二极管将字线与位线断开，相当于每个存储单元都存有信息“0”。如果将某个单元的字线和位线接通，即将该单元改写为“1”，需要在其位线和字线之间加 100~150mA 电流，击穿 D1(使 D1 的 PN 结短路)。这样，该单元就被改写为“1”。

在熔丝型可编程只读存储器中，存储矩阵的每个存储单元都有一个晶体三极管。该三极管的基极和字线相连，发射极通过一段镍铬熔丝和位线相连。在正常工作电流下，熔丝不会烧断，这样每个存储单元都有一个 PN 结，表示该单元存有信息“1”。但是，如果在某个存储单元的字线和位线之间通过几倍的工作电流，该单元的熔丝立刻会被烧断。这时字线、位线断开，该单元被改写为“0”。PROM 的存储单元一旦由“0”改写为“1”或由“1”改写为“0”，就变成固定结构，因此只能进行一次编程。图 1-9 是一个 4*4 位熔丝型 PROM 结构示意图。它由存储矩阵、地址译码驱动器以及读写控制电路组成。图中存储矩阵由 4*4 个存储单元组成。出厂时每个存储单元的三极管和熔丝保持完好，相当于每个存储单元都存有信息“1”。地址译码驱动器译出输入信号的全部最小项，并经过驱动电路输出，完成与阵列功能。读写控制电路由读写放大器组成。Aw 为写入放大器，Ar 为读出放大器。当要对某单元进行写操作时，首先送相应地址使该单元所在字线为高电平，然后在该单元的数据端按规定加入高电压脉冲，使稳压管 Dz 导通，写入放大器 Aw 的输出呈低电平、低内阻状态，这样

就会有较大脉冲电流流过熔丝并将其烧断，使该单元改写为“0”。

如果要对某个单元进行读操作，首先输入相应的地址码，使该单元的字线为高电平，这时与该字线相连的三极管处于导通状态，并经过读出放大器 A_r 输出。由于读出放大器 A_r 输出的高电平不足以使 D_z 导通，因此熔丝不会被烧断。

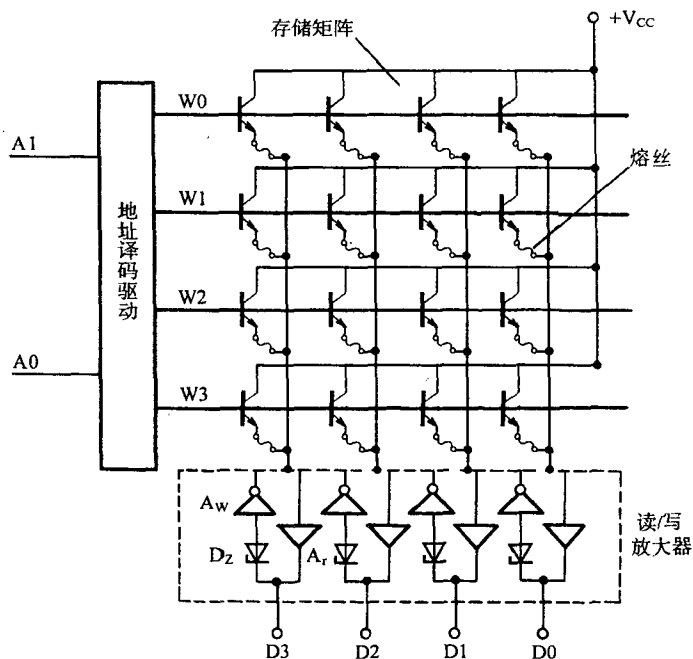


图 1-9 熔丝型 4*4 位 PROM 结构图

结破坏型 PROM 的读写过程与熔丝型 PROM 的读写过程相似。但无论是结破坏型 PROM 还是熔丝型 PROM，每个存储单元只能进行一次改写，即一次性编程。改写后的 PROM 其信息可以长久保存，但只能读出，不能写入，成为只读存储器。

1.2.2 可重复编程只读存储器

可编程只读存储器 PROM 只能进行一次性编程，一旦信息写入就不能擦除或改写。可重复编程只读存储器对此做了改进。它能够将已写入的信息擦除，然后再次编程，因此称为可擦可编程只读存储器或可重复编程只读存储器。可重复编程只读存储器根据其擦除方法不同分为紫外线擦除可重复编程只读存储器(Ultra Violet Erasable PROM—UVEPROM，简称 EPROM) 和电擦除可重复编程只读存储器(Electrically Erasable PROM—EEPROM)，下面分别进行介绍。

1. 紫外线擦除可重复编程只读存储器

紫外线擦除可重复编程只读存储器采用 MOS 型电路结构，其存储单元通常由叠栅 MOS 管组成。图 1-10 给出由叠栅型 NMOS 管构成的 EPROM 示意图。

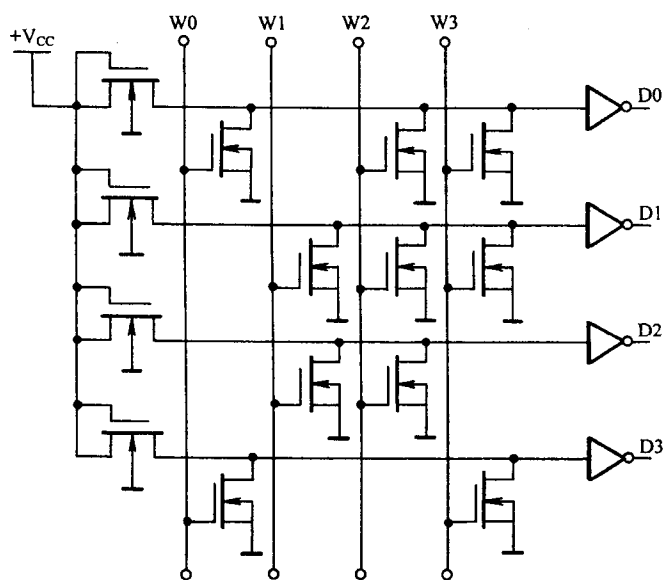


图 1-10 4*4 叠栅型 NMOS 管 EPROM 结构

(1) 叠栅型 MOS 管

叠栅型 MOS 管通常采用增强型场效应管结构。以叠栅 NMOS 管为例，其结构示意图如图 1-11 所示。图中叠栅型 MOS 管有两个重叠的栅极：一个在上面，称为控制栅，其作用与普通 MOS 管的栅极相似；另一个埋在二氧化硅绝缘层内，称为浮置栅。如果浮置栅上没有电荷，叠栅 MOS 管的工作原理就与普通 MOS 管相似。当控制栅上的电压大于它的开启电压时，漏源之间可以有电流产生，即管子导通。如果浮置栅上有电子，这些电子产生负电场。这时要使管子导通，控制栅必须加较大正电压以克服负电场的影响。换句话说，如果浮置栅上有电子，管子的开启电压就会增加。浮置栅积累电子与开启电压值的关系如图 1-12 所示。

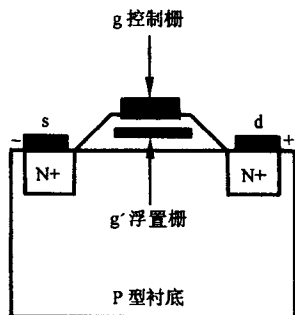


图 1-11 叠栅型 NMOS 管

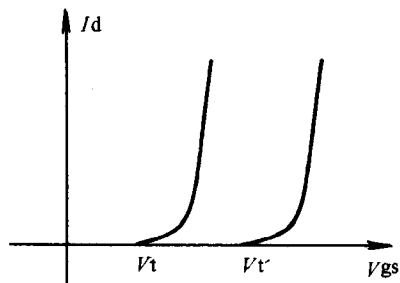


图 1-12 浮置栅积累电子与开启电压的关系

浮置栅上的电荷是靠漏源及栅源之间同时加一较大电压(例如 25V, 正常工作电压只有 5V)而产生的。当源极接地时, 漏极的大电压使漏源之间形成沟道。沟道内的电子在漏源间

强电场的作用下获得足够的能量。同时借助于控制栅正电压的吸引，一部分电子穿过二氧化硅薄层进入浮置栅。当高压电源去掉后，由于浮置栅被绝缘层包围，它所获得的电子很难泄漏，因此可以长期保存。

当浮置栅带上电子后，如果要想擦去浮置栅上的电子，可采用强紫外线或 X 射线对叠栅进行照射，当浮置栅上的电子获得足够的能量后，就会穿过绝缘层返回到衬底中去。

(2) 叠栅型 EPROM 工作原理

在图 1-10 所示的 NMOS 叠栅型 EPROM 中，出厂时片内所有单元的叠栅 MOS 管的浮置栅上均无电荷。当字线选通时，与其相接的叠栅 MOS 管的控制栅极为逻辑高电平，MOS 管呈导通状态，表示该单元存有信息“1”。因此出厂时，NMOS 叠栅型 EPROM 的所有单元全部存有信息“1”。

如果用户要把某个存储单元改写为“0”，只要在该单元的字线和位线之间加一大电压，使该单元叠栅 MOS 管的浮置栅获得电子，其开启电压就会大于高电平电压。这样在读出过程中，即使该单元字线呈高电平，这个 MOS 管也不会导通，即该单元存有信息“0”。

为了使叠栅型 EPROM 能够改写，每个 EPROM 芯片上都留有一个石英玻璃窗口。用强紫外线或 X 射线照射此窗口，可以将芯片内所有浮置栅上的电子擦除，使芯片恢复到初始状态，即全部存有信息“1”。芯片的擦除通常需要 10~20min，而且只能整体擦除。擦除后的芯片可以进行再次改写，但其改写次数是有限的。

2. 电擦除可编程只读存储器

电擦除可编程只读存储器 EEPROM 是一种可以用电信号擦除和改写的可编程逻辑器件。EEPROM 的擦除和改写电流很小，在普通工作电源条件下即可进行，因此不必像 UVEPROM 器件那样，擦除时必须将器件从系统上拆卸下来。EEPROM 的擦除和改写不但操作简单，使用方便，而且避免了每次拆卸影响器件的可靠性。另外，EEPROM 不仅可以整体擦除存储单元内容，还可进行逐字擦除和逐字改写。同时由于电擦除，芯片的封装也不需要留有窗口，为用户和厂家带来很大的方便。

EEPROM 的电路结构与 UVEPROM 的主要区别是 MOS 管的结构不同。EEPROM 的存储单元采用浮置栅型场效应管，其结构如图 1-13 所示。这种场效应管有两个浮置栅，漏极上

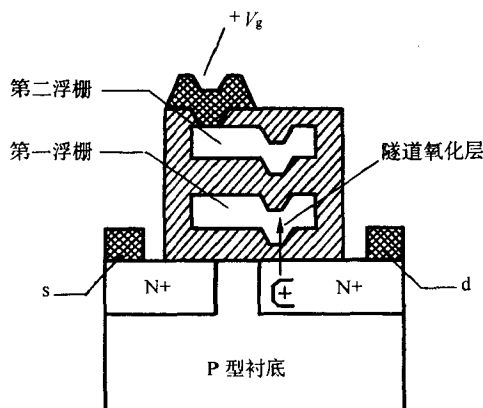


图 1-13 浮置栅型 MOS 管

方有一个隧道二极管。在第二栅极与漏极之间电压 V_g 提供的电场作用下, 漏极电荷通过隧道二极管流向第一浮栅, 使管子导通, 起到编程作用。若 V_g 的极性相反, 浮栅上的电荷将反向流入漏极, 起到擦除作用。由于编程和擦除所需电流极小, 因此 V_g 可采用芯片的普通工作电源。

由于 CMOS 电路的引入, EEPROM 的性能不断改进, 功耗降低, 集成度提高。在功能方面, 除并行输出的 EEPROM 外, 还出现了串行输出的 EEPROM 器件。串行输出的 EEPROM 控制线少, 成本低, 应用更加广泛。

1.3 可编程阵列逻辑 PAL

可编程阵列逻辑 PAL(Programmable Array Logic)是在 PROM 基础上发展起来的。它采用 PROM 中的熔丝连接工艺, 具有与阵列可编程而或阵列固定结构。PAL 器件与 PROM 相比, 阵列规模大大减小, 能更灵活地实现各种逻辑功能。而且 PAL 器件编程简单, 适应性强, 可取代多种常用中小规模 TTL 逻辑器件。这对于简化和缩短系统的开发过程, 减少元器件数, 提高系统可靠性, 具有明显的优越性。

1.3.1 PAL 器件的基本结构

PAL 器件的构成原理是以逻辑函数的最简与或式为主要依据, 其基本结构如图 1-14 所示。

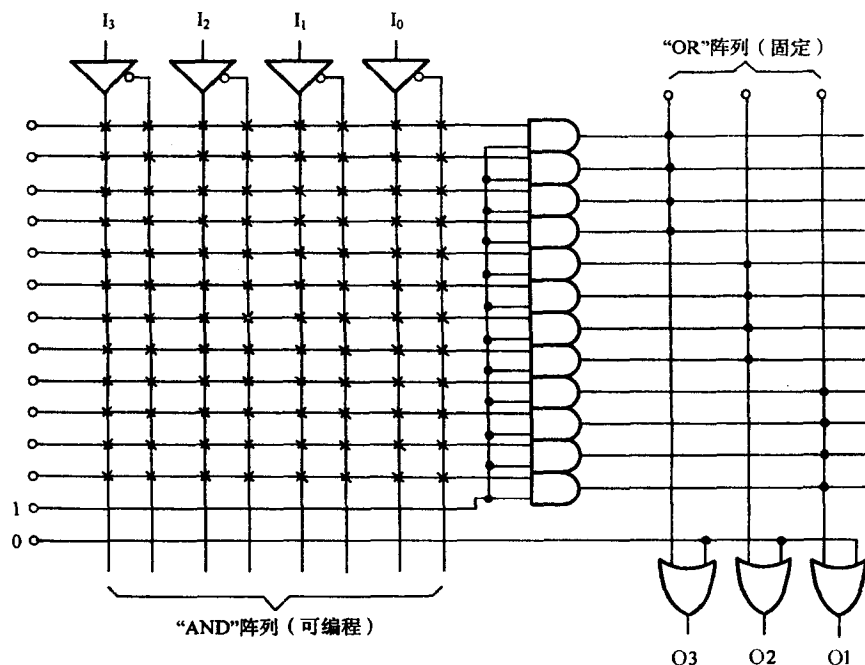


图 1-14 PAL 器件的基本结构

在 PAL 器件的两个逻辑阵列中, 与阵列可编程, 用来产生函数最简与或式中所必需的乘积项。因为它不是全译码结构, 所以允许器件有多个输入端。PAL 器件的或阵列不可编程,

它完成对指定乘积项的或运算，产生函数的输出。例如图 1-14 所示的与阵列有 4 个输入端，通过编程允许产生 12 个乘积项。或阵列由 3 个四输入或门组成，每个或门允许输入 4 个乘积项，因此或阵列的每个输出端可以输出任意 4 个或少于 4 个乘积项的四变量组合逻辑函数。

1.3.2 PAL 器件的输出及反馈结构

PAL 器件的基本结构只适应于组合逻辑，因此又称为专用组合型输出结构。专用组合型输出结构根据或阵列的形式分为输出高有效、输出低有效以及互补输出。图 1-15 所示的是输出低有效的专用组合型输出结构。如果将输出部分的或非门改为或门，则为输出高有效器件；若将输出部分的或非门改为互补输出的或门，则为互补输出器件。

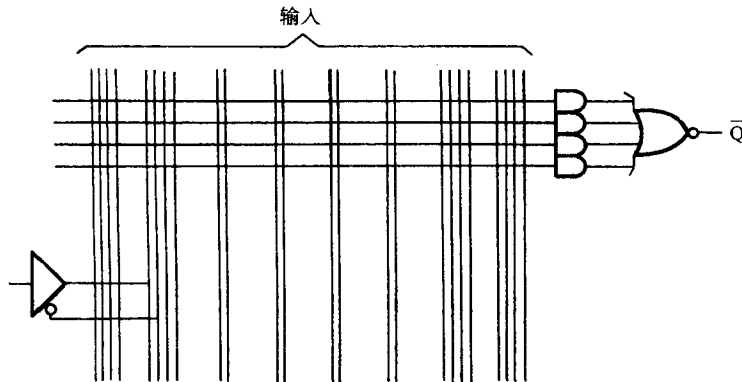


图 1-15 专用组合输出结构

为了扩大应用范围，PAL 器件内部在其基本结构的基础上还增加了不同的输出及反馈结构。下面分别介绍它们的电路形式和各自特点。

1. 反馈型结构

反馈型结构如图 1-16 所示。其中最上面一个与门所对应的乘积项用于选通三态缓冲器。如果编程时使此乘积项为“0”，即将该与门的所有输入项全部接通，则三态缓冲器保持高阻状态。这时对应的 I/O 端就可作为输入端，右边的输出反馈缓冲器即为输入缓冲器。相反，若编程使该乘积项恒为“1”，则三态缓冲器常通，对应的 I/O 端作输出端使用，同时该输出信号经过输出反馈缓冲器可反馈到输入端。一般情况下，三态输出缓冲器受乘积项控制，可以输出“0”、“1”或高阻状态。

2. 寄存型结构

寄存型结构如图 1-17 所示。这种结构将每个“与—或”输出信号在系统时钟控制下存入 D 触发器，然后通过选通三态缓冲器送到输出端（注意图 1-17 所示三态缓冲器低电平选通）。同时 D 触发器的 $\bar{Q}$ 端经过输出反馈缓冲器反馈到与阵列，这样 PAL 器件就能够实现复杂的时序逻辑功能了。

3. 异或型结构

异或型结构的 PAL 器件主要是在输出部分增加了一个异或门，如图 1-18 所示。这种结构将阵列中的“与—或”输出分成两部分，并将这两部分相异或后送 D 触发器输入端。异或