

● 徐建仁 主编

(第2版)

数字集成电路 应用与实验

SHUZI JICHENG DIANLU

YINGYONG YU SHIYAN

国防科技大学出版社



数字集成电路应用与实验

(第2版)

徐建仁·主编

国防科技大学出版社

·长沙·

图书在版编目(CIP)数据

数字集成电路应用与实验/徐建仁主编. —2版. —长沙:国防科技大学出版社,1999.9
ISBN 7-81024-562-7

I. 数… I. 徐… III. 数字集成电路 IV. TN431.2

中国版本图书馆 CIP 数据核字(1999)第 27896 号

内 容 简 介

本书符合原机械电子工业部关于数字集成电路应用与实验教材的编写要求,并经机械电子工业部“无线电技术与信息系统”教材编审委员会《电路与系统》编审组第七次会议审定,可作为高校无线电类专业教材。

本书主要介绍四部份内容:一、数字集成电路应用与实验,其中包含集成“门”参数测试、组合电路与时序电路设计、中规模集成电路、数字电路综合设计、脉冲波形产生与变换和 CMOS 电路。二、可编程逻辑阵列 GAL 器件的组合电路、时序电路设计和应用。三、可编程 ASIC 器件(FPGA/EPLD)实验与应用。四、数字电路课程设计。

书末附录有组合电路与时序电路故障检测、数字逻辑箱和双踪示波器的使用,供读者学习参考。

国防科技大学出版社出版发行

电话:(0731)4555681 邮政编码:410073

E-mail: gfkdcbs@ public.cs.hn.cn

责任编辑:石少平 责任校对:张 静

新华书店总店北京发行所经销

湖南大学印刷厂印装

*

787×1092 1/16 印张:14 字数:323 千
1999 年 9 月第 2 版第 1 次印刷 印数:1-4000 册

*

定价:16.00 元

前 言

本书根据“电路与系统”教材编审小组对《数字集成电路应用与实验》一书提出的基本要求,在电子类专业本科生多年使用的《数字集成电路实验》教材的基础上修订而成。

经过近 10 年的教学实践,需要对本书内容进行更新、充实和完善。本次修订经国防科技大学教材建设工作委员会审定。

修订版的数字电路实验除部分补充外,基本上保持了中小规模集成电路内容,其中包含有:集成逻辑“门”参数及功能测试、组合电路、时序电路、中规模集成电路和脉冲波形的产生和变换。

修订版本根据当前教学改革和新技术的迅速发展,增加了数字系统设计新领域和新型超大规模器件两部分内容:(一)大规模通用可编程逻辑阵列 GAL 器件的组合逻辑和时序逻辑设计; (二)当代最活跃、发展最快,代表着 90 年代电子产品设计变革的主流器件,超大规模可编程 ASIC 器件(FPGA/EPLD)多个实验与应用。

为了提高学生运用多种数字集成电路器件进行逻辑设计和应用数字小系统解决实际问题的能力,本书安排了数字电路课程设计多种课题。全书共安排实验 39 个,每个实验附有选做内容与思考题,可供读者选用。本书取材力求全面,实验力求做到由浅入深,由单元到组合,由小规模到中大规模,以便使用者有较多的选择余地。此外,附录中编写了组合电路和时序电路故障检测方法和练习,还介绍了双踪示波器、数字逻辑箱的使用。

本书由徐建仁主编,可编程逻辑阵列 GAL 实验由马路华、胡丹青、郭欣编写,可编程 ASIC 技术(FPGA/EPLD)由王建涛编写,数字电路课程设计“数字时钟”课题由代铎高工编写。本书由魏乔年教授主审,谢源清教授审阅。他们提出了许多宝贵的修改意见,对此,编者谨表示衷心感谢。

由于编者水平有限,书中难免有许多不妥之处,恳请读者批评指正。

徐建仁

1999 年 2 月

目 录

数字集成电路

I 集成逻辑“门”

实验一 集成“与非”门参数测试	(1)
实验二 集成“三态”门及其应用	(6)
实验三 OC 门及其应用	(10)
实验四 “门”电路互换及中小规模集成电路功能测试	(13)
附 1 逻辑门在数字电路中的应用	(15)
附 2 TTL 集成门的使用规则	(17)
附 3 常用几种集成“门”功能及引脚图	(18)

II 组合电路

实验五 组合逻辑电路设计	(20)
实验六 常用组合电路及其应用	(23)
实验七 组合电路中的竞争冒险	(29)

III 时序电路

实验八 触发器及参数测试	(31)
实验九 计数器及其应用	(40)
实验十 计数、译码和显示	(45)
实验十一 分频器设计及其应用	(49)
实验十二 移位寄存器	(51)
实验十三 同步时序电路逻辑设计	(53)

IV 中规模集成电路

实验十四 中规模全加器	(55)
实验十五 中规模计数器及其应用	(59)
实验十六 中规模数据选择器及其应用	(62)
实验十七 中规模移位寄存器	(66)
实验十八 中规模集成电路综合应用	(70)

V 数字集成电路综合设计

实验十九 数字秒表	(72)
实验廿 串行加法器	(73)
实验廿一 简易数字频率计	(75)
实验廿二 乒乓灯游戏	(77)
实验廿三 智力竞赛抢答装置	(80)

实验廿四	交通信号灯实时控制	(81)
实验廿五	数字组合系统设计实例	(82)
实验廿六	自选综合设计题	(85)
VI 脉冲波形的产生与变换		
实验廿七	由集成“门”组成的脉冲单元电路	(88)
实验廿八	555 定时器及其应用	(94)
实验廿九	集成单稳态触发器	(99)

CMOS 电路

实验卅	CMOS 或非门参数测试	(102)
实验卅一	CMOS—TTL 接口电路	(105)
实验卅二	CMOS 触发器和计数器	(107)
附	CMOS 使用规则	(109)

GAL 可编程逻辑器件

I	可编程通用逻辑阵列 GAL 简介	(111)
II	可编程逻辑器件设计软件 FASTMAP	(113)
III	EXPRO-80 通用器件编程器	(116)
实验卅三	GAL 器件编程设计举例	(119)
实验卅四	GAL 组合电路逻辑设计	(131)
实验卅五	GAL 时序电路逻辑设计	(137)
附	GAL 实验上机操作	(144)

可编程 ASIC 技术(FPGA/EPLD)

I	可编程 ASIC 技术与电子系统设计	(147)
II	可编程 ASIC 器件结构及开发系统	(149)
实验卅六	ASIC 器件(FPGA/EPLD)实验举例	(154)
实验卅七	ASIC 器件(FPGA/EPLD)的组合逻辑设计	(160)
实验卅八	ASIC 器件(FPGA/EPLD)的时序逻辑设计	(162)
实验卅九	ASIC 器件(FPGA/EPLD)大型综合性实验	(164)

数字电路课程设计

课题一	数字时钟	(165)
课题二	数字频率计	(167)
课题三	简易双积分式数字电压表	(169)
课题四	出租汽车里程计价表	(173)
课题五	数字存贮示波器	(175)
课题六	红外线数字转速表	(176)

附 1 自选课程设计题	(177)
附 2 课程设计用集成电路器件引脚图	(178)

附录

附录一 组合电路安装、调整及故障检测	(181)
附录二 时序电路故障检测	(185)
附录三 实验报告格式及书写规范	(188)
附录四 数字逻辑箱	(190)
附录五 SS—5702 双踪示波器	(193)
附录六 常用集成电路器件型号、名称一览表	(197)
附录七 本书用集成电路器件引脚索引	(205)
附录八 常用电阻器、电容器型号及主要性能参数	(206)
附录九 数字电路各实验内容提要	(213)

参考文献

数字集成电路

I 集成逻辑“门”

实验一 集成“与非”门参数测试

目前在数字电路中仍然经常需要使用大量的逻辑门,尤其是与非门。电路中使用的与非门应该满足设计要求,以保证电路可靠、稳定地工作。但与非门的性能指标在制造过程中就已确定了,无法对它的参数进行调整。因此,在使用前对它进行严格挑选,就显得十分必要了。严格挑选的程序之一,便是对与非门进行参数测试。

一 实验目的

- (一) 了解与非门各参数的意义。
- (二) 掌握与非门主要参数的测试方法。
- (三) 加深对与非门的逻辑功能的认识。
- (四) 学习查阅集成电路器件手册,熟悉与非门外形和引脚。

二 TTL 与非门静态参数测试原理

本实验所用的 TTL 与非门采用美国德克萨斯仪器公司生产的 74 系列双列直插式中速二—四输入与非门 74LS20(国产为 T063),其外形引脚排列如图 1.1 所示。

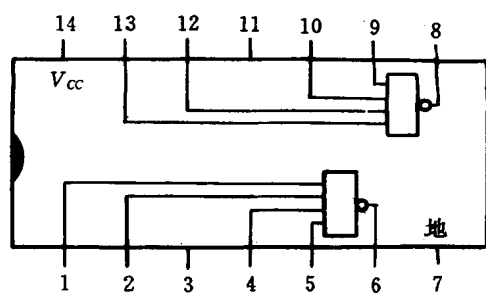


图 1.1 74LS20 引脚

(一) 空载导通功耗 P_{on} (或对应的导通电流 I_{CCL})

P_{on} 就是输入全为高电平而输出端空载下,电路的总功耗:

$$P_{on} = I_{CCL} \times V_{CC}$$

I_{CCL} 就是上述条件下的电路总电流, V_{CC} 为电源电压。

测试方法,如图 1.2 所示。

测试条件,输入端悬空,输出空载, $V_{CC}=5V$ 。

对典型与非门要求, $P_{om} < 50\text{mW}$, 其典型值为三十几毫瓦。测试结果 $I_{CCL} = 1.4\text{mA}$ 左右。

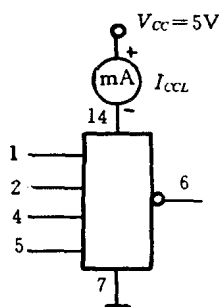


图 1.2 测 I_{CCL}

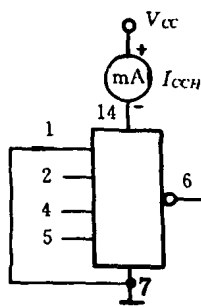


图 1.3 测 I_{CCH}

(二) 空载截止功耗 P_{off} (或对应的截止电流 I_{CCH})

P_{off} 就是在输入端接地而输出空载下电路的总功耗:

$$P_{off} = I_{CCH} \times V_{CC}$$

I_{CCH} 就是上述条件下的电路总电流, V_{CC} 为电源电压。

测试方法, 如图 1.3 所示。注意该片另外一个门的输入也要接地。

测试条件, $V_{CC} = 5\text{V}$, $V_{in} = 0$, 空载。

对典型与非门要求, $P_{off} < 25\text{mW}$ 。测试结果 $I_{CCH} = 0.4\text{mA}$ 左右。

一般希望 P_{om} 和 P_{off} 越小越好, 但往往速度高的门电路功耗也较大。

(三) 输入短路电流 I_{IL}

电流 I_{IL} 又称低电平输入短路电流, 其大小直接影响前级电路能带动的负载个数。因此, 应对每个输入端进行测试。

测试方法, 如图 1.4 所示。

测试条件, 被测输入端通过电流表接地, 其余输入端悬空, 输出空载, $V_{CC} = 5\text{V}$ 。

典型与非门 I_{IL} 为 1.4mA 。测试结果 $I_{IL} = 0.2\text{mA}$ 左右。

(四) 电压传输特性

测试电路按图 1.5 连接。利用电位器调节被测输入端的输入电压, 按表 1.1 的要求逐点测输出电压 V_o , 将其结果记入表 1.1 中。另一办法改接图 1.5, 取消外接电阻, 将与非门的输入引脚(如 1 脚)直接到逻辑箱上 0—5V 插孔, 调节电位计逐点测出 V_o 值。

根据实测数据绘出电压传输特性曲线, 然后, 从曲线上读出 V_{OH} (输出高电平)、 V_{OL} (输出低电平)、 V_{om} (开门电平) 和 V_{off} (关门电平)。

表 1.1

$V_i(v)$	0.3	1.0	1.2	1.3	1.35	1.4	1.5	2.0	2.4
$V_o(v)$									

对典型 TTL 与非门电路要求, $V_{OH} > 3\text{V}$ (典型值为 3.5V)、 $V_{OL} < 0.35\text{V}$ 、 $V_{om} = 1.4\text{V}$ 、 $V_{off} = 1.0\text{V}$ 。

另一种用示波器图示电压传输特性曲线的显示电路, 如图 1.6 所示。

图中 1kHz 脉冲取自逻辑箱上 CLK 信号源, T 采用 3DK4 硅晶体开关三极管, 用以

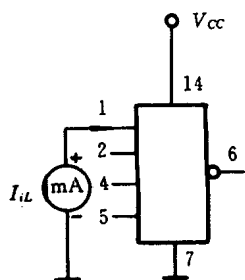


图 1.4 测 I_{IL}

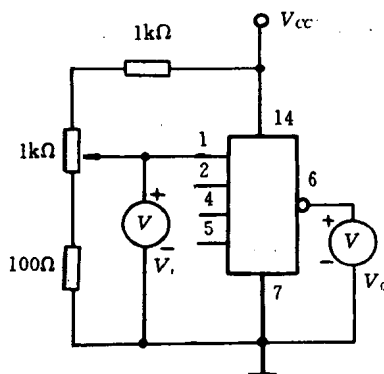


图 1.5 测电压传输特性

构成他激式锯齿电压,其输出近似锯齿波,作为与非门的输入电压,同时送到示波器的 x 输入端,二者合成的曲线,可方便直观地观察到 TTL、COMS 与非门的电压传输特性,并从曲线上读取 V_{om} 、 V_{off} 等参数。有兴趣者,不妨一试。

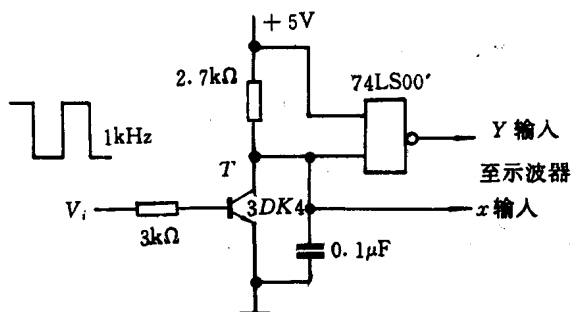


图 1.6 图示电压传输特性曲线

(五) 扇出系数 N_0

扇出系数 N_0 是指能够驱动同类门的个数(即加了这些负载后输出高低电平仍满足指标)。

测试电路如图 1.7 所示。其电路所有输入端悬空,负载 R_L 可变,其最大值为 $1k\Omega$ 。(另外,将图 1.7 改接把 $1k\Omega$ 改为固定电阻 200Ω ,并与 V_{cc} 断开后的一端接到逻辑箱的 0—5V 电压插孔,调电位计至 $V_o=0.4V$ 读出 I_{oL} 值)。

测试方法,调整 R_L 值,使输出电压 $V_o=0.4V$,测出此时的负载电流 I_{oL} ,它就是允许灌入的最大负载电流,根据公式:

$$N_0 = \frac{I_{oL}}{I_{IL}}$$

算出扇出系数 N_0 。

产品规格要求 $N_0 > 8$ 。

注意:测量时, I_{oL} 最大不要超过 $20mA$,以防损坏器件。 I_{oL} 一般为 $14mA$ 左右。

(六) 平均传输延迟时间 t_{pd}

t_{pd} 是一个交流参数, 是指 $0.5V_o$ 前后沿与 $0.5V_i$ 前后沿之间延迟的平均值。如图 1.8 所示。图中:

t_{d1} 为 PQ 之间前沿延迟时间。

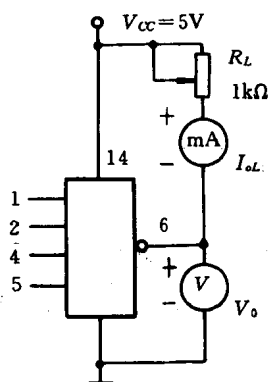


图 1.7 测 N_0

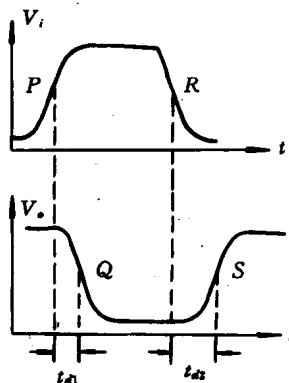


图 1.8 测 t_{pd}

t_{d2} 为 RS 之间后沿延迟时间。

测试 t_{d1} 、 t_{d2} 可用双线示波器测量。

计算平均传输延迟时间公式为:

$$t_{pd} = \frac{1}{2}(t_{d1} + t_{d2})$$

典型值 t_{pd} 为 10ns—40ns。

另一种测试 t_{pd} 的方法, 采用 74LS04 组成如图 1.9 所示的环形振荡器。

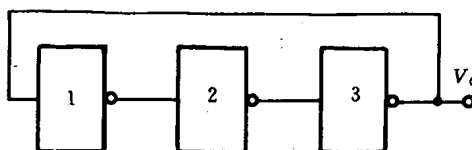


图 1.9 用环形振荡器测 t_{pd}

74LS04 引脚见图 4.10, 它的输入信号与输出信号是反相的。由于输入与输出信号之间存在传输延迟, 所以三个门(或奇数个门), 首尾相接就构成一个环形振荡器。

由分析可知, 这个电路的振荡周期 T 跟“门”的平均延迟时间的关系为 $t_{pd} = T/6$ 。测试结果为 6ns 左右。

振荡周期 T 可用数字频率计或脉冲示波器测量。

三 实验内容和方法

(一) 实验内容

1. 测试与非门的主要参数 I_{CCH} 、 I_{CCL} 、 I_{IL} 和 N_0 。
2. 测试平均传输延迟时间 t_{pd} 。

3. 测试与非门的电压传输特性。
4. 验证 74LS20 与非门的逻辑功能。

(二) 实验方法

1. 熟悉数字逻辑箱(简称逻辑箱)结构和用法。
2. 将 74LS20 与非门插入布线板横槽两边。器件插入的方法一般是将有定位标记(凹槽)的那侧插在左边,无凹槽的那侧插入右边。
3. 将 74LS20 14 脚接+5V,7 脚接地。
4. 按实验电路连接电阻、电压表、电流表和示波器。
5. 注意器件和连线都要插牢,切忌松动,否则实验无法进行。具体布线原则和方法请看附录四的内容。

四 实验报告要求

实验报告一般包括:实验目的、仪器、实验内容、实验数据、波形及分析讨论。具体要求参看附录三。

- (一) 记录实验测得的与非门静态参数。
- (二) 用方格纸画出电压传输特性曲线,并从曲线中读出有关参数值。
- (三) 通过测量环形振荡器的周期,计算门电路的平均延迟时间 t_{pd} 。
- (四) 列出实测与非门的功能数据,讨论其逻辑关系。
- (五) 讨论 TTL 与非门闲置输入端的处置方法。

五 实验仪器与器材

- (一) 数字逻辑箱
- (二) 三用表、电流表(满量程 50mA)。
- (三) 稳压电源。
- (四) 74LS20 二—四输入与非门。
74LS00 四—二输入与非门。
- (五) 电阻、电位计。

六 思考题

- (一) 为什么 TTL 与非门的输入端悬空相当于逻辑 1 电平?
- (二) 测量扇出系数 N_0 的原理是什么?
- (三) 在什么情况下与非门输出高电平或低电平? 其电压值等于多少?
- (四) 集成电路有关引脚规定接“1”电平,在实际电路中为什么不能悬空,必须接 V_{CC} 。

实验二 集成“三态”门及其应用

在目前微型计算机的主机芯片和接口电路中引入一种单向或双向三态缓冲器,可以大大简化总线连接。若在同一条总线上挂上许多个三态门,可以实现多路信息的采集、传输和交换。因此,了解三态门的特性是非常必要的。

一 实验目的

- (一) 了解三态门工作原理。
- (二) 测试三态门特性。
- (三) 学习三态门的应用。

二 实验原理

所谓三态是指它的输出有三种状态:逻辑“1”态、“0”态和高阻态。其中“1”表示高电平,其值为 3.6V;“0”表示低电平,其值为 0.3V。

TTL 三态门除有输入和输出端外,还增加了一个三态控制端 G ,如图 2.1 所示。当控制端 G 为低电平时,三态门处于工作状态,输出 Y 等于输入 A 的数据。当控制端 G 为高电平时,三态门处于禁止状态,输出进入高阻态,相当于开路,在此状态下,输出不再受输入的控制,数据不可能再进行传送。

74LS367 三态门逻辑功能见表 2.1,其引脚排列如图 2.2 所示。

表 2.1

G	A	Y
0	0	0
0	1	1
1	0	高阻
1	1	高阻

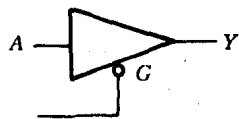


图 2.1 三态门符号

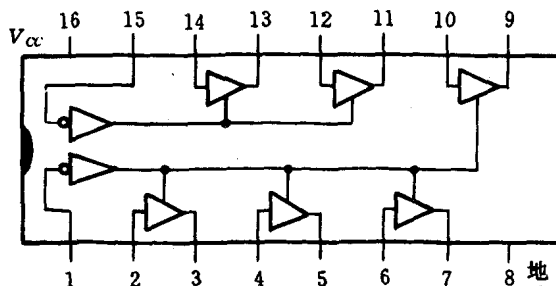


图 2.2 三态门 74LS367 引脚

三 三态门功能测试

(一) 实验电路(如图 2.3 所示)

74LS367 三态缓冲器,其逻辑功能可以用图 2.3 验证。

(二) 功能测试

将 T_1 输入连续脉冲调节在 500Hz—1kHz 左右,当三态门 T_1 的 $G_1=0$, T_2 的 $G_2=1$ 时,指示灯闪动,表示 T_1 有输出,而 T_2 处于高阻态。再改变控制端的电平,使 $G_1=1$, $G_2=0$,则指示灯随单脉冲变化而亮灭,这时 T_1 处于高阻态无 CLK 时钟输出。

指示灯用示波器代替,操作同前,观察波形来验证三态门 74LS367 的功能。

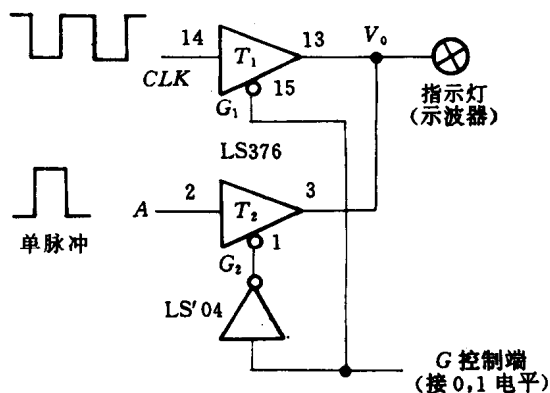


图 2.3 三态门实验电路

另一种方法是用示波器或三用表测试三态门的逻辑功能,见图 2.4。

四 三态门应用

三态门起缓冲隔离作用,可增强驱动能力,防止系统干扰。尤其在微型计算机三总线(地址、数据、控制信息)与外设连接时,它是必不可少的。

(一) 单向三态门作地址缓冲器

地址总线 A_0-A_{15} 经 74LS244 单向三态门缓冲,尔后将地址线传送给外设,如图 2.5 所示。

74LS244 器件引脚 1,19 为使能端,低电平有效,允许微机地址传送给外设。

(二) 双向三态门作数据缓冲器

74LS245 双向三态数据缓冲器与微机、外设连接,如图 2.6 所示。

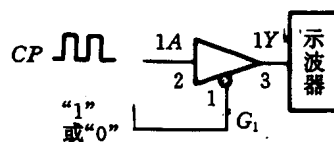


图 2.4 三态门功能测试

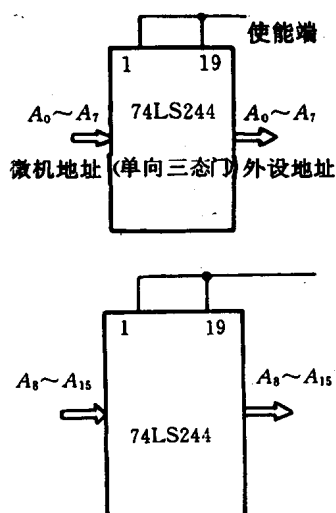


图 2.5 地址缓冲器

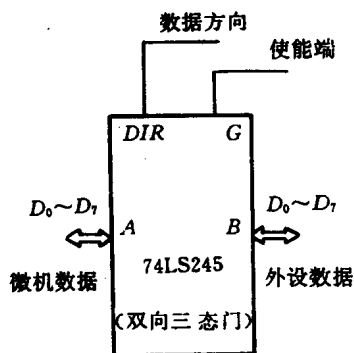


图 2.6 数据缓冲器

$\bar{G}$ 为使能端,低电平有效,允许传送数据。

当 DIR 为高电平时,数据从 $A \rightarrow B$,反之 DIR 为低电平,则数据从 $B \rightarrow A$ 。

(三) 三态门总线操作—实现频率选择

三态门总线操作电路,如图 2.7 所示。电路由 74LS126 含有四个独立三态门组成。各三态门控制端分别受 2—4 线译码器 B_0 、 B_1 、 B_2 、 B_3 控制,各三态门的输入端分别接 0.25MHz、0.5MHz、1MHz、2MHz 频率信号,各三态门的输出端均接到同一总线上。

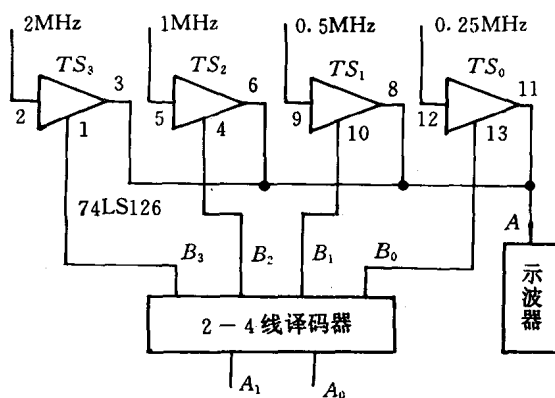


图 2.7 三态门频率选择电路

总线操作:将总线接到示波器输入端 A。若译码器 $B_0=1$, TS_0 三态门选通,0.25MHz 频率信号同相传送到总线上,而 B_1 、 B_2 、 B_3 均为 0, TS_1 、 TS_2 、 TS_3 三态门为高阻态,处于禁止状态,示波器上只观察到 0.25MHz 频率波形。现改 $B_1=1$,其它为 0,则 TS_1 选通,总线上有 0.5MHz 频率信号,依此类推,总线实现了频率信号的选择。

五 实验内容与要求

因三态门有各种不同的类型,见图 2.8,实验者可根据现有器件组织自己的实验。

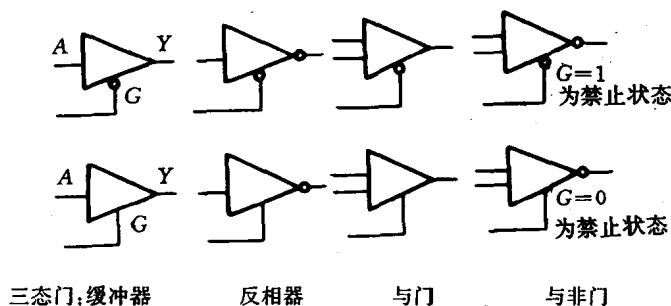


图 2.8 各种三态门逻辑符号

(一) 实验内容与方法

1. 对三态门进行静态测试

按图 2.4 连线,在三态门输入 1A 接 0、1 开关,输出接指示灯或三用表,当 G_1 为 0 或

1 时,检查 1Y 输出。

2. 动态检查

在三态门输入 1A 接 CP 连续脉冲,输出 1Y 接示波器,当 $G=0$ 或 $G=1$ 时,观察 1Y 的输出波形。另外,按图 2.3 进行实验。

(二) 实验要求

1. 将实验结果填入三态门逻辑功能表 2.2 中。
2. 描绘 G 为 1 和 0 时,三态门的输出波形。
3. 试考虑用普通三用表怎样判断电路处在高阻态?

表 2.2

G	0	0	1
A	1	0	ϕ
Y			

六 实验仪器与器材

(一) 数字逻辑箱。

(二) 三用表。

(三) 稳压电源。

(四) 74LS367 六个三态门。

(五) SS—5702 双踪脉冲示波器。

实验三 OC 门及其应用

OC 门(又称为集电极开路门)可以作为 TTL 电路与其它不同电平逻辑电路相接时的接口电路。如 TTL 电路不能与 CMOS 电路、变压器、继电器和数码管等器件直接相连,但经 OC 门就可以完成电平的转换。

一 实验目的

- (一) 了解 OC 门的工作原理。
- (二) 正确选择 OC 门的负载电阻。
- (三) 熟悉 OC 门的应用。

二 实验原理

OC 门就是集电极开路的“与非”门电路,如 74LS26 是四—2 输入的 OC 门,其引脚排列如图 3.1 所示。

OC 门所执行的是与非逻辑功能,即 $F = \overline{A \cdot B \cdot C}$, 它的逻辑符号如图 3.2 所示。

为保证输出电平符合逻辑要求, R_L 的数值选择,可由下列两式估算:

$$R_{Lmax} = \frac{V_{CC} - V_{OHmin}}{nI_{cer} + NI_{RE}}$$

$$R_{Lmin} = \frac{V_{CC} - V_{OLmax}}{I_{OL} - NI_{IL}}$$

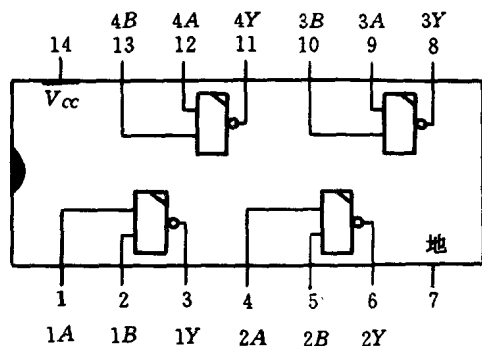


图 3.1 74LS26 引脚

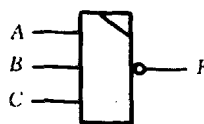


图 3.2 OC 门符号

式中:

V_{CC} ——负载电阻所接的外电源电压,最大可达 20V;

V_{OHmin} ——为输出高电平的下限值,等于 2.8V;

R_{OLmax} ——为输出低电平的上限值,等于 0.35V;

n ——为“线与”连接的 OC 门个数;

I_{cer} ——为 OC 门输出管 T_s 的漏电流,约 50 μ A;

N ——为驱动下级门的个数;

I_{RE} ——为 TTL 与非门的输入反向电流,约 50 μ A;