

高等学校电子信息类专业
“十三五”规划教材

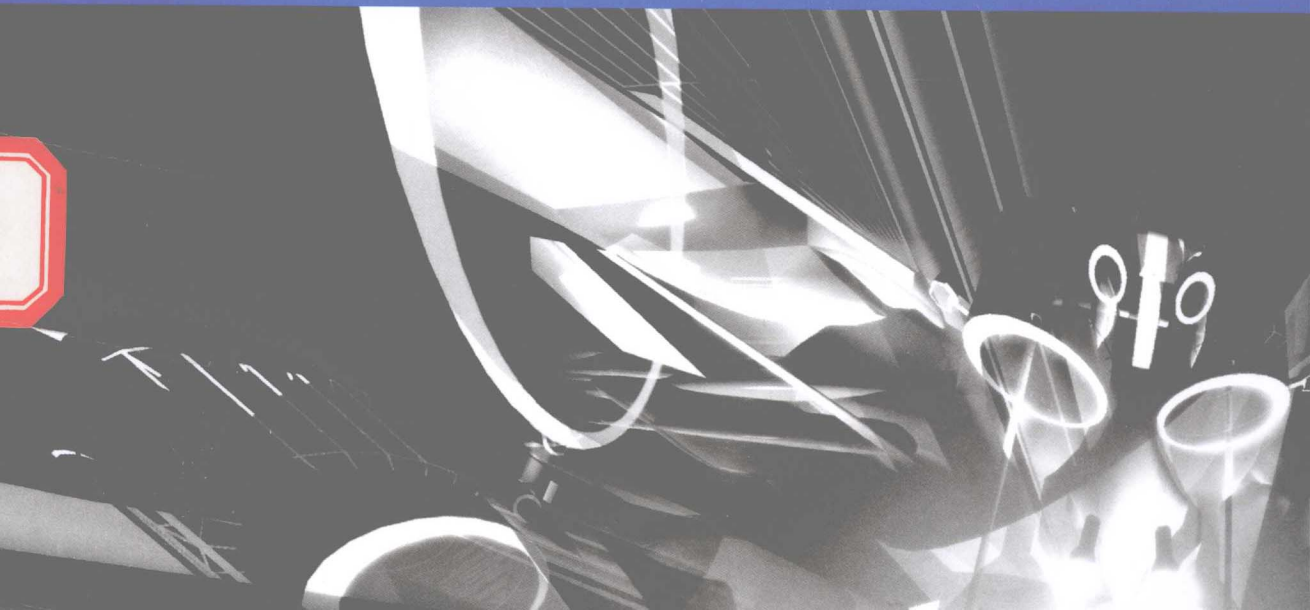
ELECTRONIC
INFORMATION SPECIALTY

《Verilog HDL数字集成电路 设计原理与应用(第二版)》 学习指导和实验例程

蔡觉平 翁静纯 冯必先 编著



西安电子科技大学出版社
<http://www.xduph.com>



高等学校电子信息类专业“十三五”规划教材

《Verilog HDL 数字集成电路设计原理与应用(第二版)》

学习指导和实验例程

蔡觉平 翁静纯 冯必先 编著

西安电子科技大学出版社

内 容 简 介

本书结合“十二五”普通高等教育本科国家级规划教材《Verilog HDL 数字集成电路设计原理与应用(第二版)》(蔡觉平等,西安电子科技大学出版社,2016),以习题和实验例程的方式,对采用 Verilog HDL 的数字集成电路和 FPGA 设计方法进行了介绍,同时对教材中的课后习题也一一给予了解答。书中实验例程多,可综合和测试针对性强,且大部分内容来源于工程案例,通过对理论教学的归纳和总结,进一步加强了设计的可参考性,因此,本书主要用于 Verilog HDL 数字集成电路的实验教学中。

本书可作为研究生和本科生的实验教材,也可作为数字集成电路设计工程师的参考书。

图书在版编目(CIP)数据

《Verilog HDL 数字集成电路设计原理与应用(第二版)》学习指导和实验例程 / 蔡觉平, 翁静纯,

冯必先编著. —西安: 西安电子科技大学出版社, 2016.8

高等学校电子信息类专业“十三五”规划教材

ISBN 978 - 7 - 5606 - 4176 - 8

I. ① V… II. ① 蔡… ② 翁… ③ 冯… III. ① 数字集成电路—电路设计—高等学校—教学参考资料 ② VHDL 语言—程序设计—高等学校—教学参考资料 IV. ① TN431.2 ② TP312

中国版本图书馆 CIP 数据核字(2016)第 215536 号

策划编辑 云立实

责任编辑 买永莲

出版发行 西安电子科技大学出版社(西安市太白南路2号)

电 话 (029)88242885 88201467 邮 编 710071

网 址 www.xduph.com

电子邮箱 xdupfb001@163.com

经 销 新华书店

印刷单位 陕西利达印务有限责任公司

版 次 2016年8月第1版 2016年8月第1次印刷

开 本 787毫米×1092毫米 1/16 印 张 16.875

字 数 399千字

印 数 1~3000册

定 价 30.00元

ISBN 978 - 7 - 5606 - 4176 - 8/TN

XDUP 4468001-1

*** 如有印装问题可调换 ***

前 言

本书与“十二五”普通高等教育本科国家级规划教材《Verilog HDL 数字集成电路设计原理与应用(第二版)》(蔡觉平, 西安电子科技大学出版社, 2016)相配套, 主要用于 Verilog HDL 的上机实验, 是相关课程理论教学的补充。本书通过对比性例程, 对 Verilog HDL 基本语法和设计规则进行了详细的分析, 给出了大量数字集成电路基本电路的设计例程和一些具有典型特点的中小规模数字集成电路实例, 有助于读者对 Verilog HDL 的学习。

此外, 为了扩大设计的可参考性, 在配套教材的基础上, 增加了一些相关的例程(以 * 标示的内容), 以提高读者灵活运用该语言的能力。

十分感谢对于本书的出版作出贡献的老师和学生们。感谢湘潭大学黄嵩人教授、西安交通大学张鸿教授、北京工业大学侯立刚教授、西北工业大学张盛兵教授对本书提出的建设性意见; 感谢马原、徐维佳、宋喆喆、同亚娜和温凯林等同学在集成电路设计流程过程、代码质量评估等方面大量的实际工作; 感谢课题组其他同学对于本书出版所作出的努力。

本书共分 7 章, 由蔡觉平统稿, 冯必先完成了第 1~4 章的内容和程序验证, 翁静纯完成了第 5~7 章的内容和程序验证, 国际留学生阮文长和王科完成了部分程序的验证工作。

希望本书的出版, 能为致力于集成电路设计的同学和工程师提供帮助。

编著者

2016 年 4 月

目 录

第 1 章 Verilog HDL 数字集成电路设计方法概述	1
1.1 数字集成电路的发展和设计方法的演变	1
1.2 硬件描述语言	1
1.3 Verilog HDL 的发展和国际标准	2
1.4 Verilog HDL 和 VHDL	2
1.5 Verilog HDL 在数字集成电路设计中的优点	3
1.6 功能模块的可重用性	3
1.7 IP 核和知识产权保护	4
1.8 Verilog HDL 在数字集成电路设计流程中的作用	4
教材思考题和习题解答	4
第 2 章 Verilog HDL 基础知识	7
2.1 Verilog HDL 的语言要素	7
2.2 数据类型	8
2.3 运算符	8
2.4 模块	13
教材思考题和习题解答	14
第 3 章 Verilog HDL 程序设计语句和描述方式	16
3.1 数据流建模	16
3.2 行为级建模	21
3.3 结构化建模	30
教材思考题和习题解答	37
第 4 章 Verilog HDL 数字逻辑电路设计方法	43
4.1 Verilog HDL 的设计思想和可综合特性	43
4.2 组合电路的设计	50
4.2.1 数字加法器	50
4.2.2 数据比较器	50
4.2.3 数据选择器	53
4.2.4 数字编码器	54
4.2.5 数字译码器	56
4.2.6 奇偶校验器	59
*4.2.7 其它类型的组合电路	59
4.3 时序电路的设计	62

4.3.1 触发器	62
4.3.2 计数器	64
4.3.3 移位寄存器	72
4.3.4 序列信号发生器	74
*4.3.5 分频器	77
4.4 有限同步状态机	80
教材思考题和习题解答	89
第 5 章 仿真验证与 Testbench 编写	97
5.1 Verilog HDL 电路仿真和验证概述	97
5.2 Verilog HDL 测试程序设计基础	98
5.2.1 组合逻辑电路仿真环境	98
5.2.2 时序逻辑电路仿真环境	103
5.3 与仿真相关的系统任务	106
5.3.1 \$display 和 \$write	106
5.3.2 \$monitor 和 \$strobe	107
5.3.3 \$time 和 \$realtime	109
5.3.4 \$finish 和 \$stop	110
5.3.5 \$readmemh 和 \$readmemb	111
5.3.6 \$random	112
5.4 信号时间赋值语句	114
5.4.1 时间延迟的描述形式	114
5.4.2 边沿触发事件控制	118
5.4.3 电平敏感事件控制	119
5.5 任务和函数	120
5.5.1 任务(task)	120
5.5.2 函数(function)	122
5.5.3 任务与函数的区别	123
5.6 典型测试向量的设计	126
5.6.1 变量初始化	126
5.6.2 数据信号测试向量的产生	126
5.6.3 时钟信号测试向量的产生	127
5.6.4 总线信号测试向量的产生	129
5.7 用户自定义元件模型	132
5.7.1 组合电路 UDP 元件	132
5.7.2 时序电路 UDP 元件	133
5.8 基本门级元件和模块的延时建模	134
5.8.1 门级延时建模	134
5.8.2 模块延时建模	135

5.8.3 与时序检查相关的系统任务	137
5.9 编译预处理语句	141
5.10 Verilog HDL 测试方法简介	141
教材思考题和习题解答	141
第 6 章 Verilog HDL 高级程序设计举例	151
6.1 Verilog HDL 典型电路设计	151
6.1.1 向量乘法器	151
6.1.2 除法器	152
6.1.3 相关器	155
6.1.4 键盘扫描程序	155
6.1.5 查找表矩阵运算	157
6.1.6 巴克码相关器设计	158
6.1.7 数字频率计	161
6.1.8 简易微处理器的设计	166
*6.2 FPGA 与 DSP 外部拓展接口(XINTF)通信举例	168
*6.3 FPGA 从 ADC 采集数据举例	181
*6.4 FPGA 最大功耗测试	190
教材思考题和习题解答	191
第 7 章 仿真测试工具和综合工具	219
教材思考题和习题解答	246
附录 模拟试题	252
模拟试题(一)	252
模拟试题(二)	254
模拟试题(三)	257
模拟试题(四)	260
参考文献	262



第1章 Verilog HDL 数字集成电路设计方法概述

❖ 本章主要内容:

- (1) Verilog HDL 发展过程和国际标准;
- (2) Verilog HDL 与 VHDL 两种语言的比较;
- (3) 基于 Verilog HDL 的集成电路设计流程;
- (4) 功能模块的可重用性以及 IP 核和知识产权保护。

❖ 本章重点:

- (1) Verilog HDL 与 VHDL 的性能对比;
- (2) 基于 HDL 的集成电路设计流程。

1.1 数字集成电路的发展和设计方法的演变

1. 从 20 世纪 60 年代开始, 数字集成电路工艺、制造和设计技术飞速发展。数字集成电路也从最早的_____和_____, 发展到以_____为主的集成电路。集成电路的规模从开始的几十个逻辑门的_____发展到单芯片数千万个逻辑门的_____。

2. 20 世纪 90 年代, IC 产业生产过程逐渐细分为“_____, _____、_____, _____”四大领域。功能强大的_____(Central Processing Unit, CPU)和_____(Digital Signal Processing, DSP)成为这一时期产业发展的一个主要方面。

3. 数字集成电路不断引入新技术以推动超大规模集成电路设计的发展, 最关键的几项技术是 PLD(Programmable Logic Device, 可编程逻辑器件)技术、____技术和____技术。

参考答案:

1. 真空管 电子管 硅基半导体 小规模集成电路 极大规模集成电路
2. 电路设计 芯片制造 电路封装 电路测试 通用型中央处理器 数字信号处理器
3. SoC IP 复用

1.2 硬件描述语言

1. 硬件描述语言(HDL)是一种高级程序设计语言, 通过对数字电路和系统的语言描述,



可以对数字集成电路进行_____。利用 HDL, 数字集成电路设计工程师可以根据电路结构的特点, 采用_____的设计结构, 将抽象的逻辑功能用_____的方式进行实现。

2. HDL 发展至今, 产生了很多种对于数字集成电路的描述性设计语言, 并成功地应用于设计的各个阶段: _____、_____、_____和_____等。

3. _____和_____是目前主要的两种 HDL, 并分别在 1995 年和 1987 年被采纳为_____国际标准, 广泛用于数字集成电路的设计和验证领域。

参考答案:

1. 设计和验证 层次化 电路
2. 建模 仿真 验证 综合
3. Verilog HDL VHDL IEEE

1.3 Verilog HDL 的发展和国际标准

1. Verilog HDL 自诞生以来不断发展, 并经历了以下重要的事件: 20 世纪 80 年代, Verilog HDL-XL 诞生; 1989 年, Cadence 公司购买 Verilog 版权; 1990 年, _____, 同时有关 Verilog HDL 的全部权利移交 OVI 组织; 1995 年, IEEE 制定了第一个 Verilog HDL 语言标准_____; 1996 年, OVI 组织提出了用来描述模拟电路的硬件描述语言 Verilog-A; 1999 年, 模拟和数字都适用的 Verilog 标准公开发表; 2001 年, IEEE 制定了较为完善的标准_____。

2. 在系统级设计方面, 传统的设计方法采用_____等高级软件语言进行数学模型的建立和分析, 通过_____设计, 将数学模型转变成_____模型, 最后采用_____进行电路设计。这种方法的缺点是, 数学模型的建立和电路设计是独立的, 从而导致设计周期_____、需要的人员和软件多, 且存在重复性的工作等问题。

参考答案:

1. Verilog HDL 公开发表 Verilog IEEE 1364—1995 Verilog IEEE 1364—2001
2. C 语言 定点化 电路 HDL 长

1.4 Verilog HDL 和 VHDL

1. 目前, 最为常用的硬件描述语言有两种, 分别是_____和_____。它们都是完备的 HDL 设计和验证语言, 具有完整的设计方法和设计规范。

2. 在设计方法方面, _____灵活性差、设计规则繁琐, 但是由于语法规则严谨性高, 其_____和_____很强, 适用于规模较大的数字集成电路系统设计。

3. 在设计范围方面, Verilog HDL 可以描述系统级、_____、_____、_____和_____电路, 而 VHDL 不具备_____电路描述能力, 因此在_____和_____方面, Verilog HDL 的设计范围更大一些。



参考答案:

1. Verilog HDL VHDL
2. VHDL 可综合性 代码一致性
3. 算法级 寄存器传输级 门级 开关级 开关级 专用数字集成电路设计 开关级描述

1.5 Verilog HDL 在数字集成电路设计中的优点

1. 采用 Verilog HDL 进行数字集成电路设计的优点在于()。
 - A. 硬件描述方面具有效率高、灵活性强的优势
 - B. 代码易于维护, 可移植性强
 - C. 测试和仿真功能强大
 - D. 可以用软件的思维设计电路
2. 在数字集成电路发展初期, 数字逻辑电路和系统的设计规模较小, 复杂度也低。采用 PLD 器件或 ASIC 芯片来实现电路设计时, 使用的是_____设计输入的方式, 根据设计要求选用器件, 用厂家提供的专用电路图工具绘制_____, 完成输入过程。
3. Verilog HDL 和 EDA 工具的出现和发展, 通过运用高效率的描述性语言以_____的形式表达电路功能, 设计人员不用再关注_____, 而将注意力集中在系统、算法和电路结构上面, 具体的实现则交由强大的_____完成, 极大提高了设计输入和验证的效率。

参考答案:

1. A、B、C
2. 原理图 原理图
3. 文本 具体实现细节 仿真综合工具

1.6 功能模块的可重用性

1. _____一般是指经过功能验证、5000 门以上的可综合 Verilog HDL 或 VHDL 模型。软核通常与设计方法和电路所采用的工艺_____, 具有很强的可综合特性和可重用性。由_____构成的器件称为虚拟器件, 通过 EDA 综合工具可以把它与其它数字逻辑电路结合起来, 构成新的功能电路。

2. _____通常是指在 FPGA 器件上, 经过综合验证、大于 5000 门的_____。
3. _____通常是指在 ASIC 器件上, 经过验证, 正确的、大于 5000 门的_____。

参考答案:

1. 软核 无关 软核
2. 固核 电路网表文件
3. 硬核 电路结构版图掩模



1.7 IP 核和知识产权保护

1. _____是具有知识产权核的集成电路芯核的总称,是经过反复验证过的、具有特定功能的宏模块,且该模块与芯片制造工艺无关,可以移植到不同的半导体工艺中。

2. 目前,全球最大的 IP 设计公司是英国的_____,通过 IP 的市场推广,不同性能的_____被广泛用于通信、计算机、媒体控制器、工业芯片中,极大地提高了设计的效率。这种商业模式为集成电路的发展作出了重要贡献。

参考答案:

1. IP 核
2. ARM 公司 ARM

1.8 Verilog HDL 在数字集成电路设计流程中的作用

1. 数字集成电路和 FPGA 设计过程主要划分为四个阶段,按时间先后顺序,分别为_____,_____,_____,_____。

- A. 电路设计和代码编写阶段
- B. 系统设计阶段
- C. 后端设计阶段
- D. 电路验证阶段

2. 集成电路设计流程包含如下步骤,其中 Verilog HDL 包括的步骤为_____。

- | | | |
|---------------|---------|-----------|
| A. 总体方案 | B. 系统建模 | C. RTL 编码 |
| D. 功能验证 | E. 综合 | F. 时序验证 |
| G. 物理综合, 布局布线 | | H. 物理验证 |
| I. 原型建立和测试 | | J. 工艺实现 |

参考答案:

1. B-A-D-C
2. A、B、C、D、I

教材思考题和习题解答

1. 数字集成电路是基于数字逻辑(布尔代数)设计和运行的,用于处理数字信号。根据集成电路的定义,可以将数字集成电路定义为:将元器件和连线集成于同一半导体芯片上而制成的数字逻辑电路或系统。

2. 硬件描述语言(HDL)是一种高级程序设计语言,通过对数字电路和系统的语言描述,可以对数字集成电路进行设计和验证。其主要作用是:数字集成电路设计工程师可以利用



HDL, 根据电路结构的特点, 采用层次化的设计结构, 将抽象的逻辑功能用电路的方式进行实现。

3. 符合 IEEE 标准的硬件描述语言是 Verilog HDL 和 VHDL 两种。

它们的共同特点是: 能够形式化地抽象表示电路的行为和结构; 支持逻辑设计中层次与范围的描述; 可借用高级语言的精巧结构来简化电路行为的描述, 具有电路仿真与验证机制, 以保证设计的正确性; 支持电路描述由高层到底层的综合转换; 硬件描述与实现工艺无关; 便于文档管理; 易于理解 and 设计重用。

不同点: 在设计范围方面, VHDL 语法结构紧凑、灵活性差、设计规则繁琐, 初学者需要较长时间方能掌握。由于语法规则严谨性高, VHDL 可综合性和代码一致性很强, 适用于规模较大的数字集成电路系统设计。而 Verilog HDL 的语法结构和设计方式灵活, 初学者对语言掌握的难度较小, 设计也较容易进行综合和验证, 适用于规模较小的数字电路。

4. 优点: 利用 HDL, 数字集成电路设计工程师可以根据电路结构的特点, 采用层次化的设计结构, 将抽象的逻辑功能用电路的方式进行实现。Verilog HDL 极大地提高了原理图设计的效率, 同时提高了设计的灵活性和对电路设计的有效管理。

缺点: 需要相应的 EDA 工具, 而 EDA 工具的稳定性需要进一步在工程中提升; 相较于高级语言, HDL 可读性不好。

5. Verilog HDL 可描述顺序执行和并行执行的程序结构; 用延时表达式或事件表达式来明确地控制过程的启动时间; 通过命名的事件来触发其它过程里的激活行为或停止行为; 提供了如 if-else、case 等条件程序结构; 提供了可带参数且非零延续时间的任务程序结构; 提供了可定义新的操作符的函数结构; 提供了用于建立表达式的算术运算符、逻辑运算符、位运算符; VerilogHDL 作为一种结构化的语言, 非常适用于门级和开关级的模型设计; 提供了一套完整的表示组合逻辑的基本元件的原语; 提供了双向通路和电阻器件的原语; 可建立 MOS 器件的电荷分享和电荷衰减动态模型; Verilog HDL 的构造性语句可以精确地建立信号的模型。

6. 硬件描述语言的设计具有与工艺无关性。这使得工程师在功能设计、逻辑验证阶段, 可以不必过多考虑门级及工艺实现的具体细节, 只需要利用系统设计时对芯片的要求, 施加不同的约束条件, 即可设计出实际电路。

7. 采用自顶向下的设计方法: 从系统级开始把系统划分为基本单元, 然后把每个基本单元划分为下一层次的基本单元, 一直这样做下去, 直到可以直接用 EDA 元件库中的基本元件来实现为止。

数字集成电路的设计流程主要划分为四个阶段:

(1) 系统设计阶段。确定出一个总体方案, 包括系统的结构规划、功能划分等工作; 接下来进行系统建模, 细化总体方案, 从而划分出具体的功能模块。

(2) 电路设计代码编写阶段。用 Verilog HDL 进行 RTL 代码编写。

(3) 电路验证阶段。进行代码的功能验证, 验证通过后进行综合优化处理, 利用综合后生成的网表文件进行时序验证。

(4) 后端设计阶段。包括物理综合、布局布线、物理验证、原型建立和测试, 最后交付工艺实现。



8. IP 复用是指对系统中的某些模块直接使用自己的 IP 来实现, 不用设计所有模块。

软核一般是指经过功能验证、5000 门以上的可综合 Verilog HDL 或 VHDL 模型。

固核通常是指在 FPGA 器件上, 经过综合验证、大于 5000 门的电路网表文件。

硬核通常是指在 ASIC 器件上, 经过验证, 正确的、大于 5000 门的电路结构版图掩模。

9. System Verilog 建立在 Verilog HDL 的基础上, 在系统层次上提高了模型建立和验证的功能, 是 Verilog 语言的拓展和延伸。

Verilog HDL 适合系统级、算法级、寄存器级、门级、开关级设计, 而 SystemVerilog 更适于可重用的可综合 IP 和可重用的验证用 IP 设计, 以及特大型基于 IP 的系统级设计和验证。

10. 目前主流的设计工具有 Cadence 公司的 Composer、Synopsys 公司的 Leda 以及 UltraEdit、Vim 等第三方编辑工具。

Cadence 公司的 NC-Verilog 用于 Verilog 仿真, Mentor 公司推出的是 Verilog 和 VHDL 双仿真器 ModelSim, Synopsys 公司的则是 VSS/VCS 仿真器, 这些都是业界广泛使用的仿真工具。

目前常用的逻辑综合工具有 Synopsys 公司的 Synplify 和 Design Compiler、Physical Compiler, Cadence 公司的 RTL Compiler 等。



第2章 Verilog HDL 基础知识

❖ 本章主要内容:

- (1) Verilog HDL 基础知识;
- (2) Verilog HDL 的语言要素, 包括空白符、注释符、标识符(转义标识符)、关键字等;
- (3) Verilog HDL 的数值类型和表示方法;
- (4) 数据类型, 包括物理数据类型、连线型数据类型、存储器型数据类型和抽象数据类型;
- (5) Verilog HDL 运算符, 尤其注意运算符和逻辑之间的映射关系, 以及运算符的优先级关系;
- (6) Verilog HDL 模块的定义和语法结构。

❖ 本章重点、难点:

- (1) 语言要素和难点标识符的语法规则, 数据类型的定义和运算符定义。
- (2) 运算符的定义、优先级;
- (3) 运算符和逻辑之间的映射关系;
- (4) 运算符的使用。

2.1 Verilog HDL 的语言要素

1. Verilog HDL 中有两种形式的注释。

- (1) 单行注释: 以 _____ 开始, 表示 _____。
- (2) 多行注释: 以 _____ 开始, 到 _____ 结束, 表示 _____。

2. 下列标识符是否正确, 若不正确写出错误原因。

- (1) `_A3_G5` _____;
- (2) `16CNT` _____;
- (3) `out*` _____;
- (4) `a+b-@` _____。

3. Verilog HDL 中有多种数值表示方式。

- (1) `16'b1100` 表示 _____;
- (2) `6'o18` 表示 _____;
- (3) `5'hz` 表示 _____。



(4) 十进制数 1020 用 12 位宽的二进制数可表示为_____。

参考答案:

1. (1) // Verilog HDL 忽略从此处到行尾的内容
(2) /* */ Verilog HDL 忽略其中的注释内容
2. (1) 正确
(2) 错误, 标识符不允许以数字开头
(3) 错误, 标识符中不允许包含字符 “*”
(4) 错误, 标识符中不允许包含字符 “+”, “-” 以及 “@”
3. (1) 位宽为 16 位的二进制数 0000_0000_0000_1100
(2) 位宽为 6 位的八进制数 18
(3) 位宽为 5 位的十六进制数 z, 即 zzzzz
(4) 12'b001111111100

2.2 数据类型

1. Verilog HDL 常用的数据类型中, 可综合的有_____, 不可以综合的有_____。
2. 语句 “wire [4:0] a; assign a = 5'b101xz; assign a = 5'bx11z0”, 则两个强度相同的驱动源共同决定得到 a 值, 为_____。
3. (1) reg[15:0] mem[255:0] 表示_____。
(2) reg [15:0] mem2[127:0], reg1, reg2 表示_____。

参考答案:

1. wire、tri wor、time、real
2. 5'bxx1x0
3. (1) 定义了一个有 256 个 16 位寄存器的存储器 mem, 地址范围是 0~255
(2) 定义了一个有 128 个 16 位寄存器的存储器 mem2 和 2 个 16 位的寄存器 reg1 和 reg2

2.3 运算符

1. 操作符 “||” 和 “|” 的区别在于_____。
2. out=(sel)? 1'b0 : 1'b1 表示_____。
3. Verilog HDL 的运算符主要针对数字逻辑电路制定, 有算术运算符, 如加法(+), 有_____, 如小于(<), 有_____, 如等于(==), 有逻辑运算符, 如_____(_____), 有按位运算符, 如_____(_____)。这四种运算符按优先级从高到低依次是_____。
4. 在 Verilog HDL 中, a = 8'b10010111, 那么 !a =_____, ~a =_____, a<<2 =_____, ^a =_____。
5. 已知 “a[7:0] = 8'b11001111; b[5:0] = 6'b010100”, 那么 {2{a[6:4]}, b[3:1]} =



- _____。
6. 已知 “a = 1'b1; b = 3'b001;” 那么 {a, b} = _____。
7. $4'b1001 \ll 1 =$ _____, $4'b1001 \ll 2 =$ _____, $4'b1001 \gg 1 =$ _____, $4'b1001 \gg 4 =$ _____。
8. 将 q[7:0] 的高四位与低四位交换, 得到的数值可以表示为 _____。
9. 归约运算符操作的结果是 _____, 检验二进制数中有奇数个 1 可以用归约运算符 _____, 检验二进制数中有偶数个 1 可以用归约运算符 _____。
10. 下面语句:

```
reg out;
case(sel)
    2'b00:out=a;
    2'b11:out=b;
endcase
```

如果用条件运算符, 可以表示为 _____。

11. 在一个比较器中, 如果 $a > b$, 则输出 $out = 1'b1$, 否则输出 $out = 1'b0$, 如果用条件运算符, 可以表示为 _____; “reg c; always@(a or b) c = a > b;” 用条件运算符可以表示为 _____。

12. “{ }” 是 _____, 已知 $\$random \% b (b > 0)$ 表示产生 $1-b \sim b-1$ 之间的随机数, 则 $\{\$random\} \% b$ 产生的随机数的范围是 _____。(提示: “{ }” 返回的是无符号数)。

13. “==” 运算符能够识别的逻辑值为 _____, “===” 运算符能够识别的逻辑值为 _____, 对于 “reg[5:0] a = 6'b11x01z; reg[5:0] b = 6'b11x01z;”, 则 $a == b$ 的返回结果为 _____, $a === b$ 的返回结果为 _____。

14. 归约运算符与按位运算符的运算符符号、运算法则相同, 但是归约运算符是单目运算符, 产生的结果是 1 位的逻辑值。对于 “reg[3:0] a; b = &a;”, 可以用按位运算符等效表示为 _____。

15. 对于 “wire[3:0] a = 4'b0011; wire[3:0] b = 4'b0101;”, 那么 $a \& b =$ _____, $a | b =$ _____, $!a =$ _____, $a || b =$ _____。

16. 对于 “wire[3:0] a = 4'b0011; wire[5:0] b = 6'b010101;”, 那么 $a \& b =$ _____, $a | b =$ _____。

17. 已知 $\{\$random\} \% 3$ 可以产生 $0 \sim 2$ 的随机数, 利用算术运算符和 $\{\$random\} \% 3$ 产生从 $10 \sim 30$ 的随机数 a 的表达式为 _____。

参考答案:

- “||” 是逻辑或, “|” 是按位逻辑或
- 当 “sel” 为 1 时, out 等于 1'b0, 否则 out 等于 1'b1
- 关系运算符 相等关系运算符 逻辑与(&&) 按位或(|)
算术运算符、关系运算符、相等关系运算符、按位运算符、逻辑运算符
- 1'b0 8'b01101000 8'b01011100 1'b1
- {100100010}



6. {1001}
7. 5'b10010 6'b100100 4'b0100 4'b0000
8. {q[3:0], q[7:4]}
9. 1 位逻辑值 $\wedge$ $\sim$
10. wire out;
assign out=(sel==2'b00)?a:b;
11. “wire out; assign out = (a>b)?1'b1:1'b0;” “wire out; assign out = (a>b)?1'b1:1'b0;”
12. 连接运算符(位拼接运算符) 0~b-1
13. 0/1 0/1/x/z 1'bx 1'b1
14. b = ((a[0]&a[1])&a[2])&a[3]
15. 4'b0001 4'b0111 1'b0 1'b1
16. 6'b000001 6'b010111
17. 10*(1+{\$random}%3)

例 2.1-1 Verilog HDL 算术运算符在加法器中的应用。

具体的 Verilog HDL 程序代码如下：

```
module add_operation(A, B, C, D);
    input[3:0] B, C;
    output[3:0] A;
    output[5:0] D;
    assign A = B+C;
    assign D = B+C;
endmodule
```

例 2.1-2 比较器中关系运算符的运用。

具体的 Verilog HDL 程序代码如下：

```
module comparator(a, b, agb, aeb, alb);
    parameter width = 4;
    input [width-1:0] a, b;
    output agb;
    output aeb;
    output alb;
    assign agb = (a > b);
    assign aeb = (a == b);
    assign alb = (a < b);
endmodule
```

例 2.1-3 Verilog HDL 逻辑运算符的运用。

具体的 Verilog HDL 程序代码如下：

```
module logicaloperation(a, b, c, d);
    input a, b;
```