



中华人民共和国国家标准

GB/T 18471—2001

VXI 总线系统规范

VXIbus system specifications

2001-10-24 发布

2002-03-01 实施



中华人民共和国
国家质量监督检验检疫总局

发布

-65

67

中 华 人 民 共 和 国
国 家 标 准
VXI 总线系统规范
GB/T 18471—2001

*

中国标准出版社出版
北京复兴门外三里河北街16号
邮政编码:100045

电话:68523946 68517548

中国标准出版社秦皇岛印刷厂印刷
新华书店北京发行所发行 各地新华书店经售

*

开本 880×1230 1/16 印张 10¼ 字数 314 千字
2002年5月第一版 2002年5月第一次印刷
印数 1—2 000

*

书号: 155066·1-18371 定价 52.00 元
网址 www.bzcbbs.com

版权专有 侵权必究
举报电话:(010)68533533

TP:
BZ:

前 言

随着计算机技术和大规模集成电路技术的飞速发展,电子测量仪器领域发生了巨大的变化。降低测试成本,缩短测试系统的开发时间以及把风险减小到最低限度就成为组建计算机自动测试系统(Computer Automated Measurement)的主要目标。VXI 总线测试系统正是为适应这一发展潮流,在吸取了 VME 总线高速通信和 GP IB 易于组合的优点后产生的。该系统规范于 1987 年由 Colorado Data System、Hewlett-Packard、Racal-Dana Instrument、Tektronix 和 Wavetek 五家测试仪器公司组成的联合体提出。

VXI 总线是一种在世界范围内完全开放的、适用于多个生产厂家的模块化的仪器总线系统。它集中了智能仪器、个人仪器和自动测试系统的很多特长,并且有小型便携、高速数据传输、模块式结构、组建和使用灵活、易于充分发挥计算机效能和标准化程度高等诸多优点。自问世以来得到了迅速的发展和推广。目前,程控领域的两个重要进展——IEEE 488.2 和可编程仪器的标准命令(SCPI)都已普遍应用于 VXI 总线系统。VXI 总线做为新一代仪器总线的地位已经确立,它使已提出多年的虚拟仪器的概念变成现实。预计在 21 世纪初,VXI 总线在测试领域将占主导地位。

本标准等同采用 VXI 总线联合体公布的《VXIbus system specifications》revision 1.4—1992。在排版结构上与 1.4 版等效,只作编辑性修改。

本标准的附录 A、附录 B、附录 C 和附录 D 都是标准的附录。

本标准由中国航天机电集团公司提出。

本标准由航天工业总公司七〇八所归口。

本标准起草单位:北京航天测控技术开发公司、哈尔滨电工仪器仪表研究所。

本标准主要起草人:奚全生、张礼勇、毛新、童子权、孟汉城、程华彦。

目 次

前言 Ⅲ

1 VXI 总线规范引言 1

1.1 生产厂家 ID 号 1

1.2 VXI 总线概述 1

1.3 文件构成 3

1.4 规范的目标 3

1.5 规范结构术语定义 3

2 总线构成 4

2.1 引言 4

2.2 数据传输总线(DTB) 4

2.3 DTB 仲裁总线 4

2.4 优先中断总线 5

2.5 公用总线 5

2.6 电气规范 5

2.7 机械规范 26

2.8 电磁兼容性(EMC)和系统供电 62

3 VXI 总线系统结构 75

3.1 概述 75

3.2 操作设备 77

3.3 设备通信协议 109

3.4 系统资源 116

4 VXI 总线设备功能的实现 122

4.1 VXI 总线仪器 122

4.2 488-VXI 总线接口 125

5 命令与事件格式 130

5.1 字串行命令 130

5.2 长字串行命令 140

5.3 扩展长字串行命令 140

5.4 协议事件 140

6 动态配置 141

6.1 定义 141

6.2 DC 设备要求 141

6.3 DC 系统要求 143

7 共享存储器协议 144

附录 A(标准的附录) VXI 总线寄存器 145

附录 B(标准的附录) 底板设计 154

B1 底板结构 154

中华人民共和国国家标准

VXI 总线系统规范

GB/T 18471—2001

VXIbus system specifications

1 VXI 总线规范引言

本标准规定与 VME 总线模块仪器兼容的 VXI(VMEbus Extension for Instrumentation)总线,目的是为设计与系统相兼容的仪器的设计者建立应用标准。

VME(VERSA Modular European)总线的结构基于 20 世纪 70 年代末 Motorola 68000 微处理器。1979 年, Motorola 公布了基于 68000 系统的 VERSA 总线,其后又公布了多个版本,最后一版公布于 1981 年 7 月。

与此同时,又出现了印刷电路板的一种新标准(IEC 60297-3),即“欧卡”。1981 年 10 月, Motorola、Mostek、Signetics 等公司宣布,它们支持一种基于“欧卡”的新总线即 VME 总线, VME 总线规范经历了三次变动,最近一次是 1985 年 4 月公布的 C.1 版本,对应标准为 IEEE 1014。

VME 总线具有开放式结构特性,许多厂家提供上千种 VME 总线接口板,虽然也有一些用于工业过程控制的 VME 总线数据采集卡,但大部分接口板卡还是用于计算机系统的。VME 总线仪器模块有大量的需求。虽然频带很宽的 VME 总线底板也有其他优点,并且尤其适用于数字化测试和数字信号处理,但采用 VME 总线接口板的主要目的还在于减小 ATE(Automated Test Equipment)仪器的尺寸。

VME 总线在仪器上应用的最大困难在于缺乏 VME 总线高层标准。1987 年春, Colorado Data Systems、HP、Racal-Dana、Tektronix 和 Wavetek 的技术代表组成了一个特别委员会,制定了基于 VME 总线欧卡 and 其后如 IEEE 488.2 等仪器标准的开放式仪器结构标准。1987 年 7 月,这些公司宣布支持 VME 总线模块化通用仪器结构,称为 VXI 总线。

1.1 生产厂家 ID 号

VXI 总线标准提供了在多个 VXI 总线设备上区别生产厂家的方法,由可通过 VME 总线(见 3.2.1.1.2“配置寄存器组”)读出的 12 位生产厂家 ID 号(0~4095)组成。可从 VXI 总线联合体得到全部厂家编码,并对公众开放,每个生产厂家都有唯一的一个编码。编码从 4095 开始降序排列。

1.2 VXI 总线概述

1.2.1 引言

VXI 总线的目的是建立一个基于 VME 总线的模块化仪器标准,这个标准对所有的仪器生产厂家开放并且与现有的工业标准兼容。

VXI 是 VME 总线对仪器的扩展的缩写, VXI 总线规范详细描述了与 VXI 总线兼容的各部件的技术要求,如机箱、底板、电源和模块。在确定 VXI 总线结构之前,应该首先熟悉 VME 总线规范。

1.2.2 VME 总线背景

VME 总线主要是针对于计算机系统的开放式系统结构,因而在仪器领域很少应用。VME 总线模块长为 152.4 mm(6 英寸),高度有两种: 101.6 mm(4 英寸)和 228.6 mm(9 英寸),VXI 总线规范将这两种尺寸相应定义为 A、B 尺寸。欧卡标准定义了电路板的精确尺寸,也定义了印制电路板系列以及它们所使用的 DIN 连接器。VME 总线模块间距为 20.32 mm(0.8 英寸),A 尺寸板连接一个 96 引脚连接

中华人民共和国国家质量监督检验检疫总局 2001-10-24 批准

2002-03-01 实施

器,称为 P1。B 尺寸板可安装 P1、P2 两个连接器,每个 D1N 连接器由三排每排 32 引脚组成,典型应用为:底板垂直放置,P1 连接器位于板的上部。由于方向只是安装问题而不是兼容问题,因而 VME 总线和 VXI 总线都没规定物理方向,许多 VME 总线系统设计成水平安装插板。

VME 总线规范最多可连接 21 个模块,但是,如果在一个标准的 482.6 mm(19 英寸)机箱中垂直安装,则最多只能安装 20 个模块。VME 总线没有另外定义机箱间通信协议,多机箱系统可采用 VME 总线缓冲(这样损失机箱间的带宽)或忽略 VME 总线的层次结构而采用标准数据通信连接,VME 总线也没有制定 EMC(电磁兼容性)规范和传导、辐射、功率分布限制、机箱冷却等规范,而将这些遗留给了系统集成商,但 VXI 总线对这些因素都有严格的定义。

虽然 VME 总线在电气上和逻辑上与 68000 微处理器很相似,但 VME 总线接口却不只仅仅依赖某些处理器,其适用范围非常大,许多其他类型的处理器也支持 VME 总线,如 80386,许多简单的 VME 总线板根本不包含处理器。

VME 总线最小系统只包含 P1 连接器,所有挂钩、仲裁、中断信号都在 P1 上,P2 连接器用来将系统的数据位和地址位扩展至 32 位。P1 连接器支持 16 位和 24 位寻址以及 8 位和 16 位数据宽度。A32 和 D32 的其余连线位于 P2 连接器中间的一排,外侧的两排为用户定义。这些未定义的引脚可用于接口的连接,如允许模块驱动机箱连接器,读写一个嵌入式磁盘驱动器或提供模块间的通信。VSB(VME 总线子系统)是标准子系统总线,该总线在 P2 连接器上可进行 6 个模块间的通信。一个 VME 总线系统中可存在多个 VME 总线子系统,值得注意的是,由于 VXI 总线定义的最大子系统为 13 个模块,在 VXI 总线系统中也可以存在多个类似于 VSB 的子系统。

1.2.3 VXI 总线扩展

VXI 总线采用了 VME 总线定义的 P1 连接器和 P2 连接器的中间一排,其中包括 P1 上的 5V 和 ± 12 V 电源、P2 上的 5V 电源。VXI 总线定义的 A、B 尺寸模块与 VME 总线完全兼容,但是,VXI 总线在 VME 总线上附加了适用于仪器的部分,因而可认为 VXI 总线在电气结构上是 VME 总线的超集,在逻辑上是 VME 总线的子集。

1.2.3.1 VXI 总线模块

VXI 总线增加了两种长度为 330.2 mm(13 英寸)的欧卡模块,称为 C 型、D 型尺寸,它们的高分别为 228.6 mm(9 英寸)和 355.6 mm(14 英寸),安装宽度 30.48 mm(1.2 英寸)。欧卡 C 型尺寸与 VME 总线 B 尺寸板高度相同,安装 P1 和 P2 两个连接器,D 尺寸板的高度是欧卡尺寸高度的 3 倍,另外还有 P3 连接器,30.48 mm(1.2 英寸)的模块安装宽度可以安装高密度仪器模块,同时也可屏蔽模块的两侧及插入机箱屏蔽。还有一些其他的优点,如可通过在 A 型、B 型板上安装适配器,使它们与其他两种尺寸板兼容。适配器也可通过屏蔽 VME 总线板的两侧,使其与 VXI 总线系统实现电磁兼容。

1.2.3.2 VXI 总线子系统

VXI 总线系统最多可有 256 个设备,包括一个或多个子系统,一个 VXI 总线子系统可由 0 槽和最多 12 个仪器模块组成。P2 和 P3 连接器各引脚都给出了定义,13 个模块安装于一个 19 英寸的标准机箱中,每个模块宽度为 30.48 mm,许多 VXI 系统是由一个机箱和 13 个模块构成,一般配置是一个 0 槽模块,其上配有 VXI 总线定时发生器、VME 总线所要求的系统控制功能、数据通信口,如 IEEE 488、RS-232 等。0 槽也可包含可选仪器,其他插槽用于安装普通模块。一个 VXI 总线子系统最多可有 12 个附加插槽,在 VXI 系统内部,子系统可采用任何方法连接,例如,一个 VXI 系统由一个 0 槽和 12 个模块组成,扩展至另一个机箱,该机箱中有两个 0 槽,其中一个 0 槽有与其相连的 3 个仪器插槽,另一个 0 槽带有 5 个仪器插槽和 4 个不带 P2 连接器的标准 VME 总线插槽。

1.2.3.2.1 P2 连接器定义

如上所述,VXI 总线定义了 P2 和 P3 连接器的所有引脚,P2 连接器增加了 10 MHz ECL 时钟、ECL 和模拟电源、ECL 和 TTL 触发线、模拟相加总线、模块识别线、具有菊花链结构的本地总线。触发线作为 VXI 总线子系统仪器间的信号资源,本地总线常用于相邻槽的多模块仪器中。本地总线菊花链

留给生产厂家定义,允许传输多种信号,包括 TTL、ECL、低电压模拟信号、最大 42V 的模拟信号。靠近前面板的机械锁键指示本地总线的类型,防止不兼容类型。本地总线的典型应用包括产生内部模拟总线,或连接处理器的信号,P2 连接器上共有 24 根本地总线信号线、12 根信号输入线、12 根信号输出线,这样就形成了与相邻插槽的 12 位总线。

1.2.3.2.2 P3 连接器定义

VXI 总线 P3 连接器增加了 P2 连接器上的相同资源类型,主要是面向更高级的仪器,其中包括 100 MHz 时钟和同步信号,附加的电源引脚,更多的 ECL 触发线,本地总线的另外 28 根线。另外还定义了星形总线,星形总线可使精确 ECL 信号通过类似于交叉点开关的 0 槽传送,这保证了在不考虑模块位置的前提下,在模块间进行精确定时触发。

1.2.3.3 VXI 总线系统体系结构

VXI 总线设备协议定义了 VME 总线地址空间内模块怎样保证互不冲突。典型情况下一个设备就是一个模块,但这也并不一定,在一个模块上可有几个设备,一个设备也可由几个模块构成。一个 VXI 系统中可有 256 个设备,其逻辑地址从 0~255。VXI 总线系统定义了 A16、64 K 地址空间的高 16 K 空间,在这个空间中,每个设备保证有 64 个字节,这对许多简单仪器已足够了。如果设备需要更大的空间,可在 A16 地址空间定义的寄存器中指出所需地址空间数目,在加电后,资源管理器读出该值,然后在设备的偏移寄存器中写入新的 VME 总线地址,满足其要求的地址空间,这种方法将设备额外所需的存储空间定位于 A24(16M 字节)或 A32(4G 字节)地址空间中。如果在系统中使用了 VME 总线插卡,资源管理器必须将 VXI 总线设备定位于标准 VME 总线插卡所用的地址空间附近。

高层通信允许更多的生产厂家享有接口模块和其他设备。

1.2.3.4 VXI 总线规范构成

在结构上,VXI 总线规范与 VME 总线规范 C.1 版本的大部分内容平行,其中一些章条的名称与 VME 总线规范的章条名称相同,其他部分服务于主题而并不局限于 VME 总线规范,VXI 总线规范不仅仅只包含与 VXI 总线一致的规则,也包含设计的提示、建议等。规则、推荐、建议和注意的格式与 VME 总线规范相同,使用者在有了经验后可以相应地忽略一些部分。

1.3 文件构成

本标准按章条组织,每一章条讨论系统实现的特定的相互独立的内容,在与其他标准相并行的部分(如 VME 总线规范),给出了对应的编号,在最后给出了包括分类和扩展信息的附录。

1.4 规范的目标

本标准定义了一组规则和推荐内容,用以构成与 VXI 总线的接口。规范包括了从简单的基本硬件设计,如板的尺寸,到推荐的通信协议。本标准的目标如下:

- a) 允许设备间以明确的方式通信;
- b) 有助于减小标准堆叠式仪器系统的尺寸;
- c) 通过使用功能相似的通用接口,使得在测试系统集成中软件成本降低;
- d) 通过采用高性能宽带通道进行模块间的通信,以提高测试系统的吞吐量,同时,采用了一些有助于提高系统吞吐量的新的通信协议;
- e) 提供可用于军用 IAC (Instrument on a Card) 系统的设备;
- f) 采用虚拟仪器技术,使测试系统具有新的功能;
- g) 定义了在本标准框架内实现多模块仪器的方法。

1.5 规范结构术语定义

下列术语用于本标准条目标题,表示该条目内容。

1.5.1 规则 rule

为确保系统内插件的兼容性必须遵守的规定,用“应(该)”或“不应(该)”表示。

1.5.2 推荐 recommendation

为避免发生问题并获得最佳性能,必须遵守这些忠告。

推荐的内容是一些影响设备最终使用性能的忠告,包括某些特殊设备提高吞吐量的讨论和为避免发生问题和获得最佳性能应遵循的事项等。

1.5.3 建议 suggestion

建议是一种有益的,但不是必须遵守的忠告,建议有助于新的设计人员解决设计中可能出现的疑难问题。

1.5.4 允许 permission

阐明规范中未明令禁止的范围。允许条目保证读者哪些方法是可以采用的,并且这些方法不会产生问题。允许所对应的限定词为“可以”。

1.5.5 注意 observation

阐明规则的含义,提醒容易忽略的事情,解释某些规则的原因。

2 总线构成

这部分列出了对 VME 总线规范增加部分以及推荐使用的部分,在结构编排上与 VME 总线规范相同,2.1~2.7 是对相应的 VME 总线规范的增补,2.8 是 VME 总线规范中没有的新条文。

2.1 引言

VXI 总线对于 VME 规范的配置,在电气机械结构上作为 VME 总线规范的一个子集,在逻辑结构上为一个子集,从而确保所有 VXI 总线系统的兼容性,同样也可使符合 VME 总线规范的电路板在电气性能与机械性能上与 VXI 总线兼容。但是,由于在 VXI 总线规范中定义了 VME 总线的数据传输、仲裁以及中断的子集,因而限制了标准的 VME 产品在 VXI 系统中的应用。另外,电路板尺寸的扩大构成了机械结构的超集。

2.2 数据传输总线(DTB)

2.2.1 地址修改器

推荐 2.2.1:

不要使用 VME 总线地址修改器规定的“用户定义位”。

2.2.2 数据传输应答(DTACK)操作

规则 2.2.1:

在数据选通脉冲变成低电平后,受令者应在 20 μs 内将 DTACK 信号或 BERR 信号拉成低电平。

推荐 2.2.2:

在数据选通脉冲变成低电平后,受令者应在 1 μs 内将 DTACK 信号拉成低电平。

规则 2.2.2:

在数据选通脉冲变成高电平后,受令者应在 5 μs 内释放 DTACK 信号和 BERR 信号。

推荐 2.2.3:

在数据选通脉冲变成高电平后,受令者应在 0.5 μs 内释放 DTACK 信号和 BERR 信号。

2.2.3 总线定时器操作(BTO)

规则 2.2.3:

总线定时器操作时间(BTO)不应小于 100 μs 。

注意 2.2.1:

100 μs 是保证机箱之间通信的最小时间,它使每个机箱可在 20 μs 之内响应数据传输。

2.3 DTB 仲裁总线

规则 2.3.1:

所有单块板和组件板都应使用或允许通过“总线允许”菊花链。

推荐 2.3.1:

仲裁器应在 4 个总线请求/允许级中进行基于优先权的仲裁。

2.4 优先中断总线**规则 2.4.1:**

所有单块板和组件板都应使用或允许通过“中断应答”菊花链。

2.5 公用总线**2.5.1 电源监视器**

电源监视器是 VME 总线的一种功能,该功能为在电源接通时确认 SYSRESET* 线,以及在撤电时使 ACFAIL* 线和 SYSREST* 线迅速占有优先权。虽然这是 VME 总线系统控制器的功能,但当 VXI 设备由主机箱供电时,必须有这种功能。因此,每一个机箱都必须提供这种功能。

规则 2.5.1:

每个 VXI 总线主机箱应提供一个 VME 总线电源监视器。

推荐 2.5.1:

当检测到电源故障时,电源监视器应完成:

在将 SYSREST* 驱动至低电平之前,电源监视器应将 ACFAIL* 驱动为低电平并最少持续 8 ms; 在 +5 V 直流电源降至 4.875 V 以下之前,电源监视器应将 ACFAIL* 驱动为低电平,并最少持续 10 ms。见 VME 总线系统规范(版本 C.1)图 5.4。

2.5.2 电源引脚

电源引脚规范参见 2.8。

2.6 电气规范**规则 2.6.1:**

与 P1、P2 和 P3 连接器相连的所有信号导体应符合 VME 总线规范 C.1 版本 6.1 所述的要求。

2.6.1 P1 连接器

P1 连接器的引脚定义同 VME 总线规范(版本 C.1)。

2.6.2 VXI 总线子系统 P2 连接器

VXI 总线子系统为仪器定义了 P2 连接器外侧的两排引脚功能(即用户定义引脚),中间线排引脚的定义遵循 VME 规范,P2 连接器外侧两排在 VXI 总线系统(不是 VXI 总线子系统)中,允许改变该定义。不过这个改变应按“分段底板”结构进行,在这里其他 VME 总线子系统总线,如 VSB 总线也可以并存。VXI 总线子系统是由系统资源模块按照升序由 0 号槽到 12 号槽来定义的。VXI 总线和 VXI 子系统总线在 VXI 总线规范这一条中交替使用。P2 连接器的引脚定义见表 1、表 2。

VXI 总线 P2 连接器向模块提供资源信息。在 P2 连接器上,VXI 总线增加了:

- a) -5.2 V, -2 V, ± 24 V 和附加的 +5 V 电源;
- b) 10 MHz 差分时钟;
- c) 2 条并行 ECL 触发线;
- d) 8 条并行 TTL 触发线;
- e) 模块识别引脚;
- f) 12 条由生产厂家定义的、连接相邻模块的本地总线;
- g) 50 Ω 终端模拟相加总线。

0 号槽模块作为系统资源,为实现对模块识别引脚的中央控制,将 P2 连接器定义作了修改。在提供这些公用资源的同时,0 号槽模块还可以包含其他设备和仪器。

表 1 P2 引脚定义:1 号槽~12 号槽

引脚号	排 a 信号助记符	排 b 信号助记符	排 c 信号助记符
1	ECLTRG0	+5V	CLK10+
2	-2V	GND	CLK10-
3	ECLTRG1	RSV1	GND
4	GND	A24	-5.2V
5	LBUSA00	A25	LBUSC00
6	LBUSA01	A26	LBUSC01
7	-5.2V	A27	GND
8	LBUSA02	A28	LBUSA02
9	LBUSA03	A29	LBUSC03
10	GND	A30	GND
11	LBUSA04	A31	LBUSC04
12	LBUSA05	GND	LBUSC05
13	-5.2V	+5V	-2V
14	LBUSA06	D16	LBUSC06
15	LBUSA07	D17	LBUSC07
16	GND	D18	GND
17	LBUSA08	D19	LBUSC08
18	LBUSA09	D20	LBUSC09
19	-5.2V	D21	-5.2V
20	LBUSA10	D22	LBUSC10
21	LBUSA11	D23	LBUSC11
22	GND	GND	GND
23	TTLTRG0*	D24	TTLTRG1*
24	TTLTRG2*	D25	TTLTRG3*
25	+5V	D26	GND
26	TTLTRG4*	D27	TTLTRG5*
27	TTLTRG6*	D28	TTLTRG7*
28	GND	D29	GND
29	RSV2	D30	RSV3
30	MODID	D31	GND
31	GND	GND	+24V
32	SUMBUS	+5V	-24V

表 2 P2 引脚定义:0 号槽

引脚号	排 a 信号助记符	排 b 信号助记符	排 c 信号助记符
1	ECLTRG0	+5V	CLK10+
2	-2V	GND	CLK10-
3	ECLTRG1	RSV1	GND
4	GND	A24	-5.2V
5	MODID12	A25	LBUSC00
6	MODID11	A26	LBUSC01
7	-5.2V	A27	GND
8	MODID10	A28	LBUSC02
9	MODID09	A29	LBUSC03
10	GND	A30	GND
11	MODID08	A31	LBUSC04
12	MODID07	GND	LBUSC05
13	-5.2V	+5V	-2V
14	MODID06	D16	LBUSC06
15	MODID05	D17	LBUSC07
16	GND	D18	GND
17	MODID04	D19	LBUSC08
18	MODID03	D20	LBUSC09
19	-5.2V	D21	-5.2V
20	MODID02	D22	LBUSC10
21	MODID01	D23	LBUSC11
22	GND	GND	GND
23	TTLTRG0*	D24	TTLTRG1*
24	TTLTRG2*	D25	TTLTRG3*
25	+5V	D26	GND
26	TTLTRG4*	D27	TTLTRG5*
27	TTLTRG6*	D28	TTLTRG7*
28	GND	D29	GND
29	RSV2	D30	RSV3
30	MODID00	D31	GND
31	GND	GND	+24V
32	SUMBUS	+5V	-24V

2.6.2.1 CLK10 时钟

CLK10 是一个 10 MHz 的系统时钟,它通过 P2 连接器由 0 号槽分配到 1~12 号槽。0 号槽 CLK10 输出信号是差分 ECL 信号,经过底板缓冲,作为单源、单目的差分 ECL 信号分配到各模块插槽。CLK10 在每个插槽位置的底板上也经过缓冲,以便提供模块间良好的隔离,减轻模块负载,见图 1。

规则 2.6.2:

0 号槽 CLK10 时钟标称频率应是 10 MHz,在规定工作温度和时间内,其精度不应低于 $\pm 0.01\%$ 。

推荐 2.6.1:

0 号槽模块的 CLK10 信号允许通过外部频率源产生。

注意 2.6.1:

外部频率源可以使用像铷这样的精密频率参考源,这样有助于多个 VXI 总线主机箱相互同步。

规则 2.6.3:

在转换电平的 50%处测量 CLK10 时钟频率信号时,其占空比应为 $50\% \pm 5\%$ 。

规则 2.6.4:

如果在不同的时钟源间切换 CLK10 信号,那么切换期间最小时钟宽度(不论高电平或低电平)不应小于 30 ns 或大于 10 μ s。连续两次切换极性相同的信号之间的最小时间间隔不应小于 80 ns。

规则 2.6.5:

各插槽的 CLK10 应由各自的底板上的缓冲器输出驱动。

规则 2.6.6:

CLK10 信号应从 0 号槽差分分配。

规则 2.6.7:

底板上的 CLK10 信号的印制线阻抗应设计成 50 Ω 。

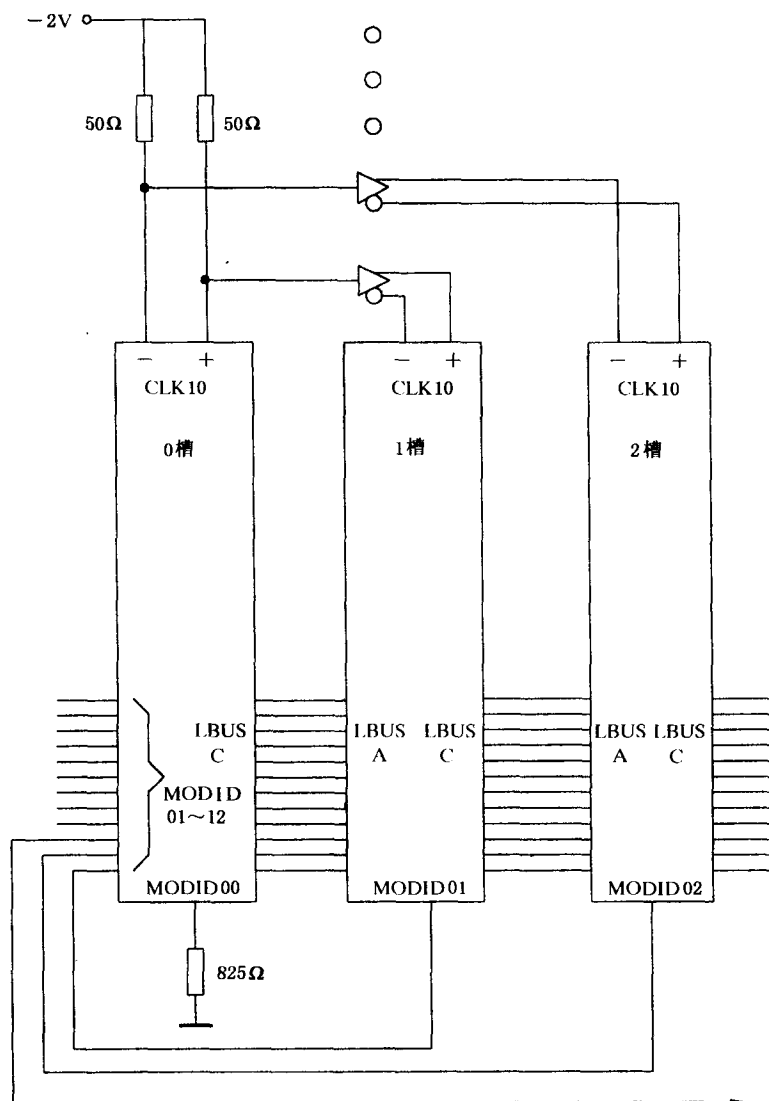


图 1 CLK10, MODID 和 LBUS 底板信号传输路径

规则 2.6.8:

如果模块访问 CLK10 信号,那么它应在 CLK10+ 和 CLK10- 上提供 50 Ω 终端匹配电阻,加上不超过 2 个等效的 ECL 负载。

规则 2.6.9:

CLK10 时钟信号从 0 号槽传输到任何模块的绝对延时不应超过 8 ns。

注意 2.6.2:

在底板上可以使用单端输入缓冲器或差分输入缓冲器缓冲和扇出 CLK10 信号。典型的缓冲器为

10H101 或 10H116。

2.6.2.2 模块识别(MODID)线

MODID 线允许通过物理位置或插槽来识别逻辑设备。这些线源于 VXI 总线 0 号槽模块,分配到 1 号插槽或其他插槽中的模块。每块模块上都有一根识别线,位于 P2 连接器的 A30 引脚。在一个配置完整的 VXI 总线子系统里,0 号槽通过 12 根 MODID 线与其他模块相连。除了这 12 根线外,0 号槽还有它自己的 MODID 线(MODID00)。MODID 线的用途是:

- 检测插槽中模块是否存在,即使被检测模块已有故障也不例外;
- 识别特定设备的物理位置或插槽号;
- 用指示器或其他方法指示模块的实际物理位置。

每个模块上都有一个与 MODID 线相连的固定接地电阻,0 号槽通过检测 MODID 电平是否被该电阻下拉为地电平来判断插槽中是否有模块。这种方法适用于所有被测模块,而不论该模块是否损坏或是否加电。

设备的插槽号由 0 号槽加以识别,0 号槽模块保持特定的 MODID 线,并查询位于各模块 A16 配置空间内的 MODID 位,以检测所选设备是否存在。

安装在插槽旁边或模块上的指示灯可以指明何时驱动了特定的 MODID 线,这就可以快速识别出包括故障模块在内的任何模块的位置,参见图 2 所示加载和驱动 MODID 线的规则。

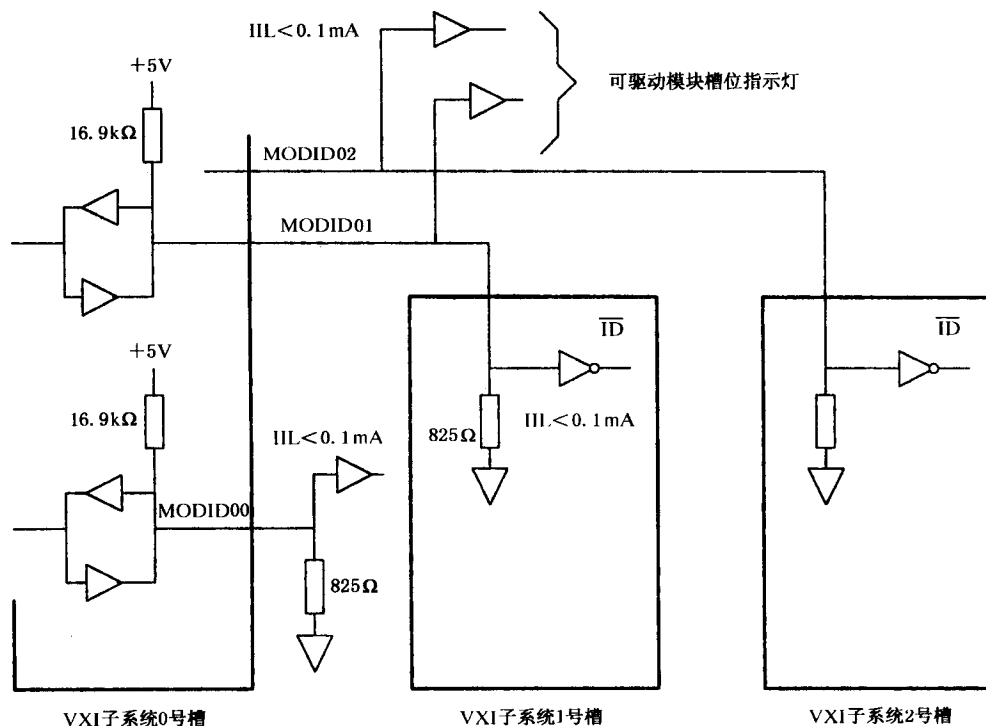


图 2 模块 ID 线

规则 2.6.10:

0 号槽的每个 MODID_{xx} 接收器应遵守 VME 总线规范中关于加载大电流三态线的规定(《VME 总线规范》版本 C.1,规则 6.14)。

规则 2.6.11:

0 号槽的每个 MODID_{xx} 驱动器应遵守 VME 总线规范中关于驱动标准三态线的规定(《VME 总线规范》版本 C.1,规则 6.15)。

规则 2.6.12:

每个 0 号槽模块应在各 MODID 线和 +5 V 电源线间提供一个 16.9 kΩ 的上拉电阻。

规则 2.6.13:

如果一个非 0 号槽模块访问 MODID 线,那么它应提供一个 $825\ \Omega$ 的下拉接地电阻,同时通过其 MODID 线的漏电流应不大于 $100\ \mu\text{A}$ 。

注意 2.6.3:

$16.9\ \text{k}\Omega$ 电阻和 $825\ \Omega$ 电阻是 1% 标准金属膜电阻。

规则 2.6.14:

VXI 总线子系统底板应在 MODID00 线上提供一个 $825\ \Omega$ 的下拉接地电阻。

规则 2.6.15:

底板不应从任何 MODID 线吸收或向任何 MODID 线灌入大于 $100\ \mu\text{A}$ 的漏电流。

允许 2.6.1:

VXI 总线子系统 0 号槽模块可以驱动其 MODID 线来点亮自身的模块位置指示灯。

注意 2.6.4:

当 0 号槽所有的 MODID 线驱动器都被禁止时,可以通过读 MODID00 线的状态来检查 0 号插槽中的模块是否为具有 0 号槽功能的模块。低状态表示该模块在 0 号槽位置,高状态表示该模块在其他插槽位置。

2.6.2.3 TTL 触发线(TTLTRG* 0~7)

TTLTRG* 触发线是用于模块间通信的集电极开路 TTL 线。包括 0 号槽模块在内的任何模块都可以驱动这些线,并从这些线上接收信息。这些线是用于发送触发、握手、时钟或逻辑状态等信号的通用线。在用户通过程序分配之前, TTLTRG* 线一直处于释放(高)状态。本条规定了同步、半同步、异步以及启/停等标准协议。为了补偿由于无源上拉终端引起的较大的上升时间,这些协议分别规定了触发源和触发接收器的时序要求。在传送逻辑状态时,规定了针对时钟沿的建立时间和保持时间。其他协议可以由生产厂家规定。

注意 2.6.5:

VME 总线规范(版本 C.1)为集电极开路线推荐了一个 $100\ \Omega$ 的系统阻抗。虽然 TTLTRG* 线会被端接并满足 VME 总线的驱动和负载要求,但底板上这些 TTLTRG* 印制线的特性阻抗可能非常接近 $50\ \Omega$,这允许 ECL 印制线共享同一底板层,并可保持底板可加工的层数及元件插入的厚度。这不会明显影响 TTLTRG* 线的性能。

规则 2.6.16:

底板应端接所有 TTLTRG* 线,参见 VME 总线规范(版本 C.1)中图 6-2,标准总线终端。

规则 2.6.17:

模块与任何 TTLTRG* 信号线的接口应遵守集电极开路的驱动和加载规定(见 VME 总线规范版本 C.1 6.4.2.5 条)。

规则 2.6.18:

在 SYSRESET* 信号无效后,应在 $1\ \text{s}$ 之内释放所有的 TTLTRG* 线驱动器。

规则 2.6.19:

在单根线组、两根线组或四根线组中,模块应为特定功能分配 TTLTRG* 线。

规则 2.6.20:

如果某模块使用单根 TTLTRG* 线组,那么此模块应由用户编程可与任何 TTLTRG* 线连接。

规则 2.6.21:

如果某模块使用两根 TTLTRG* 线组,那么此模块应由用户编程可与任何确定的 TTLTRG* 线组对连接。确定的 TTLTRG* 线组对是线 0 和线 1,线 2 和线 3,线 4 和线 5 及线 6 和线 7。

规则 2.6.22:

如果某模块使用 4 根 TTLTRG* 线组,那么此模块应由用户编程与任何确定的 TTLTRG* 四根线

组连接。确定的 TTLTRG* 4 根线组是线 0、线 1、线 2 和线 3 及线 4、线 5、线 6 和线 7。

2.6.2.3.1 标准 TTLTRG* 协议

2.6.2.3.1.1 TTLTRG* 同步 (SYNC) 触发协议

TTLTRG* 同步触发协议是一个不需要任何接收器应答的单根线广播触发协议。

规则 2.6.23:

TTLTRG* 同步触发信号源应保持一个最小时间为 T_1 的触发脉冲, 而释放时间最小为 T_2 , 如图 3 所示。

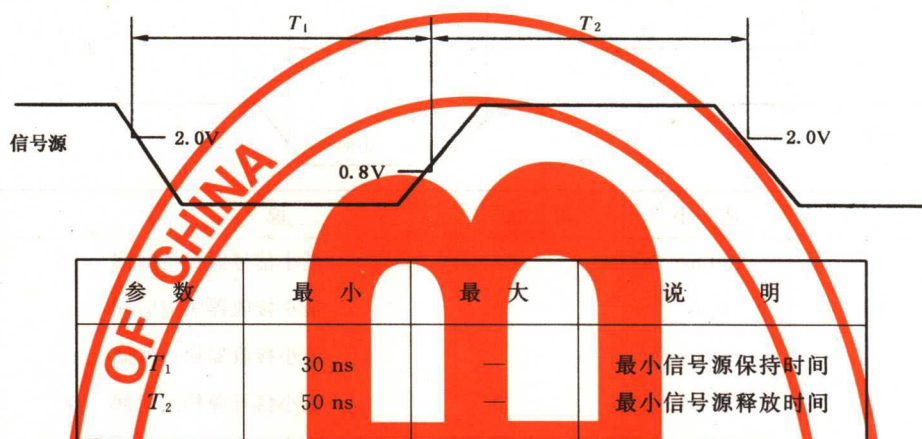


图 3 TTLTRG* 同步触发协议

规则 2.6.24:

TTLTRG* 同步触发接收器应接收任何保持时间不小于 10 ns 的触发脉冲, 且紧跟着一段不小于 10 ns 的释放时间。

2.6.2.3.1.2 TTLTRG* 异步 (ASYN) 触发协议

TTLTRG* 异步触发协议是一个双线单信号源、单接收器协议。信号源通过置位分配的 TTLTRG* 线对中的低编号线开始一次操作, 而接收器则通过置位 TTLTRG* 线对中的高编号线应答。这种触发方式对 VXI 总线模块和外部仪器间的握手, 或对 VXI 总线主机箱之间的握手都是有用的。

规则 2.6.25:

执行 TTLTRG* 异步触发协议的模块应在 TTLTRG* 线对中的低编号线上产生信号。

规则 2.6.26:

执行 TTLTRG* 异步触发协议的模块应在 TTLTRG* 线对中的高编号线上应答。

规则 2.6.27:

如果模块执行 TTLTRG* 异步触发协议, 那么它应满足图 4 所示的时序要求。

规则 2.6.28:

TTLTRG* 异步触发信号源或接收器应接收任何保持时间不小于 10 ns 的触发脉冲, 且紧跟着一段不小于 10 ns 的释放时间。

2.6.2.3.1.3 TTLTRG* 线时钟传送

TTLTRG* 线可以用于时钟信号传送。

规则 2.6.29:

如果某根 TTLTRG* 线用于时钟传送, 那么它应满足 TTLTRG* 同步触发协议中所规定的时序要求。

注意 2.6.6:

在一个满负载的 VXI 总线子系统里, TTLTRG* 触发脉冲上升时间大约为 40 ns, 因此, 采用脉冲下降沿触发。

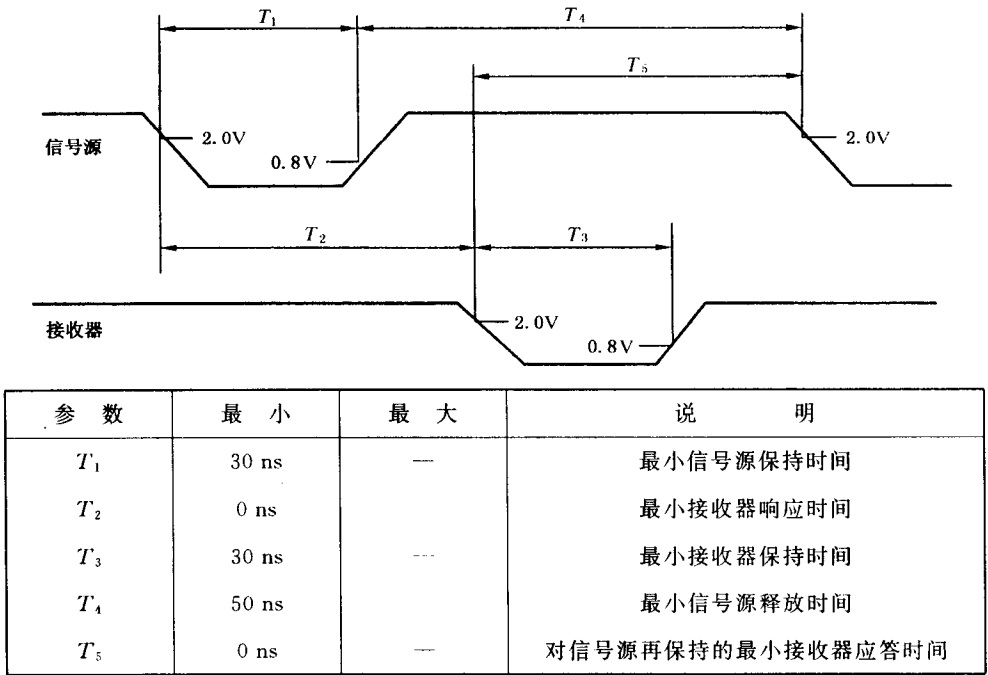


图 4 TTLTRG* 异步触发协议

2.6.2.3.1.4 TTLTRG* 线数据传送

TTLTRG* 0~7 这 8 根线也能用于数据传送, 8 根线中一根可用作时钟线。数据可以与时钟上升沿同步, 或者与时钟下降沿同步, 或者与二者均同步。

规则 2.6.30:

如果信号源用 TTLTRG* 线在时钟下降沿传送数据, 那么该信号源应满足图 5 所示的时序要求。

规则 2.6.31:

如果信号源用 TTLTRG* 线在时钟上升沿传送数据, 那么此信号源应满足图 6 所示的时序要求。

规则 2.6.32:

TTLTRG* 数据接收器应接收建立时间和保持时间都不小于 7 ns 的任何数据。

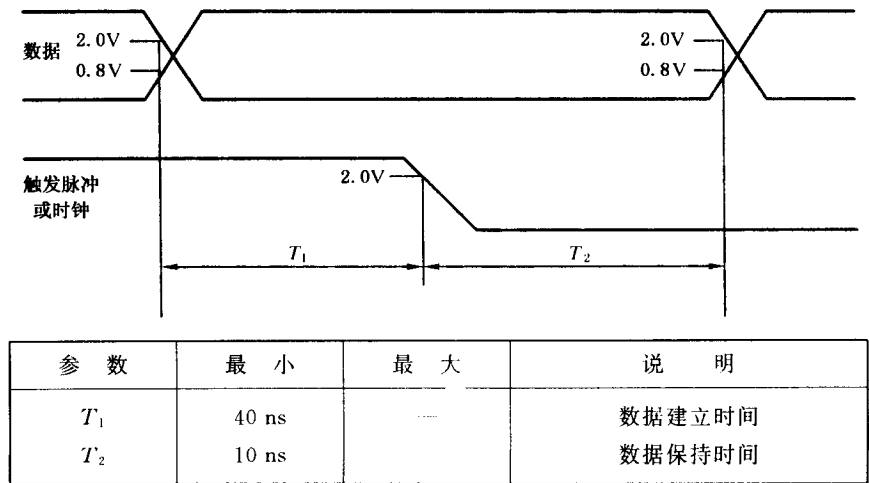


图 5 TTLTRG* 在时钟下降沿上的数据传送

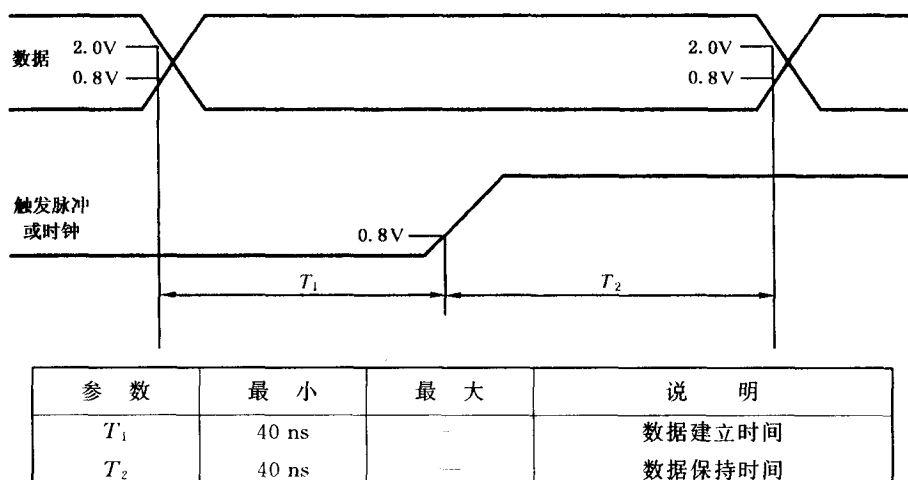


图 6 TTLTRG* 在时钟上升沿上的数据传送

2.6.2.3.1.5 启/停协议(STST)

启/停协议提供了一种同步启动和终止操作一组模块的方法。有一条受 0 号槽模块驱动的“TTLTRG*”线,其状态表示“启动”或“停止”操作。划归为一组的所有模块,在下一个 CLK10 时钟的上升沿,都同步地响应这条线。0 号槽模块应该用 CLK10 时钟来同步启/停信号,以保证所有接收器的建立时间和保持时间。这需要 0 号槽中的仲裁器来同步外部事件。

规则 2.6.33:

如果模块执行 STST 协议,那么启/停线应由用户编程来与任何 TTLTRG* 线连接。

规则 2.6.34:

如果 0 号槽模块执行 STST 协议,那么它应满足图 7 所示的时序要求。

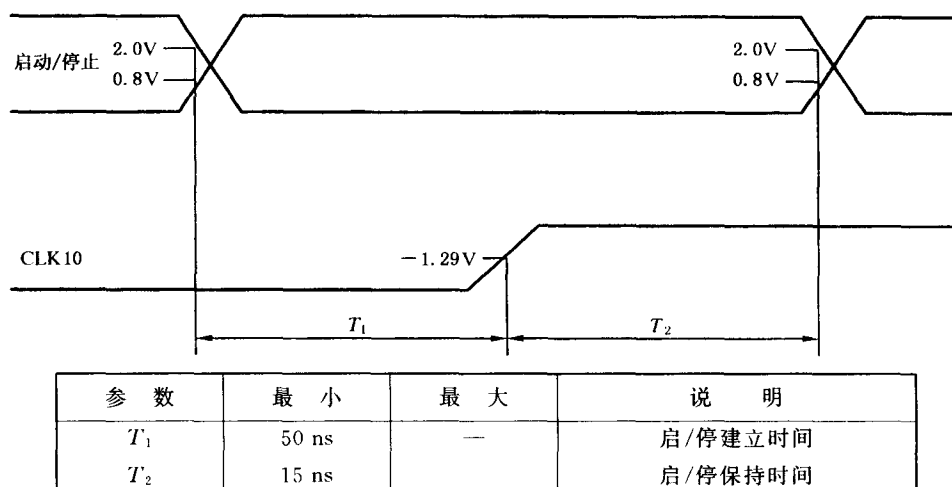


图 7 TTLTRG* 启/停时序

规则 2.6.35:

TTLTRG* STST 信号接收器应接收建立时间和保持时间都不小于 7 ns 的任何 STST 命令。

规则 2.6.36:

在执行 STST 协议时,“启动”信号应由启/停 TTLTRG* 线的低(保持)状态表示。“停止”信号应由启/停 TTLTRG* 线的高(释放)状态表示。

2.6.2.3.1.6 外部触发缓冲

注意 2.6.7:

根据 TTLTRG* 加载和驱动规定要求,将 TTLTRG* 线扩展至主机箱外时需要进行缓冲。