

自动测试领域的最新进展

VXI 总线测试系统

中国计算机自动测量与控制技术协会编译

宇航出版社出版

目 录

第一章 VXI 总线系统介绍	1
1.1 引言	1
1.2 VME 总线基本知识	2
1.3 VXI 总线扩展	2
1.4 VXI 总线规范目的	4
1.5 关键词	4
第二章 VXI 总线系统的总线构成	6
2.1 引言	6
2.2 数据传输总线	6
2.3 数据传输总线仲裁总线	7
2.4 优先中断总线	7
2.5 公用总线	7
2.6 电气规范	7
第三章 VXI 总线系统的机械规范	33
3.1 引言	33
3.2 模件规范	33
3.3 主机箱规范	53
第四章 VXI 总线系统配电及电磁兼容性 (EMC)	62
4.1 引言	62
4.2 配电	62
4.3 电源引脚	62
4.4 直流电压规范	62
4.5 供电管理	64
4.6 模件电磁兼容性 (EMC)	65
4.7 建议的测试方法	70
第五章 VXI 总线系统结构	77
5.1 VXI 总线系统配置	77
5.2 VXI 总线通讯层次	78
第六章 VXI 总线系统器件	80
6.1 器件分类	80

6.2 寄存器基器件	96
6.3 存储器器件	98
6.4 消息基器件	99
6.5 扩展器件	118
第七章 VXI 总线系统的器件通讯协议	120
7.1 通讯单元	120
7.2 寄存器基从者控制	120
7.3 消息基从者控制	120
第八章 VXI 总线系统资源	126
8.1 资源管理者	126
8.2 运行时间资源管理	129
8.3 VXI 总线子系统 0 号槽	130
第九章 VXI 总线器件的实现	133
9.1 VXI 总线仪器	133
9.2 488—VXI 总线接口	137
第十章 VXI 总线系统的命令与事件格式	143
10.1 字串行命令	143
10.2 长字串行命令	155
10.3 扩展长字串行命令	156
10.4 协议事件	156
第十一章 VXI 总线系统的动态配置	158
11.1 术语定义	158
11.2 DC 器件要求	158
11.3 DC 系统要求	160
第十二章 VXI 总线系统的共享存储器协议	163
附录 A VXI 总线寄存器域	164
附录 B 背板设计	170
附录 C 对 1.2 版本的支持	173
附录 D 术语汇编	175

第一章 VXI 总线系统介绍

1.1 引言

本书介绍与 VME 总线兼容的模块化仪器—VXI 总线测试系统。

VXI 总线是 VME 总线在仪器领域的扩展—即 VMEbus Extension for Instrumentation 的缩写。VME 总线系统结构概念应追溯到 70 年代末 MOTOROLA 开发 68000 微处理器时期。1979 年底 MOTOROLA 公司公布了一份关于 68000 专用总线的简要说明书，即众所周知的 VERSA 总线。随后又公布了几种版本，最后一种版本是 1981 年 7 月出版的。

在公布 VERSA 总线的同时，一种叫做“EUROCARD 标准”的新的印刷线路板标准（IEC297-3）正处于开发阶段。1981 年 10 月，MOTOROLA、MOSTEK 和 SIGNETICS 宣布他们一致支持一种具有 EUROCARD 模件尺寸、基于 VERSA 总线的插件系列，重新命名为 VME 总线。VME 总线规范已出版了三种版本，最新的一种是 1985 年 4 月出版的 3.1 版本。VME 总线最近已被列为 IEEE 1014 标准。

市场已证明了 VME 总线的开放式系统特性。众多的供应商能提供成千上万种 VME 总线插件。虽然能提供一些最初用于工业过程控制的数据采集插件，但这些 VME 总线插件主要用作计算机专用插件。

对 VME 总线仪器模件已有大量需求，特别是美国国防部门更是如此。虽然 VME 总线背板具有很高的带宽，特别是在数字化测试和数字化信号处理应用方面具有很大优点，但减小自动化测试设备尺寸是促使美国国防部使用 VME 的主要因素。美国空军、海军、陆军已各自有解决这个问题的计划，这就是大家所熟知的 MATE、CASS 和 IFTE 计划。

除了 VME 总线标准本身外，缺乏其它配套标准，这是基于仪器的 VME 总线的最致命的问题。1987 年春，Clorado Data Systems、Hewlett Packard、Racal Dana、Tektronix 和 Wavetek 公司的工程技术代表组成一个特设委员会，他们根据 VME 总线、EUROCARD 标准和 IEEE488.2 等其它仪器标准，制定开放系统结构仪器所必需的附加标准。1987 年 7 月，他们一致宣布支持一种 VME 总线模块化仪器的通用系统结构，命名为 VXI 总线。

VXI 总线规范详细介绍了 VXI 总线兼容部件，如主机箱、背板、电源和模件的技术要求。它的目标是定义一种技术上严格的，以 VME 总线为基础的模块化仪器标准。该标准对所有的仪器厂家是公开的，并与现有工业标准兼容。

VXI 总线规范提供了一种识别每种 VXI 总线器件生产厂家的机械结构。它由 12 位厂家识别号码组成（0-4095），用这些号码可以识别所有 VME 总线模件（参见第 6.1.1.2 条“配置寄存器”）。识别号码单由 VXI 总线联合体保存，公众提出申请后，就可以得到厂家识别号码。分配给生产厂家的号码是从 4095 开始往下递减的。

VME 总线系统中的总线是 VXI 总线系统的重要部分，其系统结构和工作原理对深入掌握本书内容很有意义。因此，在研究 VXI 总线结构之前，读者应熟悉 VME 总线。

1.2 VME 总线基本知识

VME 总线是一种开放式系统结构, 虽然目前在仪器领域有一定的应用, 但它主要是针对计算机系统的。VME 总线模件大约 6 英寸 * 深, 并有 4 英寸和 9 英寸两种高度。VXI 总线规范将这两种模件分别称为 A 型尺寸和 B 型尺寸模件。EUROCARD 标准规定了精确尺寸, 该标准介绍了印刷线路板系列及其有关的 DIN 连接器位置。VME 模件插槽间的间距设计为 0.8 英寸。A 型尺寸板有一个单独的 96 根引脚的连接器, 称为 P1 连接器, 而 B 型尺寸板可以包括一个 P1 和一个 P2 连接器。这些连接器中的每一种都是由三行 32 根引脚组成, 每根引脚之间的中心距为 0.1 英寸。一般情况下, 这些插件都是垂直插入机箱内, 其 P1 连接器距机箱顶部最近。VME 总线和 VXI 总线都不考虑实际方向, 因为方向只是个实现的问题, 而并不是兼容性所必需的。已经设计了许多允许水平插进插件的 VME 总线系统。

VME 总线规范允许最多可设置 21 块模件。但是, 如果想把模件垂直插入装在标准 19 英寸机柜内的主机箱中, 那么实际上最多只能设置 20 块模件。VME 总线没有为扩展机箱或机架与机架间的通讯作特有的准备。通过采用在电气上具有缓冲作用的 VME 总线(这要以损失机箱间一些带宽为代价), 或采用含有潜在 VME 总线系统结构的标准数据通讯链, 能组建多机箱系统。VME 总线没有规定电导或辐射的 EMC (电磁兼容性) 要求, 也没有规定功耗限制或机箱冷却要求。VME 总线把这些问题留给了系统综合设计人员, 而 VXI 总线比较严密地解决了这些问题。

虽然 VME 总线接口在电气和逻辑上类似于 68000 微处理器, 但对它只作概括性的规定, 因为它不依赖任何特定的微处理器, 并且包括 80386 在内的许多微处理器已在 VME 总线上得到支持。许多较简单的 VME 总线插件根本没有微处理器。

小规模 VME 总线系统只需要 P1 连接器。所有握手、仲裁和中断支持均安排在 P1 连接器上, P2 用于将系统地址和数据扩展到 32 位 (A32 和 D32)。P1 支持 16 位和 24 位寻址 (A16 和 A24), 以及 8 位和 16 位数据路 (D08 和 D16)。A32 和 D32 所必需的附加线位于 P2 连接器中行, 而外边的两行是由用户定义的。一般情况下, 这些未定义的引脚用于接口连接, 如允许模件驱动装有连接器的机箱设备、存取内部磁盘驱动信号、或提供模件与模件间的通讯。VSB (VME 总线子系统总线) 是标准“子系统总线”, 它定义了 P2 作为附加通讯路, 用于高达 6 个模件间的通讯。在任何一个 VME 总线系统里, 可以存在多个 VSB。注意到这一点非常重要, 因为 VXI 总线定义一个最多可具有 13 个模件的子系统, 与 VSB 一样, 在一个 VXI 总线系统中, 可以存在多个 VXI 总线子系统。

1.3 VXI 总线扩展

VXI 总线完全保留了 VME 总线定义的 P1 连接器及 P2 连接器的中行。其中包括 P1 连接器上的 5V 和 $\pm 12V$ 电源引脚, 以及 P2 连接器上的附加 5V 电源引脚。VXI 总线包括 A 型和 B 型尺寸模件, 这两种模件完全保留了与 VME 总线的兼容性。但是 VXI 总线仪器对 VME 总线进行了实质性的补充, 这些仪器最好称为机电高级仪器或逻辑子仪器。

* 1 英寸 = 25.4 毫米

1.3.1 VXI 总线模件

VXI 总线增加了二种大约 13 英寸深的 EUROCARD 尺寸模件，称为 C 型和 D 型尺寸模件。这些模件分别为 9 英寸和 14 英寸高，定位在 1.2 英寸的中心距处。C 型尺寸模件的高度与 VME 总线 B 型尺寸的相同，且 C 型尺寸模件可以应用 P1 和 P2 连接器。D 型尺寸模件是 EUROCARD 板三倍高，它在 P1 和 P2 连接器基础上又增加了 P3 连接器。1.2 英寸的模件宽度，可以确保灵活组建高密度仪器模件，同时确保足够的空间以在模件两侧安装屏蔽板并插入任选的机箱屏蔽板。如果允许将较短而窄的 A 型和 B 型尺寸模件安装在完整的模件携带板或适配器上，那么 1.2 英寸模件宽度还具有允许与 A 型和 B 型尺寸模件高度兼容的额外好处。如果给予携带板 / 适配器高度兼容性，那么它们还可以对标准 VME 总线插件的两侧进行屏蔽。

1.3.2 VXI 总线子系统

VXI 总线系统器件可以多达 256 个，其中可以包括一个或多个 VXI 总线子系统。VXI 总线子系统由一个称为 0 号槽的中央定时模件及最多达 12 块的附加仪器模件组成。在 VXI 总线子系统里，明确定义了 P2 和 P3 连接器。当将这 13 块模件垂直安装在 1.2 英寸的中心距处时它们很方便地填满 19 英寸标准机箱。许多 VXI 总线系统仅由带有这 13 块模件的单个机箱组成。公用配置系统将把系统资源装进 0 号槽模件，例如管理 VXI 总线的定时发生器、VME 总线所需的系统控制器功能以及 IEEE 488 或 RS-232 数据通信口等。0 号槽还包括任选的仪器。其余位置都是用户用于混装和匹配模件的通用插槽。单个 VXI 总线子系统可以有少于 12 个的附加插槽，但不许多于 12 个。在 VXI 总线系统里，可以进行 VXI 总线子系统的任何组合。例如，一个 VXI 总线系统可以由下述三个机箱组成：由一个 0 号槽和 12 块 VXI 总线模件组成的第一个机箱，扩展到由一个 0 号槽和三个相邻仪器槽组成的第二个机箱，再扩展到由一个 0 号槽、5 个仪器槽、4 个未定义 P2 连接器的标准 VME 总线组成的第三个机箱。

1.3.2.1 P2 连接器定义

如前所述，VXI 总线子系统规定了 P2 和 P3 所有引脚的用途。VXI 总线的 P2 连接器增加了一个 10MHz 的差分时钟、数个 ECL 和模拟电源电压、数个 ECL 和 TTL 触发线、一条模拟相加总线、一条模件识别总线、以及称为本地总线的菊花链结构。触发线主要用作 VXI 总线子系统仪器之间的信号传输，而本地总线则用于多模件仪器内部信号传输（在相邻槽之间）。菊花链本地总线的用途留给模件生产厂家规定，并允许几种电气信号。所允许的信号是 TTL、ECL、低压模拟量和高达 42V 模拟量。在面板附近表示模件本地总线类别的一种键控机构能防止偶然安装在附近的不兼容类模件插入，以免破坏性情况发生。本地总线的标准使用可包括建立内部模拟总线或者用于一系列数字信号处理器。P2 上共有 24 条本地总线引脚。每个插槽有 12 条进线和 12 条出线。这 24 条进、出线可通过邻近插槽，也可不通过邻近插槽。

1.3.2.2 P3 连接器定义

VXI 总线 P3 连接器类似上面所述的 P2 连接器，但又附加了许多相同类型的信号源。P3 主要针对高性能仪器的需要。P3 包括 100 MHz 差分时钟和对该时钟沿进行选择的同步信号、相同电源电压的附加电源引脚、更多的 ECL 触发线和菊花链本地总线所用的 24 条附加线（48 条引脚）。P3 连接器上还定义了一个“星形”触发系统，通过起交叉

点开关作用的 0 号槽发送精确的 ECL 触发信号。这就能非常准确地完成模件间匹配触发定时，而不必考虑模件的位置。

1.3.3 VXI 总线系统结构

VXI 总线器件协议对模件如何使用与 VME 总线地址空间不冲突的部分作了规定。一般情况下，一块器件就是一块单独模件，但这并不是硬性规定，在一块单独的模件上可以存在数块器件，而且单块器件也可以由多个模件组成。256 个器件可以存在于任何一个 VXI 总线系统中，由 0 至 255 个逻辑器件地址指定。VXI 总线系统配置空间定义在 64K A16 地址空间顶部 16K 内。每个器件在这个地址空间内占有 64 字节，这足以满足许多比较简单的器件要求。要求附加地址空间的器件在 A16 地址空间所定义的寄存器内置放可读的地址要求。“资源管理者”在电源接通后很快就读出这个数值，然后通过把模件新的 VME 总线地址写入器件的偏移寄存器来分配所要求的存储器空间。这种方法就把器件附加的存储空间定位在 A24 (16M 字节) 或者 A32 (4G 字节) 地址空间内。如果目前把 VME 插件用到系统中，那么“资源管理者”就必须把 VXI 总线器件定位在标准的 VME 总线插件所占据的地址空间周围。

VXI 总线系统定义了较高层次的通讯协议，允许共享由多个厂家制造的接口模件和其它器件。

1.3.4 关于 VXI 总线规范结构

在结构上，VXI 总线和 VME 总线 3.1 版规范是非常地类似。VXI 总线规范的某些章、条与 VME 总线某些章、条的标题相同；其余部分专用于 VME 总线未涉及的内容。VXI 总线文本比所需要的符合 VXI 总线规则的内容要多，包括提供设计极限值和建议，以帮助设计者设计兼容部件。规范中使用了与 VME 总线相同的“规则”、“推荐”、“建议”、“注意”等关键词。

1.4 VXI 总线规范目的

VXI 总线规范规定了一系列“规则”和“推荐”内容，用于构成 VXI 总线系列接口部件。VXI 总线规范目的如下：

1. 可以使器件以明确的方式通讯；
2. 可以使系统比机箱堆叠式的减小物理尺寸；
3. 由于在测试系统整体上采用公共接口，从而使软件成本比有类似能力的系统有所下降；
4. 通过使用器件间通信的高通带信道和使用特别设计的提高吞吐量的方法，为测试系统提供高的系统吞吐量；
5. 提供可用于军事卡式仪器系统的测试设备；
6. 通过使用虚拟仪器，提供测试系统执行新功能的能力；
7. 定义在这个标准的体制内，如何实现多模件仪器。

1.5 关键词

本书的许多段落用下列关键词来表示内容：

规则：规则是必须要遵守的，以确保系统内插件的兼容性。规则用词“必须”和“不许”

来表示。这些词除了表示规则外，不用于任何其它用途。

推荐：推荐是对执行人员提出的忠告，这些执行人员会影响器件的最终使用。推荐中，会对提高输入输出能力的特殊硬件提出讨论。为避免发生问题，和获得最佳性能，必须遵守这些忠告。

建议：建议包含着有益的忠告，但不是必不可少的。在否决它之前，鼓励读者考虑该忠告。建议可帮助新设计人员解决设计中的可能出现的疑难问题。

允许：允许用来澄清某些规范未明令禁止部分，它使读者放心，可以接受某些方法，而不会产生问题。“可以”这个词是为表示允许而保留的。

注意：注意表示规则的含义，并对稍不留心就可能忽略的事引起注意。它们还在某些规则后面给出了需理解的内容，这样读者能明白为什么要遵守规则。

第二章 VXI 总线系统的总线构成

在 VXI 总线系统中, 命令、数据、地址和其它消息都是通过总线传递的。因此, 了解总线构成及其协议是掌握 VXI 总线系统的基础。

2.1 引言

VXI 总线系统的各种总线都被印制在主机箱内的背板上, 通过 P1、P2、P3 连接器与器件连接。每个连接器都有 96 个引脚, 分成 A、B、C 三行, 每行 32 个引脚。如果连接器竖放, 则从插座的正面看去, A、B、C 三行分别处于左、中、右位置。

VXI 总线系统保留了 VME 总线系统中的总线部分, 并有所扩展以适应仪器系统的需要。从功能上分, VXI 总线系统共有以下 8 种总线:

1. VME 计算机总线;
2. 时钟和同步总线;
3. 模件识别总线;
4. 触发总线;
5. 相加总线;
6. 本地总线;
7. 星形总线;
8. 电源线;

本章对上述总线及其协议分别进行介绍。

2.2 数据传输总线

2.2.1 地址修改器

推荐 1:

推荐那些在 VME 总线规范中列出的、由“用户定义的”、未使用的地址修改器。

2.2.2 数据传输应答 (DTACK*) 操作

规则 1:

在数据选通脉冲变成低电平后, “从者”必须在 $20\mu\text{s}$ 内将 DTACK* 信号或 BERR* 信号拉成低电平。

推荐 2:

在数据选通脉冲变成低电平后, “从者”应在 $1\mu\text{s}$ 内将 DTACK* 信号拉成低电平。

规则 2:

在该数据选通脉冲变成高电平后, “从者”必须在 $5\mu\text{s}$ 内释放 DATCK* 信号和 BERR* 信号。

推荐 3:

在该数据选通脉冲变成高电平后, “从者”应在 $0.5\mu\text{s}$ 内释放 DTACK* 信号和 BERR* 信号。

2.2.3 总线定时器操作

规则 3:

“总线定时器”必须 BTO (>100)。

注意 1:

BTO (100) 最小容量限制考虑了机箱之间的通讯。这是存在余量的, 因为每个机箱都有可能用 $20\mu\text{s}$ 时间来响应数据传输。

2.3 数据传输总线仲裁总线

规则 4:

所有单块板和组件板都必须使用或通过“总线允许”菊花链线。

推荐 4:

仲裁器应在 4 个总线请求 / 允许级中执行基于仲裁的优先权判别。

2.4 优先中断总线

规则 5:

所有单块板和组件板都必须使用或通过“中断应答”菊花链线。

2.5 公用总线

2.5.1 电源监视器

规则 6:

每个 VXI 总线主机箱必须提供一个 VME 总线“电源监视器”。

推荐 5:

当探测到电源故障时, 在将 SYSRESET* 信号驱动至低电平之前的最少 8ms 之内, 以及在 +5V 直流电源降至 4.875V 以下之前的最少 10ms 之内, 电源监视器应将 ACFAIL* 信号驱动至低电平。

2.5.2 电源引脚

电源引脚规范参阅第四章“VXI 总线系统配电及电磁兼容性 (EMC)”。

2.6 电气规范

规则 7:

P1、P2 和 P3 连接器上的所有导体都必须满足 VME 总线 3.1 版本第 6.1 条的电气规范要求。

2.6.1 P1 连接器

P1 连接器应和 VME 总线规范 (3.1 版本) 中定义的保持一致。

2.6.2 VXI 总线子系统 P2 连接器

VXI 总线子系统总线由一个定义为 0 号槽的系统源模件及多达 12 个插槽号依次增加的相邻模件组成。在本条 VXI 总线规范中, VXI 总线和 VXI 子系统总线可互换使用。

VXI 总线 P2 连接器把信息传送到模件, 特别是把信息传送到仪器。在 P2 连接器上, VXI 总线增加了:

-5.2V, -2V, $\pm 24\text{V}$ 和附加的 +5V 电源;

10MHz 差分时钟;

2 条平行 ECL 触发线;

8 条平行 TTL 触发线;

模件识别引脚;

12 条由生产厂家定义的、连接相邻模件的本地总线;

50 Ω 终端模拟相加总线。

0 号槽模件的功能是作为一个系统源模件, 且 P2 连接器引脚功能有所改变, 便于识别各个模件。在提供这些公用资源的同时, 0 号槽模件还可以包含其它器件和仪器。

2.6.2.1 CLK10 时钟

表 1 P2 引脚定义: 1—12 号插槽

引脚号	a 行信号 助记符	b 行信号 助记符	c 行信号 助记符
1	ECLTRG0	+5V	CLK10+
2	-2V	GND	CLK10-
3	ECLTRG1	RSV1	GND
4	GND	A24	-5.2V
5	LBUSA00	A25	LBUSC00
6	LBUSA01	A26	LBUSC01
7	-5.2V	A27	GND
8	LBUSA02	A28	LBUSC02
9	LBUSA03	A29	LBUSC03
10	GND	A30	GND
11	LBUSA04	A31	LBUSC04
12	LBUSA05	GND	LBUSC05
13	-5.2V	+5V	-2V
14	LBUSA06	D16	LBUSC06
15	LBUSA07	D17	LBUSC07
16	GND	D18	GND
17	LBUSA08	D19	LBUSC08
18	LBUSA09	D20	LBUSC09
19	-5.2V	D21	-5.2V
20	LBUSA10	D22	LBUSC10
21	LBUSA11	D23	LBUSC11
22	GND	GND	GND
23	TTLTRG0*	D24	TTLTRG1*
24	TTLTRG2*	D25	TTLTRG3*
25	+5V	D26	GND
26	TTLTRG4*	D27	TTLTRG5*
27	TTLTRG6*	D28	TTLTRG7*
28	GND	D29	GND
29	RSV2	D30	RSV3
30	MODID	D31	GND
31	GND	GND	+24V
32	SUMBUS	+5V	-24V

CLK10 是一个 10MHz 的系统时钟, 它源于 P2 连接器 0 号槽, 分配至 1 至 12 号插槽的 P2 连接器上。0 号槽输出是差分 ECL, 它在背板上被缓冲, 并作为单源、单目的差

分 ECL 信号分配至各模件插槽。对每个插槽位置 CLK10 时钟在背板上各自被缓冲以便提供模件间良好的隔离，因此，放宽了对模件的负载规定标准，参见图 1。

规则 8:

来自 0 号槽的 CLK10 时钟频率必须是 10MHz，在超过其规定的工作温度和时间时，它的精度必须不低于 $\pm 100\text{ppm}$ (.01%)。

推荐 6:

0 号槽模件应该允许 CLK10 时钟来自于外部频率源。

注意 2:

外部频率源可允许使用精确频率参考源，如铷标准，这会有助于多个 VXI 总线主机箱同步。

表 2 P2 引脚定义: 0 号插槽

引脚号	a 行信号 助记符	b 行信号 助记符	c 行信号 助记符
1	ECLTRG0	+5V	CLK10+
2	-2V	GND	CLK10-
3	ECLTRG1	RSV1	GND
4	GND	A24	-5.2V
5	MODID12	A25	LBUSC00
6	MODID11	A26	LBUSC01
7	-5.2V	A27	GND
8	MODID10	A28	LBUSC02
9	MODID09	A29	LBUSC03
10	GND	A30	GND
11	MODID08	A31	LBUSC04
12	MODID07	GND	LBUSC05
13	-5.2V	+5V	-2V
14	MODID06	D16	LBUSC06
15	MODID05	D17	LBUSC07
16	GND	D18	GND
17	MODID04	D19	LBUSC08
18	MODID03	D20	LBUSC09
19	-5.2V	D21	-5.2V
20	MODID02	D22	LBUSC10
21	MODID01	D23	LBUSC11
22	GND	GND	GND
23	TTLTRG0*	D24	TTLTRG1*
24	TTLTRG2*	D25	TTLTRG3*
25	+5V	D26	GND
26	TTLTRG4*	D27	TTLTRG5*
27	TTLTRG6*	D28	TTLTRG7*
28	GND	D29	GND
29	RSV2	D30	RSV3
30	MODID00	D31	GND
31	GND	GND	+24V
32	SUMBUS	+5V	-24V

规则 9:

在转换电平的 50% 处测量时, CLK10 时钟频率的占空比必须为 $50\% \pm 5\%$ 。

规则 10:

如果 CLK10 时钟在不同时钟源之间进行切换, 那么在切换期间, 最小脉冲宽度 (不论高电平或低电平) 不许小于 30ns 且不大于 $10\mu\text{s}$; 相同极性的两次连续切换之间的最小时间不许小于 80ns。

规则 11:

各插槽的 CLK10 时钟必须由唯一的背板缓冲器输出驱动。

规则 12:

CLK10 时钟必须从 0 号槽差分馈送。

规则 13:

背板 CLK10 时钟馈送印制线路阻抗必须设计成 50Ω 。

规则 14:

如果模块使用 CLK10 时钟信号, 那么它必须在 CLK10+ 和 CLK10- 上提供 50Ω 终端匹配电阻, CLK10+ 和 CLK10- 图 1 CLK10, MODID 和 LBUS 背板信号传输路径带有不超过 2 个等效的 ECL 负载。

规则 15:

从 0 号槽到任何模块, CLK10 时钟的绝对延迟时间不许超过 8ns。

注意 3:

可以使用单端输入缓冲器或差分输入缓冲器进行缓冲, 并在背板上输出 CLK10。典型的器件是 10H101 和 10H116 缓冲器。

2.6.2.2 MODID 线

MODID 线为模块识别线, 它允许通过物理位置或插槽识别逻辑器件。这些线源于 VXI 总线 0 号槽模块, 分配至 1 号槽和更高号槽模块。每块模块有一根识别线位于 P2 连接器的 A30 引脚上。在一个配置最全的 VXI 总线子系统里, 0 号槽与其余模块间共有 12 根 MODID 线相联。除了这 12 根线外, 0 号槽还有它自己的 MODID 线 (MODID00)。MODID 线的用

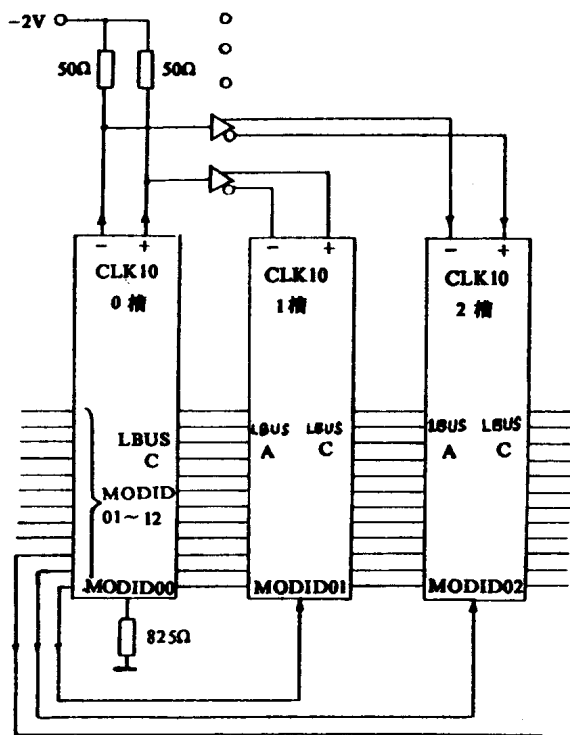


图 1 CLK10, MODID 和 LBUS 背板信号传输路径

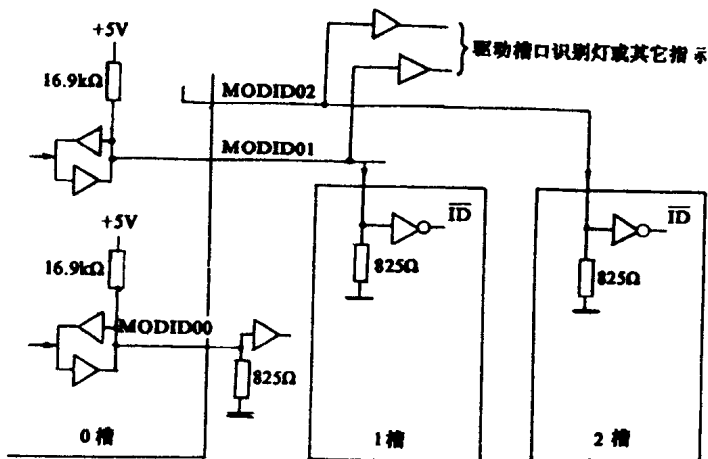


图 2 模块识别 (ID) 线

途是:

- 1.检测插槽中模件的存在与否,即使被检测的模件已有故障;
- 2.识别一个特定器件的物理位置 (插槽号);
- 3.用灯或其它方法指出模件的实际物理位置。

0号槽通过模件上一个固定接地电阻将 MODID 线下拉到地电平来检测模件的存在。这种方法可检测出包括损坏的和不能工作的模件在内的任何模件。

器件的插槽号由 0 号槽加以识别,此 0 号槽模件维持特定的 MODID 线,并在各模件的 A16 自动配置空间定时查询 MODID 位,以检测所选择的器件。

象指示灯这样直观的指示器可以安装在一个插槽的旁边 (或者安装在模件上),用来说明什么时候特定 MODID 线真正被驱动。这可用于快速识别包括故障模件在内的任何模件的位置。参见图 2,它用于说明装载和驱动 MODID 线规则。

规则 16:

每个 0 号槽 MODID_{xx} 接收器必须遵守 VME 总线高电流三态线负载规则 (VME 总线 3.1 版本,规则 6.14)。

规则 17:

每个 0 号槽 MODID_{xx} 驱动器必须遵守 VME 总线标准三态线驱动规则 (VME 总线 3.1 版本,规则 6.15)。

规则 18:

每个 0 号槽器件必须在各 MODID 线和 +5V 电压间提供一个 16.9k Ω 的上拉电阻。

规则 19:

如果一个非 0 号槽模件连至 MODID 引脚,那么它必须提供一个 825 Ω 的下拉接地电阻,并与它的 MODID 线上的小于 100 μ A 的漏电流相并联。

注意 4:

16.9k Ω 和 825 Ω 是 1% 标准金属膜电阻值。

规则 20:

VXI 总线子系统背板必须在 MODID00 线上提供一个 825 Ω 的下拉接地电阻。

规则 21:

背板不许向任何 MODID 线吸收或产生大于 100 μ A 的漏电流。

允许 1:

VXI 总线子系统 0 号槽模件可以驱动其 MODID 线为真,来点亮其本身的模件位置灯。

注意 5:

当所有 0 号槽 MODID 驱动器都禁动时,可以通过读它的 MODID00 线的状态来核实 0 号插槽位置中的 0 号插槽模件的正确位置。低状态表示模件在 0 号槽位置,高状态表示模件在别的插槽位置。

2.6.2.3 TTLTRG0-7* (TTL 触发线)

TTLTRG* 触发线是用于模件间通讯的、集电极开路的 TTL 线。包括 0 号槽模件在内的任何模件都可以驱动这些线,并从这些线上接收信息。它们是为触发器、握手、时钟所使用或发送逻辑状态的通用线。在用户程序控制设定之前, TTLTRG* 线一直处于一种

释放（高）态。本规范规定了一些标准配置方法，定义了同步（SYNC）、半同步（SEMI-SYNC）、异步（ASYNCR）以及启/停（STST）等标准协议。为了补偿由无源上拉终端引起的较大的上升时间，这些协议分别规定了触发源和触发接收器的定时要求。在用于逻辑状态的传送时，规定了针对时钟沿的建立和保持时间，其它协议可以由生产厂家定义。

注意 6:

VME 总线规范 3.1 版本为集电极开路线推荐了一个 100Ω 的系统阻抗。虽然 TTLTRG* 线会终止，并满足 VME 总线的驱动和负载要求，但背板上印制线的特性阻抗可能非常接近 50Ω 。这可使 ECL 印制线能共享同一背板层，并可保持背板可加工的层数及元件插入的厚度，这不会明显影响 TTLTRG* 线的性能。

规则 22:

背板必须终接所有 TTLTRG* 线，正如 VME 总线规范 3.1 版本中图 6-2 “标准总线终接法”的规定。

规则 23:

模件与任何 TTLTRG* 信号线的接口必须遵守集电极开路线的驱动和加载规则（参见 VME 总线规范 3.1 版本，第 6.4.2.5 条）。

规则 24:

在系统复位信号（SYSRESET*）无效后，必须在 1 秒之内释放所有的 TTLTRG* 线。

规则 25:

在 1、2 或 4 组中，模件必须配置 TTLTRG* 线以便定义功能。

规则 26:

如果模件使用单根线 TTLTRG* 组，那么此模件必须是用户可编程的，以便与任何 TTLTRG* 线连接。

规则 27:

如果模件使用两根线 TTLTRG* 组，那么此模件必须是用户可编程的，以便与任何确定的 TTLTRG* 线组对连接。确定的 TTLTRG* 线组对是线 0 和 1，线 2 和 3，线 4 和 5，以及线 6 和 7。

规则 28:

如果模件使用四根线 TTLTRG* 组，那么此模件必须是用户可编程的，以便与任何确定的 TTLTRG* 四根线组连接。确定的 TTLTRG* 四根线组是线 0，1，2 和 3，以及线 4，5，6 和 7。

2.6.2.3.1 标准 TTLTRG* 协议

2.6.2.3.1.1 TTLTRG* 同步（SYNC）触发协议

TTLTRG* 同步触发协议是一个不需要任何接收器应答的单根连线传播触发协议。

规则 29:

TTLTRG* 同步触发信号源必须维持一个最小时间为 T_1 的触发脉冲，而释放时间最小为 T_2 ，如图 3 和表 3 所示。

规则 30:

TTLTRG* 同步触发接收器必须接收任何维持时间 $>10\text{ns}$ 的触发脉冲, 且紧跟着 $>10\text{ns}$ 的释放时间。

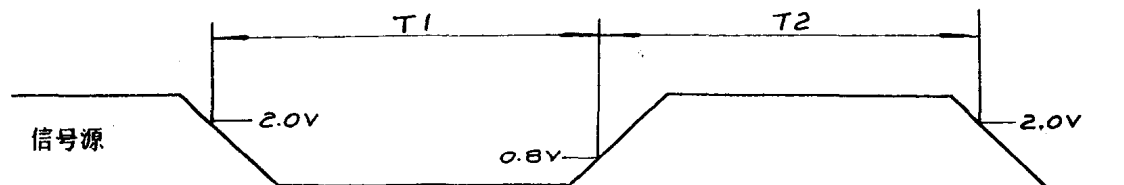


图 3 TTLTRG* 同步 (SYNC) 触发协议

表 3

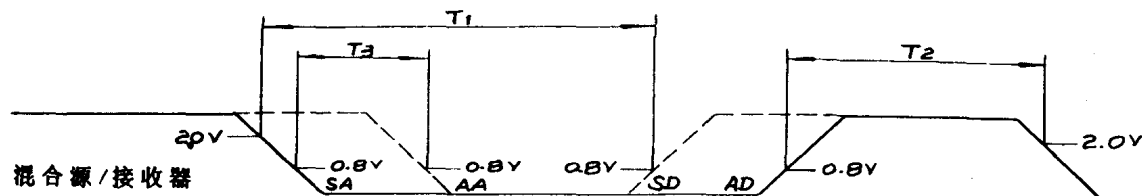
参数	最小	最大	说 明
T1	30ns		最小信号源维持时间
T2	50ns		最小信号源释放时间

2.6.2.3.1.2 TTLTRG* 半同步 (SEMI-SYNC) 触发协议

TTLTRG* 半同步触发协议是一个单根连线传播、多个接收器握手的协议。单信号源发出一个最小时间宽度为 T_1 的触发脉冲, 如图 4 所示。如果该触发脉冲需要应答, 那么接收器在 T_3 时间内也要发出一个触发脉冲, 且在它准备继续进行下一个操作时, 就不再维持该触发脉冲。当信号源和所有接收器都已不再维持触发线时, 信号源承认应答结束。在前一个应答结束, 经过一个最小时间 T_2 之后, 信号源可以重新发出触发脉冲。

规则 31:

TTLTRG* 半同步触发信号源必须满足图 4 和表 4 中所示的参数 T_1 和 T_2 定时要求。



SA: 信号源维持 SD: 信号源释放
AA: 接收器维持 AD: 接收器释放

图 4 TTLTRG* 半同步 (SEMI-SYNC) 触发协议

表 4

参数	最小	最大	说 明
T1	50ns		最小信号源维持时间
T2	50ns		最小释放时间
T3	0ns	40ns	最大接收器响应时间

规则 32:

TTLTRG* 半同步触发信号接收器必须满足图 4 和表 4 中所示的参数 T_3 定时要求。

规则 33:

TTLTRG* 半同步触发信号接收器必须接收任何维持时间 $>10\text{ns}$ 的触发脉冲，且紧跟着 $>10\text{ns}$ 的释放时间。

2.6.2.3.1.3 TTLTRG* 异步 (ASYNC) 触发协议

TTLTRG* 异步触发协议是一个两根线的单信号源、单接收器协议。信号源通过维持配置的 TTLTRG* 线对中的较低编号线开始一次操作。而接收器则通过维持 TTLTRG* 线对中的较高编号线进行应答。这种触发方式对 VXI 总线模件和外部仪器间的握手，或对 VXI 总线主机箱之间的握手都是有用的，如图 4 和表 4 所示。

规则 34:

执行 TTLTRG* 异步触发协议的模件必须只在 TTLTRG* 线对中较低编号的线上产生信号。

规则 35:

执行 TTLTRG* 异步触发协议的模件必须只在 TTLTRG* 线对中较高编号的线上进行应答。

规则 36:

如果模件执行 TTLTRG* 异步触发协议，那么它必须满足图 5 和表 5 所示的定时要求。

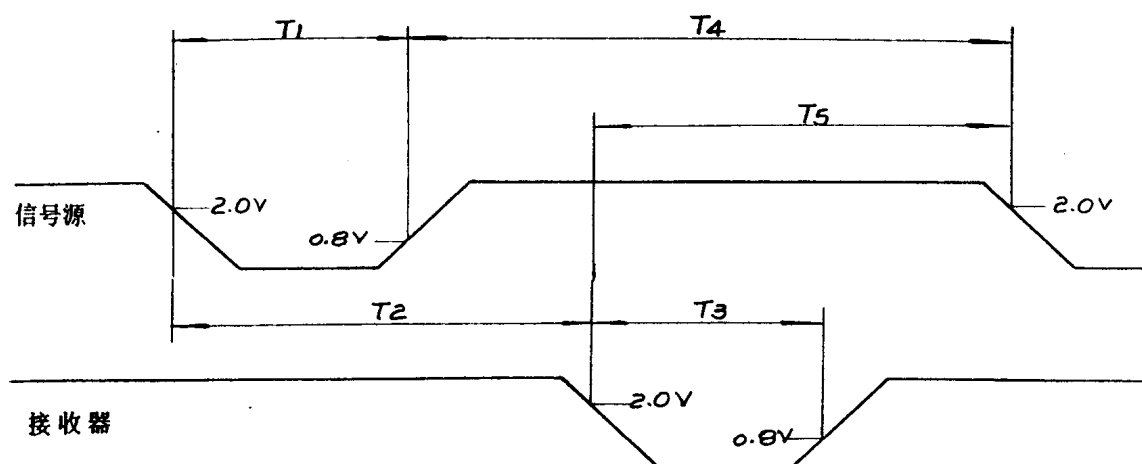


图 5 TTLTRG* 异步 (ASYNC) 触发协议

表 5

参数	最小	最大	说 明
T1	30ns		最小信号源维持时间
T2	0ns		最小接收器响应时间
T3	30ns		最小接收器维持时间
T4	50ns		最小信号源释放时间
T5	0ns		对信号源再维持的最 小接收器应答时间

规则 37:

TTLTRG* 异步触发信号源或接收器必须接收任何维持时间 $>10\text{ns}$ 的触发脉冲，且紧