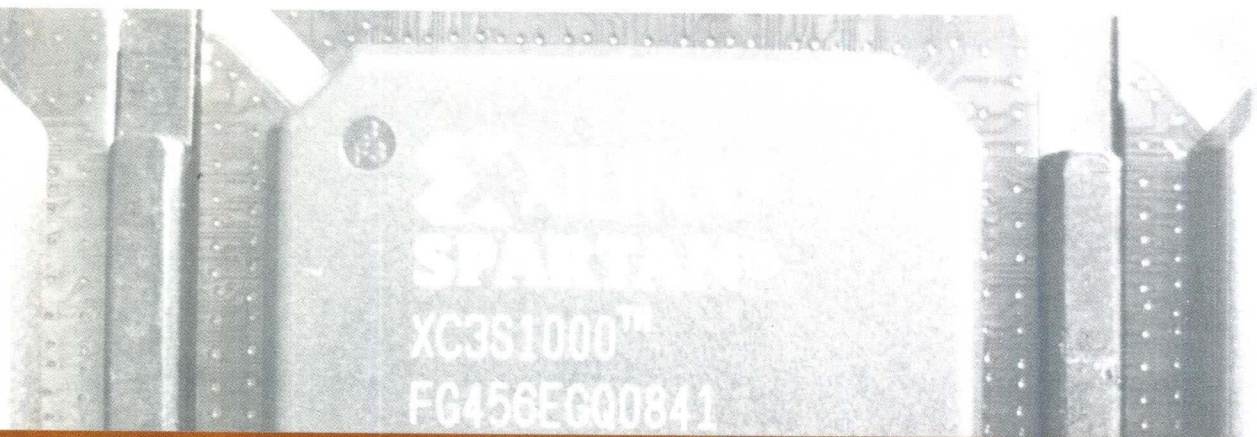


普通高等院校“十二五”规划教材

FPGA

应用实验教程



陈学英 李颖 编著



國防工業出版社
National Defense Industry Press

普通高等院校“十二五”规划教材

FPGA 应用实验教程

陈学英 李颖 编著

国防工业出版社

·北京·

内 容 简 介

本书以 Xilinx FPGA 开发平台为基础,以 VHDL 语言为主要设计手段,以 9 个大型实验项目为案例,系统地讲述了实验所用的硬件开发平台、开发软件、开发语言、开发实验项目等内容。从电子系统方案设计、原理设计、单元模块设计、仿真设计、硬件编程下载及软、硬件调试等方面详述了现代电子设计技术的常用方法与过程。

本书的特点是:实验为主,自成体系,结合 FPGA 自制开发平台及开发项目,应用于实验教学课程,方便实用。书中列举的大量 VHDL 设计示例,均通过了仿真和综合器的编译,其中 9 个大型实验项目都进行了 FPGA 自制实验平台的硬件测试,可直接使用。

本书可作为高等院校的电子工程、通信、工业自动化、计算机应用技术、信号与系统、电子对抗、测控技术、仪器仪表、数字信号处理等学科领域和专业的高年级本科生或研究生的实验教材及实验指导,也可作为相关专业技术人员的自学参考书。

图书在版编目(CIP)数据

FPGA 应用实验教程 / 陈学英, 李颖编著. — 北京:
国防工业出版社, 2013.5
普通高等院校“十二五”规划教材
ISBN 978-7-118-08739-0

I. ①F... II. ①陈...②李... III. ①可编程序逻辑器
件-高等学校-教材 IV. ①TP332.1

中国版本图书馆 CIP 数据核字(2013)第 077334 号

※

国防工业出版社出版发行

(北京市海淀区紫竹院南路 23 号 邮政编码 100048)

北京奥鑫印刷厂印刷

新华书店经售

*

开本 797×1092 1/16 印张 18 字数 430 千字

2013 年 5 月第 1 版第 1 次印刷 印数 1—4000 册 定价 40.00 元

(本书如有印装错误,我社负责调换)

国防书店:(010)88540777

发行邮购:(010)88540776

发行传真:(010)88540755

发行业务:(010)88540717

前 言

随着 FPGA 工艺和设计水平的不断提高,其在数字系统设计中所扮演的角色也从逻辑描述提升到处理核心。目前,FPGA 涵盖了逻辑应用、数字信号处理以及嵌入式三大应用领域。本书主要针对电子信息领域大学二年级及以上的学生,在学习模拟电路、数字电路、计算机基础及数字信号处理等基础课程后,将这些知识进行综合应用设计的实验课程,因此本书重点放在 FPGA 的逻辑应用与数字信号处理领域。

本书的主要内容包括 FPGA 器件、FPGA 硬件设计平台、软件设计工具、VHDL 硬件描述语言的介绍,以及一些典型的项目设计实验。书中的项目实验均在基于 Xilinx 公司的 FPGA 自制实验平台上实现,自制实验平台的设计原理与功能在书中作了详细介绍;可以作为自制 FPGA 实验板开发人员的参考。同时书中的项目设计完整地阐述了项目的方案设计、原理设计、单元模块设计、仿真设计、硬件编程下载及软、硬件调试等全过程,并给出了设计的源程序、仿真参数、仿真结果、综合结果及管脚适配等,以便自学者参考对照。

本书的定位是作为 EDA 技术、FPGA 应用实验或数字系统的 EDA 设计等方面的教材。在编写过程中,遵循基础、实验并重的原则,力图在有限的篇幅内,将 FPGA 设计相关知识简明扼要、由浅入深地进行阐述。编写过程中,融入作者在实验室建设、新实验项目开发、创新及毕业设计指导等实践教学过程中的资源整合,将长期积累的教学、科研资源自成体系,希望能作为同行们的共享资源。

全书共 5 章,各章内容安排如下。

第 1 章对电子技术设计与 FPGA进行综述;第 2 章介绍 FPGA 自制平台的原理、功能与应用;第 3 章介绍 ISE13.4 集成开发软件、ModelSim 仿真、ChipScope 在线测试的使用;第 4 章对 VHDL 语言中的关键技术——VHDL 基本结构、语言要素、基本语句、描述方法等进行了重点介绍;第 5 章以由浅入深的9 个实验项目为主题,从方案到实现详细介绍了 FPGA 项目设计的全过程。

陈学英编写了第 2 章、第 4 章及第 5 章的 4 个实验项目 5.5~5.8 等主要内容,并对全书做了统稿;李颖编写了第 1 章、第 3 章、第 5 章的 5 个实验项目 5.1~5.4 及 5.9 等主要内容。在本书编写过程中得到习友宝教授的大力支持与建议,在此表示感谢。实验项目、实验平台编写过程中,还得到部分同学的帮助与支持,在这里对刘实同学、汪浩同学及王肖洋同学表示感谢。

本书在撰写过程中力求准确、简洁,所有示例程序都经过综合工具或仿真工具验证,所有实验项目都经过硬件平台测试。同时也参考了众多国内外同行的书籍和资料,特别是潘松、王国栋老师编写的电子科技大学出版社出版的《VHDL 实用教程》,在此表示感谢。

FPGA 技术博大精深,且发展迅猛,不可能通过一本书进行全方位的详细介绍,更多的是需要读者自己动手实践,才能掌握 FPGA 设计技术的精髓。由于作者水平有限及时间仓促,书中不妥之处,敬请指正。

作者联系方式:

E-mail: xueyingchen@uestc.edu.cn

编 者

2013 年 2 月于电子科技大学

目 录

第 1 章 电子技术设计与 FPGA	1
1.1 电子技术设计概述	1
1.2 FPGA 器件概述	2
1.2.1 FPGA 基本概念	2
1.2.2 FPGA 基本组成结构	4
1.3 基于 FPGA 的数字系统设计	7
第 2 章 FPGA 硬件实验平台	11
2.1 实验平台简介	11
2.1.1 FPGA 应用实验板功能特点	11
2.1.2 结构模块	12
2.1.3 FPGA 应用实验板硬件实物	12
2.2 实验平台功能详述	13
2.2.1 FPGA 部分	13
2.2.2 配置 PROM 部分	14
2.2.3 复位电路模块	15
2.2.4 LED 显示控制模块	16
2.2.5 数码管显示控制模块	17
2.2.6 按钮开关	17
2.2.7 拨动开关	20
2.2.8 16×16 LED 点阵显示模块	20
2.2.9 UART(RS232) 接口模块	22
2.2.10 温度传感器模块	23
2.2.11 输入电压测试模块	23
2.2.12 压控相位差模块	24
2.2.13 方波频率计输入接口模块	25
2.2.14 外接有源晶体振荡器	26
2.2.15 蜂鸣器驱动模块	26
2.2.16 Nor Flash 存储器模块	26
2.2.17 LCD 显示模块	27
2.2.18 用户自定义 I/O 口	29
2.3 实验平台对外接口说明	29

2.4	实验平台设计文件下载配置	32
2.4.1	直接下载 JTAG 模式	32
2.4.2	第三方存储 PROM 模式	33
第3章	FPGA 软件设计平台	43
3.1	ISE 集成开发环境	43
3.1.1	ISE 软件介绍	43
3.1.2	ISE 软件的安装	44
3.1.3	新建项目	46
3.1.4	新建源文件	47
3.1.5	综合	50
3.1.6	功能仿真	51
3.1.7	设计实现	54
3.1.8	编程下载	54
3.1.9	原理图的画法	58
3.1.10	IP Core 的使用	62
3.2	ModelSim 软件的使用	65
3.2.1	ModelSim 仿真软件的安装	65
3.2.2	ModelSim 使用简介	66
3.3	在线逻辑分析仪 ChipScope 的使用	70
3.3.1	ChipScope Pro 简介	70
3.3.2	在 ISE 中直接调用 ChipScope Pro	71
第4章	硬件描述语言	75
4.1	VHDL 语言程序结构	75
4.1.1	库(LIBRARY)	76
4.1.2	程序包(PACKAGE)	78
4.1.3	实体(ENTITY)	80
4.1.4	结构体(ARCHITECTURE)	86
4.1.5	配置	88
4.2	VHDL 语言要素	89
4.2.1	VHDL 文字规则	89
4.2.2	VHDL 数据对象	91
4.2.3	VHDL 数据类型	95
4.2.4	VHDL 中的表达式	104
4.3	VHDL 基本语句	107
4.3.1	并行描述语句(Concurrent Statements)	107
4.3.2	顺序描述语句(Sequential Statements)	117
4.4	VHDL 语言描述方式	130

4.4.1	行为描述	130
4.4.2	RTL 描述	131
4.4.3	结构化描述	131
第 5 章	实验项目	134
5.1	流水灯设计	134
5.1.1	设计任务与指标	134
5.1.2	设计方案	134
5.1.3	系统设计与仿真	134
5.1.4	系统硬件实现与测试	137
5.2	动态扫描显示设计	138
5.2.1	设计任务与指标	138
5.2.2	设计方案	138
5.2.3	系统设计与仿真	138
5.2.4	硬件实现与测试	143
5.3	数字跑表	143
5.3.1	系统功能要求	143
5.3.2	总体设计方案	144
5.3.3	单元电路设计与实现	144
5.3.4	设计实现	152
5.3.5	系统测试	153
5.4	数字频率计	153
5.4.1	设计任务与指标	153
5.4.2	频率测量方法	154
5.4.3	设计方案	158
5.4.4	系统设计	159
5.4.5	设计实现	173
5.4.6	系统测试	173
5.5	智力抢答器设计	173
5.5.1	实验目的	173
5.5.2	设计任务与指标	174
5.5.3	设计原理与方案	174
5.5.4	设计与仿真	174
5.5.5	系统实现与测试	187
5.6	交通灯控制器设计	188
5.6.1	设计任务与指标	188
5.6.2	设计原理与方案	188
5.6.3	系统设计与仿真	189

5.6.4	系统实现与测试	201
5.7	基于加速度传感器的计步器简易设计	202
5.7.1	实验目的	202
5.7.2	实验任务与要求	202
5.7.3	实验原理与方案	203
5.7.4	加速度传感器电路设计	203
5.7.5	计步器 FPGA 设计	207
5.7.6	加速度传感器计步器的系统调试	212
5.8	FIR 数字滤波器设计	212
5.8.1	实验目的	212
5.8.2	设计任务及要求	213
5.8.3	实验原理与方案	214
5.8.4	滤波器 FPGA 外围 AD/DA 电路设计	215
5.8.5	滤波器 FPGA 内部电路设计	217
5.8.6	滤波器 FPGA 实现与测试	254
5.9	DDS 波形发生器设计	256
5.9.1	设计任务与指标	256
5.9.2	直接数字频率合成技术基础	256
5.9.3	DDS 方案设计	260
5.9.4	软件设计	262
5.9.5	硬件设计	272
5.9.6	系统综合测试	275
附录 DA	及滤波模块完整电路图	277
参考文献	278

第1章 电子技术设计与 FPGA

1.1 电子技术设计概述

随着大规模集成电路技术和计算机技术的不断发展,EDA(Electronic Design Automation)技术已广泛应用在通信、电子信息、计算机应用、仪器仪表、家用电器等领域的电子系统设计工作中,由于 EDA 技术可以使产品的体积大大减小、开发周期大为缩短、性能价格比大幅度提高,因而无论从高端的电子设备到普通的电子产品的开发日益依赖于 EDA 技术的应用,EDA 技术已成为电子设计领域中必不可少的一部分。

EDA 技术是以大规模可编程逻辑器件为设计载体,以硬件描述语言为系统逻辑描述主要表达方式,以计算机、大规模可编程逻辑器件的开发软件及实验开发系统为设计工具,通过开发工具软件,用编程的方式完成电子系统的设计,自动实现系统的逻辑编译,逻辑化简,逻辑分割,逻辑映射,编程下载,最终形成集成电子系统或专用集成芯片的一门新技术。

EDA 技术的发展与可编程逻辑器件的发展和 EDA 开发工具的发展是密不可分的。从 20 世纪 70 年代开始,人们就不断开发各种计算机辅助工具来帮助设计人员进行集成电路和电子系统的设计,集成电路技术的发展不断对 EDA 技术提出新的要求,特别是进入 21 世纪后,更大规模的 FPGA 器件不断推出,EDA 工具功能更加强大、完善,以及 IP 核(Intellectual Property)在电子产业的产业领域、技术领域和设计应用领域得到更广泛的应用,使 EDA 技术得到了更大的发展。近 40 年来,EDA 技术大致经历了四个阶段:

第一阶段,20 世纪 70 年代,可编程逻辑器件只有简单的可编程只读存储器(PROM)、紫外线可擦除只读存储器(EPROM)、电可擦除只读存储器(EEPROM)三种,由于结构限制,它们只能完成简单的数字逻辑功能。这个阶段人们开始用计算机取代手工工作,主要利用开发工具软件实现布线设计、电路模拟、逻辑模拟及版图的绘制,不能进行系统级的仿真和综合,由于缺乏系统级设计的考虑,导致设计中不能及时修改错误。

第二阶段,20 世纪 80 年代,出现了结构上稍微复杂的可编程阵列逻辑 PAL 和通用阵列逻辑 GAL 器件,主要由“与”、“或”阵列组成。由于任意组合逻辑都可以用“与或”表达式实现,所以这些器件能以乘积和的形式完成大量的组合逻辑。这个阶段各种设计工具,如原理图输入、编译、测试码生成、版图自动布局以及各种单元库均已齐全,可以实现由设计输入到版图输出的全程设计自动化。

第三阶段,20 世纪 90 年代,相继出现了具有在系统可编程能力的复杂可编程逻辑器件(CPLD)和现场可编程门阵列 FPGA,它们具有体系结构和逻辑单元灵活,集成度高及适用范围宽,编程方式很灵活等特点。在这个阶段,近千万门以上的大规模可编程逻辑器件的问世以及兼容各种硬件实现方案和支持标准硬件描述语言的工具软件的不断完善,

使得 EDA 技术趋向成熟。

第四阶段,20 世纪 90 年代末至今,出现了片上可编程系统 SOPC(System On Programmable Chip)和片上系统 SoC(System on Chip)技术,它们是 PLD 和 ASIC 技术融合的结果。SOPC 是一种片上系统,即由单个芯片完成整个系统的主要逻辑功能,但它不是简单的 SOC,它也是可编程系统,具有灵活的设计方式,可裁减、可扩充、可升级,并具备软硬件在系统可编程的功能。目前 0.13 μm 的 ASIC 产品制造价格仍然相当昂贵,相反,集成了硬核或软核 CPU、DSP、存储器、外围 I/O 及可编程逻辑的 SOPC 芯片在应用的灵活性和价格上有极大的优势。SOPC 的概念引领 EDA 技术不断向前发展。

系统集成芯片成为 IC 设计的发展方向。超大规模集成电路的集成度和工艺水平不断提高,深亚微米工艺已经走向成熟,实现在一个芯片上完成系统级的集成已经成为可能。例如实际应用中将嵌入式 FPGA 内核与微控制器组合在一起形成可编程系统级集成电路,广泛应用于电信、网络、仪器仪表和汽车中的低功耗应用系统中。市场对电子产品提出了更高的要求,希望降低电子产品的成本、减小系统的体积、缩短研发周期,这些必将会促使 EDA 工具和 IP 核应用更加广泛。

1.2 FPGA 器件概述

1.2.1 FPGA 基本概念

FPGA 是 Field Programmable Gate Array 的缩写,即现场可编程门阵列,它是完全由用户通过软件进行编程和配置,从而完成某种特定的功能,且可以反复擦写的新型器件。FPGA 的集成度很高,其器件密度从数万门到数千万门不等,可以完成极其复杂的组合逻辑和时序电路设计,作为专用集成电路(ASIC)领域中的一种半定制电路,它既解决了定制电路的不足,又克服了原有可编程器件门电路数有限的缺点。FPGA 是现场可编程的,利用 SRAM(Static RAM)编程的 FPGA 可以反复擦写和重新编程,并且具有更大的灵活性。因此,FPGA 是当今数字系统设计的主要硬件平台。

不同厂家、不同型号的 FPGA 其结构各有特色,但从其基本结构来分析,大致有以下几种分类方法。

1. 按编程工艺分

FPGA 按编程工艺分主要有 SRAM 工艺和 Flash 工艺(工艺是针对它们的编程开关来说的)两类。

基于 SRAM 工艺的 FPGA 最大缺点是掉电后数据会丢失无法保存,而每次加电后,都需要从外部非易失性存储器(PROM、Flash 存储器等)中导入配置比特流,所以由 FPGA 构成的系统,外部还需要增加一个配置芯片用于保存编程数据,在系统每次上电时都需要从配置芯片中将配置数据流加载到 FPGA 中,然后才能正常地运行,其优点是灵活性很强。而基于 Flash 架构的 FPGA 在掉电后不会丢失数据,无需配置芯片,上电即可运行,其特点非常类似 ASIC,但却比全定制的 ASIC 更加灵活,可以重复编程。

2. 按逻辑功能模块的大小分

可编程逻辑块是 FPGA 的基本逻辑构造单元。按逻辑功能块的大小不同,可将 FPGA

分为两类：细粒度结构和粗粒度结构。

细粒度 FPGA 的逻辑功能块一般比较小，仅由很小的几个晶体管组成，非常类似于半定制门阵列的基本单元，其优点是功能块的资源可以被完全利用，缺点是完成复杂的逻辑功能需要大量的连线和开关，因而速度慢。粗粒度的 FPGA 的逻辑块规模大，完成复杂的逻辑只需要较少的功能块和内部连线就能获得较好的性能，缺点是功能块的资源有时不能被充分利用。

3. 按互连结构分

根据 FPGA 内部的连线结构不同，可将其分为分段互连型和连续互连型两类。

分段互连型 FPGA 中有不同长度的多种金属线，各金属线之间通过开关矩阵或反熔丝编程连接。这种连线结构走线灵活，有多种可行方案，但走线延时与布局布线的具体处理过程有关，在设计完成前无法预测，设计修改将引起延时性能的变化。

连续互连型的 FPGA 是利用相同长度的金属线，通常是贯穿于整个芯片的长线来实现逻辑功能块之间的互连，连接与距离远近无关，在这种连线结构中，不同位置逻辑单元的连接线是确定的，因而布线延时是固定和可预测的。

由于 FPGA 需要被反复擦写，因此它实现组合逻辑的基本结构是通过查找表的方式来实现。主流 FPGA 目前都采用了基于 SRAM 工艺的查找表结构，而军品和宇航级的 FPGA 则采用 Flash 或者熔丝与反熔丝工艺的查找表结构。查找表简称为 LUT，是 FPGA 的基本组成单位，其本质上就是一个 RAM。目前 Xilinx 最新产品 Virtex 5 FPGA 芯片采用 6 输入的 LUT，其余所有芯片都使用 4 输入的 LUT。一个 6/4LUT 可以看成是一个有 6/4 位地址线的 $64/16 \times 1$ 的 RAM。当用户通过原理图或 HDL 语言描述了一个逻辑电路之后，PLD/FPGA 开发软件会自动计算逻辑电路的所有可能结果，并把结果（即真值表）事先写入 RAM，这样，每输入一个信号进行逻辑运算就等于输入一个地址进行查表，找出地址对应的内容，输出即可。

由数字电路的知识可知：对于 n 输入的逻辑运算，不管是与非运算还是异或运算等，最多只可能存在 2^n 种结果。因此，如果事先将相应的结果存放于一个存储单元，就相当于实现了与非门的功能。FPGA 的查找表就实现了这一原理，从而在相同的电路情况下实现不同的逻辑功能。

下面给出一个 4 输入与门的例子，以便说明 LUT 实现逻辑功能的原理。4 输入与门真值表参见表 1-1，使用 LUT 实现 4 输入与门电路。

表 1-1 4 输入与门真值表

实现逻辑电路		LUT 的实现方式	
a, b, c, d 输入	逻辑输出	RAM 地址	RAM 中存储的内容
0000	0	0000	0
0001	0	0001	0
.....
1111	1	1111	1

从表 1-1 可以看出, LUT 与逻辑电路具有相同的功能。事实上, LUT 具有更快的执行速度和更大的规模。

由于基于 LUT 的 FPGA 有很高的集成度, 器件密度从数万门到数千万门都有相应的产品, 它们可以完成极其复杂的时序逻辑电路与组合逻辑电路, 适用于高速、高密度的高端数字逻辑电路设计领域。

1.2.2 FPGA 基本组成结构

FPGA 的生产厂家和产品种类繁多, 但它们的基本组成大致相似。FPGA 的基本组成部分有可编程输入输出单元、基本可编程逻辑单元、嵌入式 RAM 块、丰富的布线资源、底层嵌入功能单元等。FPGA 芯片内部结构示意图如图 1-1 所示。

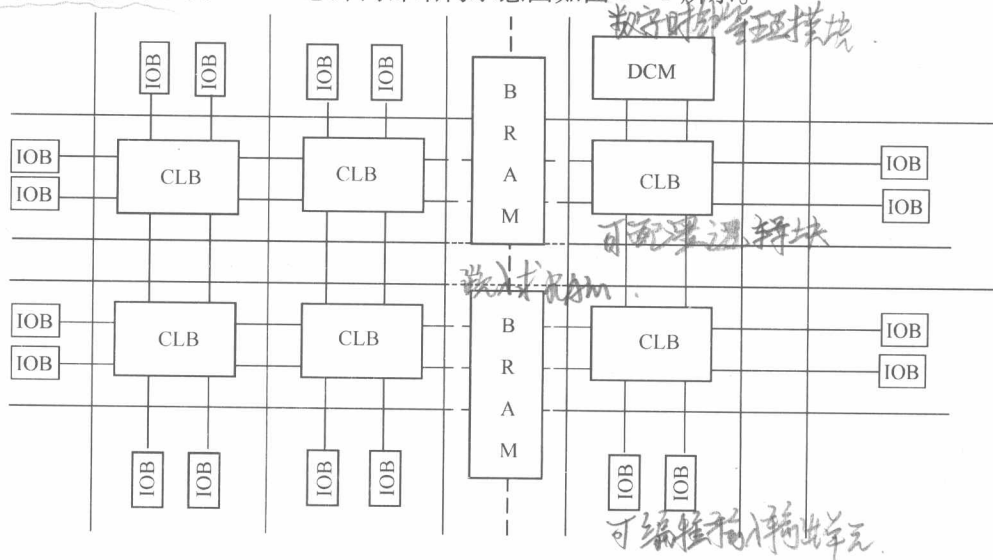


图 1-1 FPGA 内部基本结构

1) 可编程输入输出单元(IOB)

可编程输入/输出单元即 I/O 单元, 是芯片与外界接口部分, 能完成不同电气特性下对输入输出信号的驱动与匹配要求, 提供输入缓冲、输出驱动、接口电平转换、阻抗匹配以及延迟控制等功能, 其一般结构如图 1-2 所示。

FPGA 内的 I/O 按组分类, 每组都能够独立支持不同的 I/O 标准。通过软件的灵活配置, 可匹配不同的电气标准与 I/O 物理特性, 可以调整驱动电流的大小, 改变上、下拉电阻。至今为止, I/O 口的频率也越来越高, 一些高端的 FPGA 通过 DDR 寄存器技术可以支持高达 2Gbit/s 的数据传输速率。

外部输入信号有两种方式输入到 FPGA 的内部: ① 通过 IOB 模块的存储单元; ② 直接输入。当外部输入信号经过 IOB 模块的存储单元输入到 FPGA 内部时, 其保持时间的要求可以降低, 通常默认为 0。

为达到管理和应用多种电器标准的目, FPGA 的 IOB 被分为若干个组 (Bank), 每个 Bank 的接口标准由其接口电压 V_{cc0} 决定, 一个 Bank 只能有一种 V_{cc0} , 而不同的 Bank 的 V_{cc0} 可以不同。只有相同电器标准的端口能够连接在一起, 接口标准的基本条件是 V_{cc0} 电

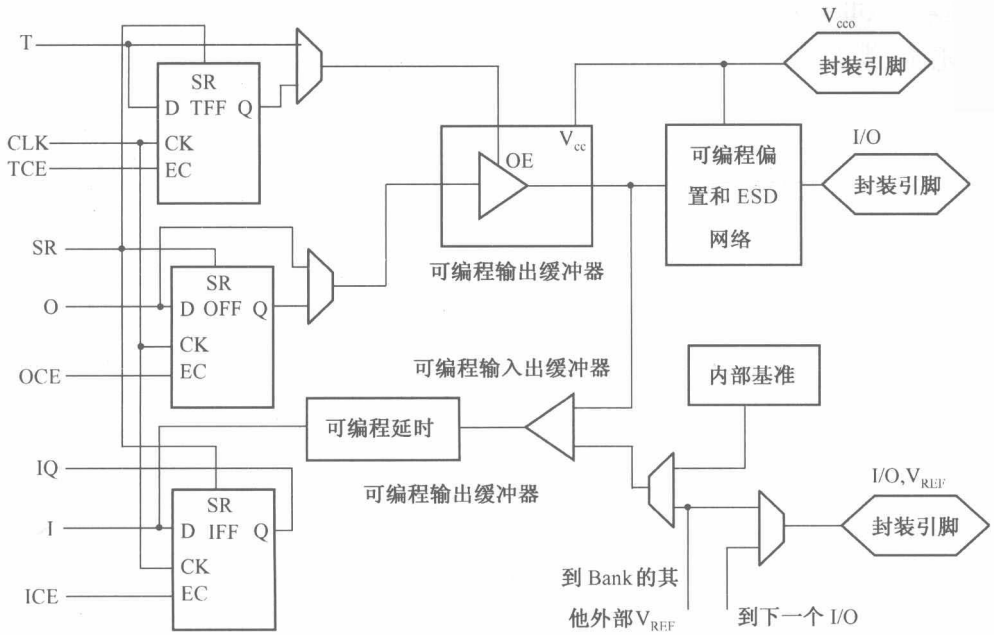


图 1-2 典型 IOB 内部结构示意图

压相同。

2) 可配置逻辑块 (CLB)

FPGA 内的基本逻辑单元就是 CLB。不同的器件,会有不同实际数量和特性的 CLB。但是每个 CLB 都包含一个可配置开关矩阵、4 个或 2 个相同的 Slice 和附加逻辑构成。其开关矩阵由 4 个或 6 个输入、一些选择电路(多路复用器等)及触发器组成。每个 CLB 模块不仅可以用于实现组合逻辑、时序逻辑,还可以配置为分布式 RAM 和分布式 ROM。Xilinx 公司的 FPGA 器件中,CLB 组成结构如图 1-3 所示。

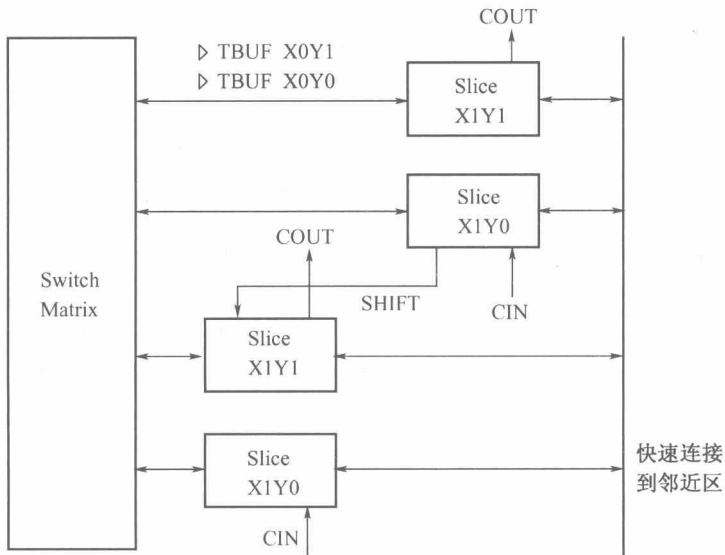


图 1-3 典型 CLB 结构示意图

Slice 是 Xilinx 公司定义的基本逻辑单位,图 1-4 表示其内部逻辑结构,两个 4/6 输入的查找表、算术逻辑、进位逻辑、存储逻辑和函数发生器组成一个 Slice。

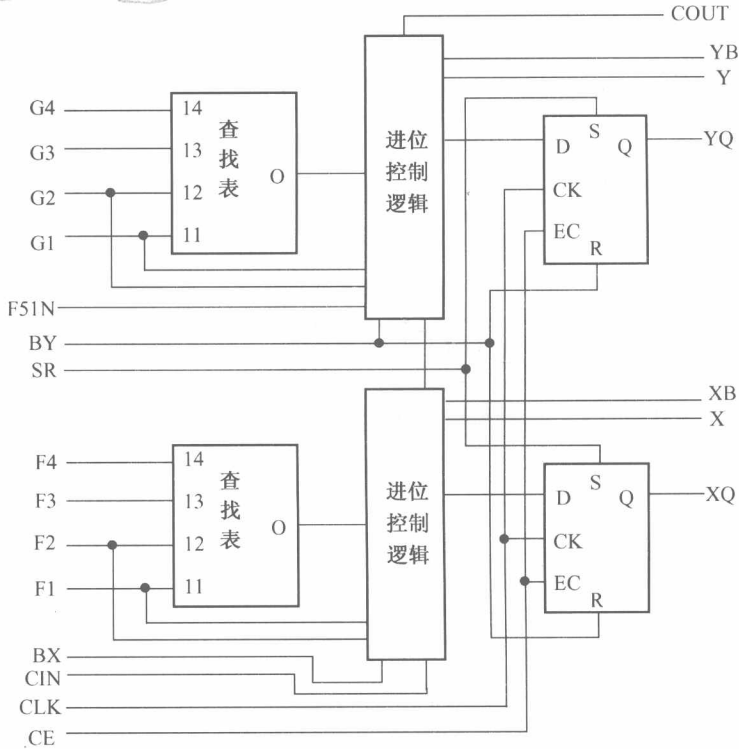


图 1-4 典型 4 输入 Slice 结构示意图

3) 数字时钟管理模块(DCM)

大多数 FPGA 均提供数字时钟管理功能, Xilinx 的全部 FPGA 都具有这种特性。Xilinx 推出最先进的 FPGA 提供数字时钟管理和相位环路锁定功能。相位环路锁定能够提供精确的时钟综合,降低抖动,并实现过滤功能。

4) 嵌入式 RAM(BRAM)

大多数 FPGA 都具有内嵌的块 RAM,这一属性极大地拓展了 FPGA 的应用范围和灵活性。单端口 RAM、双端口 RAM、内容地址寄存器(CAM)以及 FIFO 等常用存储结构,都可由块 RAM 配置出来。其中,CAM 存储器在其内部的每个存储单元中都有一个比较逻辑,写入 CAM 中的数据会同内部的每个数据进行比较,并返回与端口数据相同的所有数据的地址,因而在路由的地址交换器中有广泛的应用。除了块 RAM,还可以将 FPGA 中的 LUT 灵活地配置成 RAM、ROM 和 FIFO 等结构。实际应用中,选择芯片的重要因素就是芯片内部块 RAM 的数量。

单片块 RAM 的容量 18Kbit,表示位宽 18bit,深度为 1024。根据需要可改变位宽和深度,但要受到两个限制:首先,修改后的容量(位宽×深度)不能大于 18Kbit;其次,位宽最大不能超过 36bit。当然,可级联起多片块 RAM 以形成更大的 RAM,因此,只受限于芯片内块 RAM 的数量,不再受上面的两个限制的约束。

5) 丰富的布线资源

能够连通 FPGA 内部的所有单元的就是布线资源,连线的长度和工艺能够确定信

号在连线上的驱动能力和传输速度。FPGA 内部的布线资源丰富,这些布线资源根据工艺、长度、宽度和分布位置的不同而划分为不同的四种类别:第一类是全局布线资源,用于芯片内部的全局时钟和全局复位/置位的布线;第二类是长线资源,它可以完成芯片 Bank 间的高速信号和第二全局时钟信号的布线;第三类是短线资源,它可以完成基本逻辑单元之间的逻辑互联和布线;第四类是分布式的布线资源,用于专有时钟、复位等控制信号。

实际设计过程中,不需设计者直接选择布线资源,布局布线器可以自动根据输入逻辑网表的拓扑结构和约束条件选择布线资源来连通各个模块单元。因此,布线资源的使用方法和设计的结果有密切、直接的关系。

6) 底层内嵌功能单元

内嵌功能模块主要包括 DLL(Delay Locked Loop)、PLL(Phase Locked Loop)、DSP 和 CPU 等软处理核,即内嵌处理器(Embedded Processor)。正是因为集成了丰富的内嵌功能单元,单片 FPGA 才成为系统级的设计工具,具备软硬件联合设计能力,逐步过渡到 SoC 平台。

DLL 和 PLL 的功能类似,据此完成适中的高精度、低抖动的倍频和分频,以及占空比调整和移相等功能。典型的 DLL 的结构如图 1-5 所示。

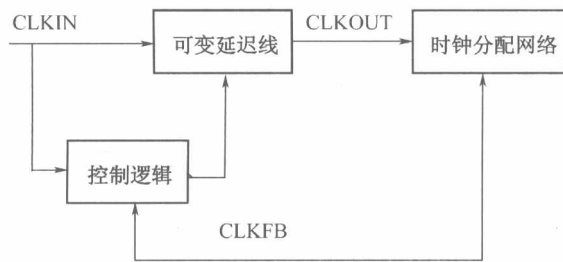


图 1-5 典型的 DLL 模块示意图

1.3 基于 FPGA 的数字系统设计

随着电子技术和计算机应用技术的深入发展,数字系统设计思路和设计手段也发生了根本的变化。

传统的数字系统的设计方法是自底向上的设计方法,它是以前各种不同的中小规模集成电路芯片为基础,按照功能要求在印制电路板上将不同的芯片连接起来,构成实现某种功能的电子系统。这种方法首先确定构成系统的最底层的电路模块或元件的结构和功能,然后根据系统的功能要求,将它们组合成大的功能模块,使它们的功能和结构满足高层系统的要求,逐步向上递推,类似于搭积木一样,直至最顶层,完成整个系统的设计。例如,首先选择 74 系列或 54 系列的器件,存储器件 RAM 或 ROM,处理器 CPU 或单片机,然后利用这些器件构成数据采集模块、信号处理模块、数据交换和接口模块,最后将这些模块构成一个完整的系统。这种设计方法对于复杂电路的设计、调试非常困难,而且设计过程中,如果某一层电路的错误和不足之处不能及时发现和修改,进入调试阶段后,一旦发

现错误,修改过程很复杂,电路需要重新设计,甚至印制电路板都需要重做。这种方法必然导致成本高、效率低、周期长。

基于 FPGA 的数字系统设计方法与传统设计方法有很大不同,目前常采用的基于 FPGA 的设计方法是自顶向下的设计方法。自顶向下的设计方法是把系统分成若干个基本单元,然后再把每个基本单元划分为下一层次的基本单元,一直这样做下去,直到可以直接使用 EDA 元件库为止。一个项目的设计过程包括从自然语言说明到 VHDL 的系统行为描述,从系统的分解、RTL 模型的建立、门级模型产生到最终的可以物理布线实现的底层电路,就是从高抽象级别到低抽象级别的整个设计周期,以及硬件的物理结构实现方法和测试。

应用 VHDL 进行自顶向下设计,就是使用 VHDL 模型在所有综合级别上对硬件设计进行说明、建模和仿真。系统最初的功能在 VHDL 里体现为可以被仿真程序验证的可执行程序。由于综合工具可以将高级别的模型转换为门级模型,所以整个设计过程基本是由计算机自动完成的。人为介入的方式主要是根据仿真的结果,对模型进行及时的修改,从而改进系统的功能,提高系统的速度和减少芯片的使用面积。此外,由于 VHDL 的可移植性、EDA 设计工具的通用性,使得前期的设计很容易应用于新的设计项目,明显缩短项目开发的周期。自顶向下设计包括如下设计阶段,如图 1-6 所示。

1. 设计规划

在对系统进行设计之前,要根据任务要求,如系统的指标和复杂度,对工作速度和芯片本身的各种资源、成本等方面进行权衡,选择合理的设计方案和合适的器件类型。同时,需要根据系统的功能将系统分解成若干个单元电路或模块,明确每个模块的功能特点和技术参数。

2. 建立行为模型

这一过程就是将所设计的系统或电路功能转换成硬件描述语言 HDL 形式,目的是通过行为仿真对整个系统的功能进行验证。

目前使用最多的硬件描述语言是 Verilog HDL 和 VHDL,这两种语言都是美国电气电子工程师学会(IEEE)的标准,两种语言的共同点在于:语言与芯片工艺无关、利于自顶向下设计、输入效率很高、逻辑描述和仿真功能很强、可移植性好。

3. 行为仿真

行为仿真是利用仿真器对顶层系统进行仿真,根据仿真结果可以判断系统功能是否正确和完善。这一过程与最终所用的器件无关,也不需要考虑 VHDL 硬件描述语言的语句是否能够综合。

4. RTL 级建模

综合是将较高级抽象层次的描述(如概念性硬件描述语言 HDL 的设计)转化为较低

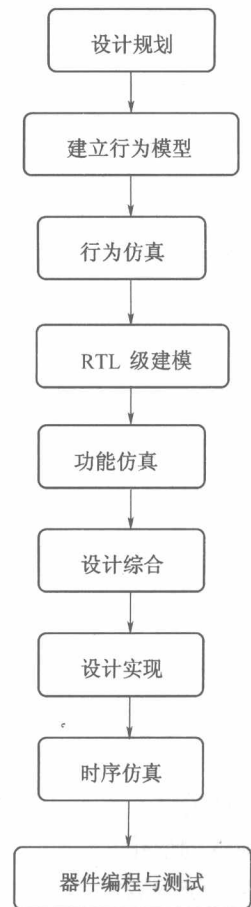


图 1-6 自顶向下设计流程