



21世纪全国高职高专电子信息系列技能型规划教材

FPGA 应用技术教程

(VHDL版)

王真富 编著



北京大学出版社
PEKING UNIVERSITY PRESS

21 世纪全国高职高专电子信息系列技能型规划教材

FPGA 应用技术教程(VHDL 版)

王真富 编著



北京大学出版社
PEKING UNIVERSITY PRESS

内 容 简 介

本书以 Quartus II 12.1 和仿真工具 ModelSim-Altera 为设计平台,采用项目任务驱动的方法,深入浅出地讲解 FPGA 应用技术、VHDL 硬件描述语言以及数字电子系统的设计。

项目内容采用“教、学、做”相结合的模式设计。根据能力本位课程教学模式,分别安排了基于原理图输入的 4 位加法器和 2 位乘法器设计制作、基于 VHDL 的三人表决器和四路抢答器的设计制作、基于 VHDL 的硬件乐曲自动演奏电路和简易电子琴的设计制作、基于 VHDL 的字符型 LCD1602 显示控制器和点阵字符显示屏设计制作、基于 VHDL 的二自由度云台控制器设计制作等 5 个项目。

本书是浙江省高职高专院校特色专业建设项目校企合作开发的成果,适合作为高等职业院校电子、通信类专业及自动控制类专业学生的教材和上机实训用书,也可作为电子设计竞赛、FPGA 开发应用的自学参考书。

图书在版编目(CIP)数据

FPGA 应用技术教程:VHDL 版/王真富编著. —北京:北京大学出版社,2015.2

(21 世纪全国高职高专电子信息系列技能型规划教材)

ISBN 978-7-301-24764-8

I. ①F… II. ①王… III. ①可编程序逻辑器件—系统设计—高等职业教育—教材 IV. ①TP332.1

中国版本图书馆 CIP 数据核字(2014)第 205126 号

书 名	FPGA 应用技术教程(VHDL 版)
著作责任者	王真富 编著
策划编辑	刘晓东
责任编辑	李娉婷
标准书号	ISBN 978-7-301-24764-8
出版发行	北京大学出版社
地 址	北京市海淀区成府路 205 号 100871
网 址	http://www.pup.cn 新浪微博: @北京大学出版社
电子信箱	pup_6@163.com
电 话	邮购部 62752015 发行部 62750672 编辑部 62750667
印 刷 者	三河市北燕印装有限公司
经 销 者	新华书店
	787 毫米×1092 毫米 16 开本 19 印张 438 千字
	2015 年 2 月第 1 版 2015 年 2 月第 1 次印刷
定 价	38.00 元

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究

举报电话:010-62752024 电子信箱:fd@pup.pku.edu.cn

图书如有印装质量问题,请与出版部联系,电话:010-62756370

前 言

基于 FPGA 的 EDA 技术是现代电子工程领域的一门新技术，是电子设计技术与制造技术的核心，它将计算机技术应用到电子电路设计，并给电子产品的设计开发带来革命性变化。本书将 VHDL 的基础知识、编程技巧与实际工程开发技术相结合，以工程实践应用为出发点，以 Quartus II 12.1 和仿真工具 ModelSim-Altera 为开发平台，采用项目任务驱动的方法，深入浅出地讲解 FPGA 应用技术、VHDL 硬件描述语言以及数字电子系统的设计。

本书在内容的开发与编排上跳出了学科体系的樊篱，以培养学生动手能力为目标，以任务引领工作过程导向的模式重构，从课堂情境转向工作情境，从知识储备为主转向实际应用为主。把 FPGA 技术应用过程中使用到的基本技能做成典型的项目，每个项目将知识、理论、实践一体化，帮助学生获得最受企业关注的“工作过程知识”和基本工作经验，以满足就业的需求。

本书共分 5 个项目，前 4 个项目采用“教、学、做”相结合的模式来设计，按照教中学项目任务、知识归纳、做中学项目任务的顺序安排内容，项目 5 为综合应用项目。每个项目都设计了“做一做，试一试”内容，是对设计项目的功能扩充。通过独立完成“做一做，试一试”项目内容，达到对知识的融会贯通。

本书各项目具体内容编排如下。

项目 1 为基于原理图输入的运算器设计制作，介绍基本的 EDA 概念、开发流程和 EDA 开发软件的使用。“学中做”阶段，通过 4 位二进制数全加器的设计，训练使用 Quartus II 设计平台的基本能力，学会自顶向下模块化的设计方法；“做中学”阶段，通过 2 位乘法器设计制作，进一步熟悉 EDA 开发流程，掌握 EDA 开发工具的使用方法。

项目 2 为基于 VHDL 的表决器和抢答器设计制作，训练用 VHDL 描述和设计基本组合电路的能力，逐步完备 VHDL 基本语法知识，提高电路的描述和设计能力。“学中做”阶段，通过三人表决器电路的 VHDL 表述与设计，掌握相关的 VHDL 程序基本结构、数据对象、数据类型和语法特点；“做中学”阶段，通过四路抢答器设计制作，进一步熟悉 VHDL 程序结构与语言要素。

项目 3 为音乐发生器设计制作，进一步训练用 VHDL 描述和设计电路的能力，掌握 VHDL 程序并行执行语句和顺序执行语句的特点。“学中做”阶段，通过基于 FPGA 的乐曲自动演奏电路的设计与 VHDL 描述，引出 VHDL 的描述语句分类；“做中学”阶段通过简易电子琴设计制作，进一步熟悉 VHDL 的描述语句。

项目 4 为字符显示控制器设计制作，训练用 VHDL 程序描述电子系统的能力，掌握 VHDL 层次化设计方法和 VHDL 的 LPM 宏模块的使用方法。“学中做”阶段，通过字符型 LCD1602 的显示控制器设计，说明 VHDL 程序的结构描述方式、元件例化语句的使用、状态机的描述方法；“做中学”阶段，通过点阵字符显示屏设计制作进一步熟悉 VHDL 程序描述方法。



项目 5 为二自由度云台控制器设计制作,以全方位云台的控制器设计为载体,介绍基于 FPGA 的 PWM 控制器、矩阵式键盘控制器及数码管动态扫描显示的设计方法。通过本项目学习,学生可掌握应用 FPGA 设计电子系统的设计过程及模块化设计理念,熟悉电子产品硬件、软件设计方法和软硬件集成、调试方法,掌握原理图、文本输入混合设计方法,提高电子系统设计能力。

本书由浙江衢州职业技术学院王真富编著。书中所有实例源代码均经过 Quartus II 12.1 与 ModelSim-Altera 10.1b 软件平台测试,各项目均通过器件下载编程与硬件调试。由于 FPGA 应用技术发展迅速,编者的水平有限,书中的疏漏在所难免,敬请读者批评指正。

编 者
2014 年 12 月

目 录

项目 1 基于原理图输入的运算器设计制作	1	项目 2 基于 VHDL 的表决器和抢答器设计制作	85
1.1 4 位二进制数全加器的设计	2	2.1 三人表决器设计	86
1.1.1 任务书	2	2.1.1 任务书	86
1.1.2 4 位二进制数全加器设计方案	3	2.1.2 三人表决器设计方案	87
1.1.3 4 位二进制数全加器设计实施步骤	5	2.1.3 三人表决器设计实施步骤	87
1.1.4 4 位二进制数全加器编程下载与硬件测试	30	2.2 VHDL 程序结构与语言要素	95
1.2 基于 FPGA 的 EDA 技术	36	2.2.1 VHDL 程序概述	96
1.2.1 EDA 技术概述	36	2.2.2 VHDL 程序结构	96
1.2.2 FPGA 的工作原理与基本结构	38	2.2.3 VHDL 程序语言要素	103
1.2.3 基于 FPGA 的 EDA 开发流程	42	2.3 四路抢答器设计制作	111
1.2.4 Quartus II 设计开发工具使用	44	2.3.1 任务书	111
1.2.5 ModelSim-Altera 仿真工具使用	53	2.3.2 四路抢答器设计方案	112
1.2.6 层次化设计方法	61	2.3.3 四路抢答控制器设计实施步骤	114
1.3 2 位二进制数乘法器设计制作	62	2.3.4 四路抢答器编程下载与硬件测试	118
1.3.1 任务书	63	做一做, 试一试	122
1.3.2 2 位二进制数乘法器设计方案	63	项目小结	122
1.3.3 2 位二进制数乘法器设计实施步骤	68	项目 3 音乐发生器设计制作	123
1.3.4 2 位二进制数乘法器编程下载与硬件测试	78	3.1 乐曲自动演奏电路设计	124
做一做, 试一试	84	3.1.1 任务书	124
项目小结	84	3.1.2 硬件乐曲自动演奏电路设计方案	125
		3.1.3 硬件乐曲自动演奏电路设计实施步骤	127
		3.2 VHDL 程序的描述语句	136
		3.2.1 VHDL 程序的并行语句	136
		3.2.2 VHDL 的顺序语句	141
		3.3 简易电子琴设计制作	154



3.3.1 任务书	154	项目 5 二自由度云台控制器	
3.3.2 简易电子琴设计方案	155	设计制作	241
3.3.3 简易电子琴控制器设计		5.1 二自由度云台控制器设计方案	242
实施步骤	160	5.1.1 任务书	242
3.3.4 简易电子琴控制器编程		5.1.2 矩阵式键盘控制器设计	243
下载与硬件测试	167	5.1.3 数码管的动态扫描显示	
做一做, 试一试	171	设计	246
项目小结	171	5.1.4 舵机 PWM 控制信号设计	247
项目 4 字符显示控制器设计制作	172	5.2 二自由度云台控制器程序设计	249
4.1 字符型 LCD1602 控制器设计	173	5.2.1 创建工程与 ROM 模块	249
4.1.1 任务书	173	5.2.2 创建矩阵式键盘控制器	
4.1.2 显示控制电路设计方案	174	模块	254
4.1.3 LCD1602 显示控制器设计		5.2.3 创建动态显示控制模块	264
实施步骤	182	5.2.4 创建舵机 PWM 生成模块	270
4.2 VHDL 程序描述方法	198	5.2.5 创建二自由度云台控制器	
4.2.1 VHDL 程序的描述方式	198	顶层模块	277
4.2.2 状态机的 VHDL 程序描述	202	5.3 二自由度云台控制器编程下载与	
4.2.3 LPM 宏功能模块的使用	210	硬件测试	285
4.3 LED 点阵显示屏控制器设计	221	5.3.1 硬件电路连接	285
4.3.1 任务书	221	5.3.2 二自由度云台控制器编程	
4.3.2 LED 点阵显示屏控制器设计		下载	286
方案	222	5.3.3 二自由度云台控制器硬件	
4.3.3 LED 点阵显示屏控制器程序		测试	290
设计实施步骤	225	做一做, 试一试	290
4.3.4 LED 点阵显示屏控制器		项目小结	290
编程下载与硬件测试	237	参考文献	291
做一做, 试一试	240		
项目小结	240		

项目 1

基于原理图输入的运算器设计制作



引言

运算器是基本的逻辑器件，本项目以运算器设计为载体，介绍 EDA(Electronic Design Automation)的设计方法，利用原理图输入法设计运算器。通过在 Quartus II 集成开发环境中进行基于原理图输入的 4 位二进制数全加器和 2 位二进制数乘法器设计，逐步认识基于 FPGA(Field-Programmable Gate Array)的 EDA 开发流程、开发工具 Quartus II 12.1 和仿真工具 ModelSim-Altera 10.1b 的使用，以及数字电路的层次化设计方法。



完成本项目基本流程



重点提要

能力目标	知识目标
<ul style="list-style-type: none">(1) 会安装 EDA 的工具软件 Quartus II(2) 能使用 Quartus II 软件，应用原理图输入法设计简单的组合逻辑电路(3) 能使用 ModelSim-Altera 软件对设计电路进行功能仿真与时序仿真(4) 能将设计好的硬件程序通过编程器载入开发板目标芯片(5) 能使用 Quartus II 软件对设计电路进行管脚分配(6) 能用开关与数码管设计数字电路的输入与输出	<ul style="list-style-type: none">(1) 了解 EDA 技术概况(2) 了解 FPGA 的工作原理与基本结构(3) 掌握基于 FPGA 的 EDA 开发流程(4) 熟悉 Quartus II 设计开发工具(5) 熟悉 ModelSim-Altera 仿真工具(6) 掌握 EDA 层次化设计方法



1.1 4 位二进制数全加器的设计

加法器是数字电子系统中的基本逻辑器件,也是最基本的数字算法。无论减法、乘法、除法或 FFT(快速傅里叶变换)运算最终都可分解为加法运算。因此,加法器的设计是最基础的设计之一,本节介绍基于 FPGA 的 4 位二进制数全加器的设计过程。4 位二进制数全加器的设计流程如图 1.1 所示。

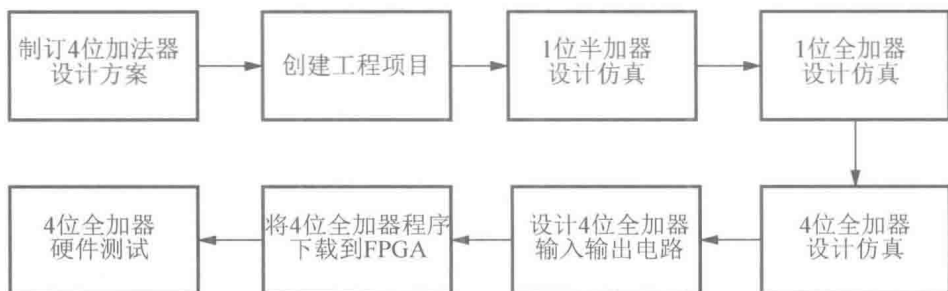


图 1.1 4 位二进制数全加器设计制作流程

1.1.1 任务书

4 位二进制数全加器实现的功能是 4 位二进制被加数和 4 位二进制加数以及最低位的进位相加,获得相加的和与最高位的进位。在实际设计中,4 位二进制数全加器实现的方法有多种,本项目介绍基于 FPGA 设计 4 位二进制数全加器。考虑到由浅入深的宗旨,使用原理图输入法设计 4 位二进制数全加器。

1. 学习目的

- (1) 会使用 FPGA 的 EDA 工具软件 Quartus II 12.1 和 ModelSim-Altera 10.1b。
- (2) 能采用原理图输入法和层次化方法设计数字电路。
- (3) 能用 ModelSim-Altera 10.1b 对设计电路进行功能仿真。
- (4) 能利用编程器将设计好的硬件程序载入 FPGA 开发板。
- (5) 能进行 GW48 系列 EDA 学习开发板的调试。
- (6) 能用开关与数码管设计数字电路的输入与输出。

2. 任务描述

在 Quartus II 12.1 软件平台,用原理图输入法和层次化方法设计 4 位二进制数全加器;用 ModelSim-Altera 10.1b 仿真软件仿真检查设计结果;利用 GW48 实验箱进行硬件验证;可选用的输入输出硬件资源有按钮开关、LED 灯、数码管等。

3. 教学工具

- (1) 计算机。
- (2) Quartus II 12.1 软件。

- (3) ModelSim-Altera 10.1b 仿真软件。
 (4) GW48 实验箱。

1.1.2 4 位二进制数全加器设计方案

4 位二进制数 $a_3a_2a_1a_0$ 与 $b_3b_2b_1b_0$ 相加, 可得 4 位二进制数和 $s_3s_2s_1s_0$ 与最高位进位 C_3 。其相加过程如图 1.2 所示。

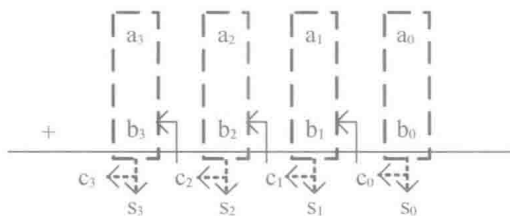


图 1.2 4 位二进制数相加过程

从 4 位二进制数相加的过程可知, 4 位二进制数相加是加数与被加数相对应的第 0 位到第 3 位分别相加。当第 0 位相加时, 被加数 a_0 与加数 b_0 相加, 获得和 s_0 , 进位 c_0 , 这种只有本位的加数 b_0 与被加数 a_0 相加的 1 位二进制数加法器称为半加器; 当第 1 位相加时, 除了本位的加数 b_1 与被加数 a_1 相加外, 还要再加上低位, 即第 0 位的进位 c_0 , 这种 1 位二进制数加法器称为全加器。

显然, 1 位二进制数半加器输入端口有加数 B_n 与被加数 A_n , 输出端口有和 S_n 与进位 C_n , 其模型如图 1.3 所示。1 位二进制数全加器输入端口由加数 B_n 与被加数 A_n 以及低 1 位的进位 C_{n-1} 组成, 输出端口由和 S_n 与进位 C_n 组成, 其模型如图 1.4 所示。

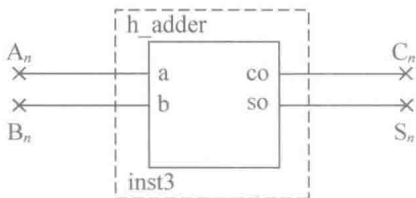


图 1.3 半加器模型

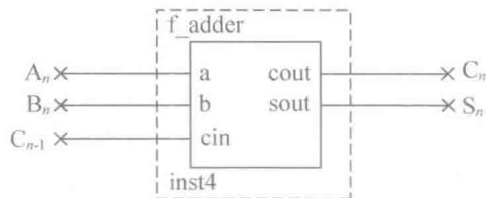


图 1.4 全加器模型

从 1 位二进制数全加器相加过程可知, 1 位二进制数全加可以由 2 次半加组合而得。第 1 个半加器把加数 B_n 与被加数 A_n 相加得和 S_{n1} 与进位 C_{n1} ; 将第 1 个半加器相加的和 S_{n1} 作为加数, 输入第 2 个半加器与低位的进位 C_{n-1} 相加得最终的和 S_n 与进位 C_{n2} ; 将 2 个半加器所得的进位 C_{n1} 与 C_{n2} 进行“或”操作, 可得 1 位二进制数全加器的进位 C_n 。根据前面的分析, 由半加器组成全加器的原理图如图 1.5 所示。

根据 4 位二进制数相加的过程可知, 设计任务书要求的 4 位二进制数全加器可由 4 个 1 位二进制数全加器连接而成, 其连接原理图如图 1.6 所示。从左到右分别表示 4 位二进制数全加器的第 0 位、第 1 位、第 2 位和第 3 位。

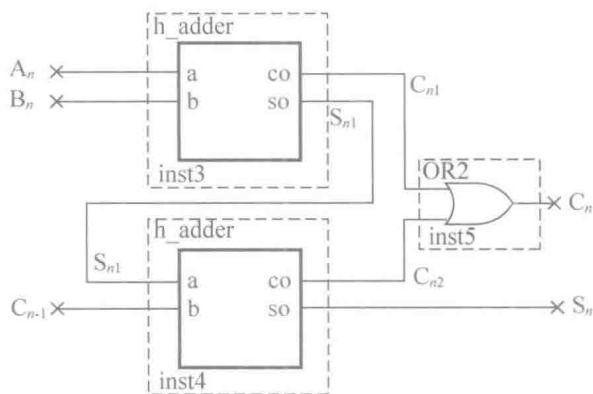


图 1.5 半加器组成全加器原理图

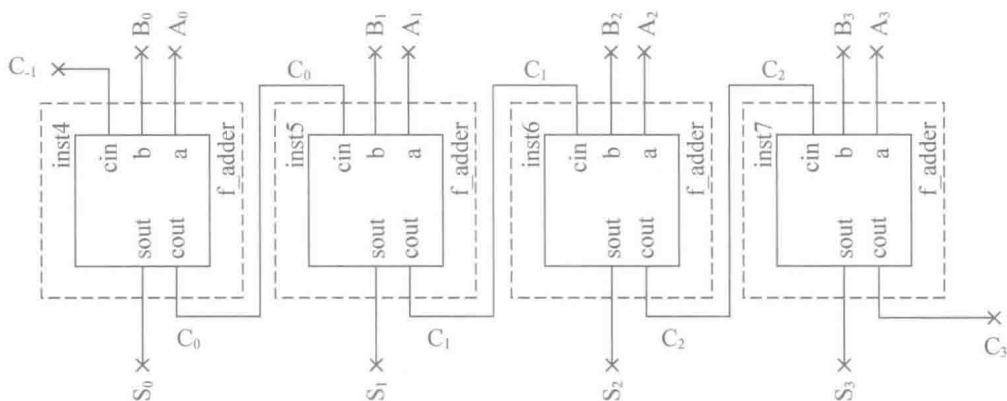


图 1.6 4 位二进制数全加器原理图

综上所述, 4 位二进制数全加器可由 4 个 1 位二进制数全加器连接而成, 而 1 位二进制数全加器由 2 个半加器连接而成, 这样就形成了层次化关系。底层的 1 位半加器的设计可采用数字电路中组合逻辑电路的设计方法, 根据定义, 列真值表, 写逻辑表达式, 画出逻辑电路图。

根据定义, 半加器的真值表见表 1.1。从真值表可知 1 位半加器逻辑表达式为

$$co=ab, so=a\oplus b$$

由逻辑表达式, 画 1 位半加器原理图, 如图 1.7 所示。

表 1.1 半加器真值表

被加数 a	加数 b	进位 co	和 so
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

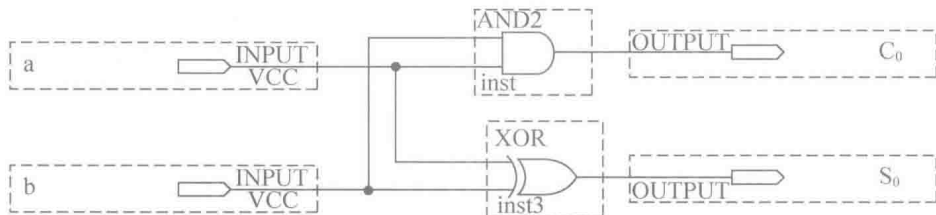


图 1.7 半加器原理图

1.1.3 4 位二进制数全加器设计实施步骤

根据设计方案, 利用 Quartus II 12.1 软件平台, 采用层次化方法设计 4 位二进制数全加器, 具体实施步骤按照先后顺序可分为: 创建工程、设计底层 1 位二进制数半加器并仿真验证、设计次层 1 位二进制数全加器并仿真验证、设计顶层 4 位二进制数全加器并仿真验证。

1. 创建工程

为了方便电路设计, 首先应建立本项目工程文件夹(如 E:/XM1/JFQ), 将 4 位二进制数全加器的全部设计文件保存在此文件夹。工程文件夹的名称及路径不能使用汉字, 因为 Quartus II 12.1 软件平台不支持中文路径。4 位二进制数全加器的工程名称可命名为“adder4”, 具体操作步骤如下。

在 Quartus II 12.1 集成环境中选择【File】→【New Project Wizard】命令, 弹出【New Project Wizard】对话框, 如图 1.8 所示。该对话框介绍了新建工程的 5 个步骤。

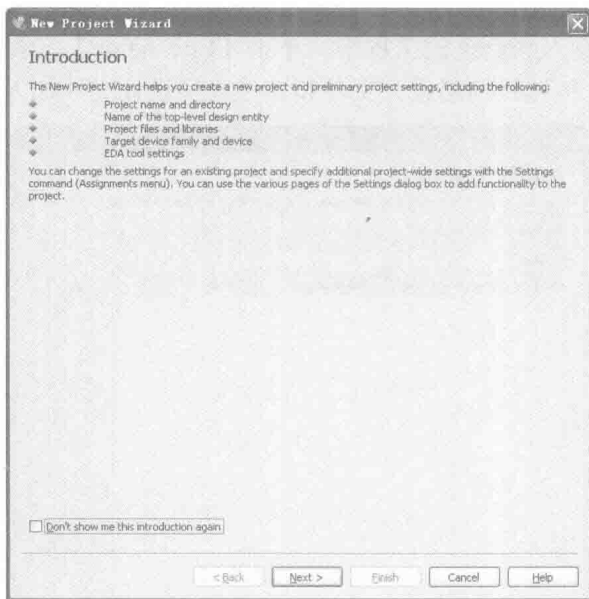


图 1.8 【New Project Wizard】对话框

(1) 在【New Project Wizard】对话框中单击【Next】按钮, 弹出新建工程向导 5 步骤的第 1 步设置页面。此页面用于设置工程文件存放的目录、工程的名称和顶层文件实体名。



在对话框的第一栏，选择本工程文件所存放的工作目录“E:/XM1/JFQ”；在第二栏中输入工程名“adder4”；在第三栏中输入工程顶层文件实体名“adder4”，如图 1.9 所示。工程名和顶层文件实体名可以用相同名称，也可以用不同的名称。在多层次系统设计中，一般工程名与设计实体顶层文件实体名相同。

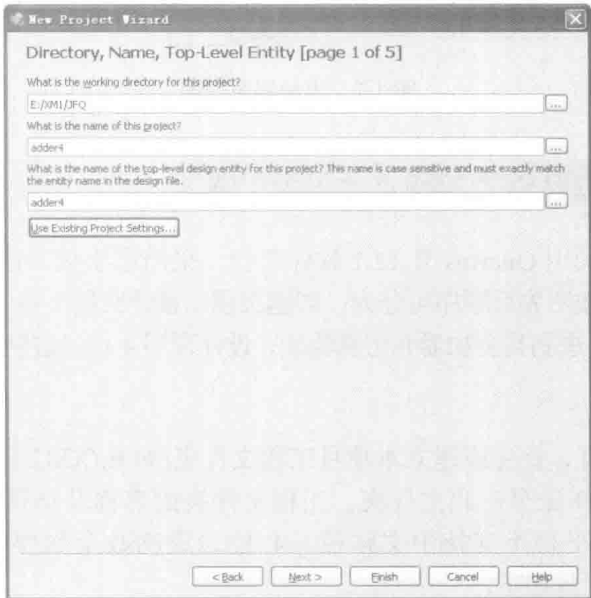



图 1.9 【Directory, Name, Top-Level Entity [page 1 of 5]】页面

(2) 单击【Next】按钮，弹出【Add Files [page 2 of 5]】页面，如图 1.10 所示。该页面可把已有的设计文件加入到新建的工程中，单击【File name】文本框后的按钮，弹出【Select File】对话框，可选择顶层设计文件和其他底层设计文件加入到新建的工程中。

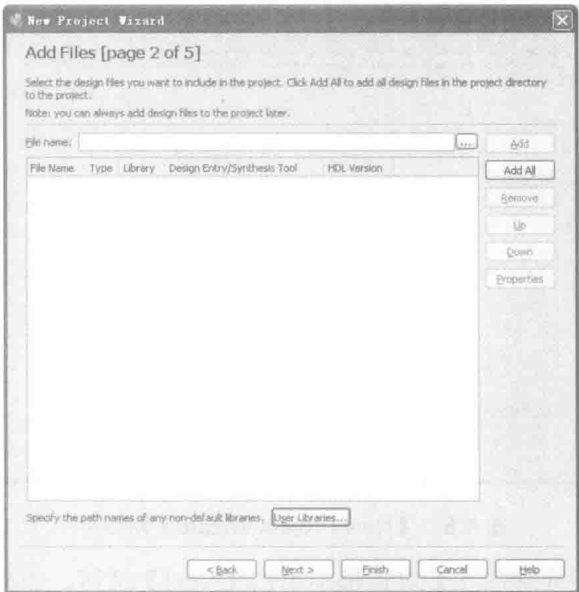


图 1.10 【Add Files [page 2 of 5]】页面



(3) 单击【Next】按钮，弹出【Family & Device Settings [page 3 of 5]】页面。该页面用于设置编程下载的 FPGA 目标芯片的类型与型号。在编译设计文件前，必须选择下载的目标芯片，否则系统将以默认的目标芯片为基础进行设计文件的编译。下面以 GW48 实验箱 FPGA 开发板上芯片、Altera 公司 Cyclone 系列的 EP1C6Q240C8 芯片设置为例，说明设置过程。

① 在【Device family】选项组的【Family】下拉列表中选择【Cyclone】芯片类型。

② 在【Show in 'Available device' list】选项组的【Package】下拉列表中选择使用【PQFP】封装方式。

③ 在【Pin count】下拉列表中选择【240】引脚数。

④ 在【Speed grade】下拉列表中选择【8】速度等级。设置结果如图 1.11 所示。

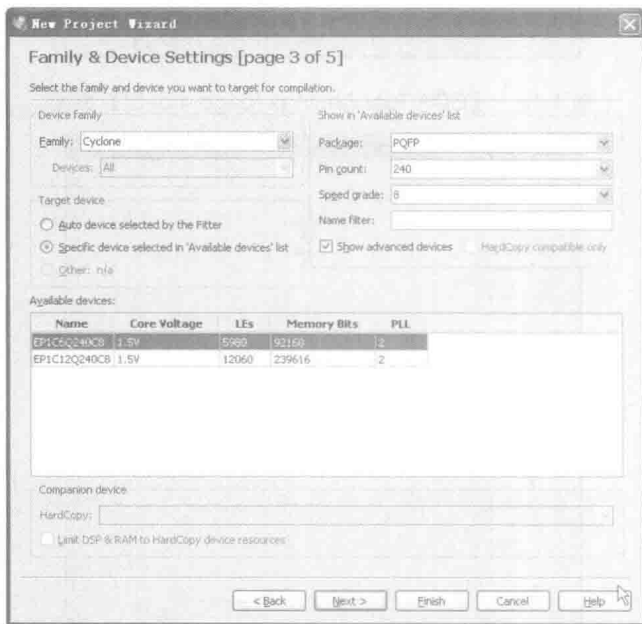


图 1.11 【Family & Device Settings [page 3 of 5]】页面

(4) 单击【Next】按钮，弹出用于设置第三方 EDA 工具软件的【EDA Tool Settings [page 4 of 5]】页面，如图 1.12 所示。在【EDA tools】列表中【Tool Type】列的【Simulation】行的【Tool Name】下拉列表中选择仿真工具为【ModelSim-Altera】，在【Format(s)】下拉列表中选择仿真语言为【VHDL】。

(5) 单击【Next】按钮，弹出【Summary [page 5 of 5]】页面，如图 1.13 所示，显示新建工程的摘要。单击【Finish】按钮，完成设计工程的创建。

完成设计工程的创建后，在 Quartus II 12.1 集成环境的【Project Navigator】面板【Hierarchy】标签页中显示了顶层实体名“adder4”，如图 1.14 所示。



图 1.12 【EDA Tool Settings [page 4 of 5]】页面



图 1.13 【Summary [page 5 of 5]】页面

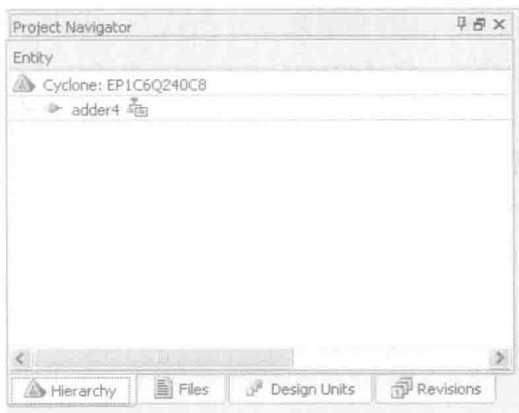


图 1.14 【Project Navigator】面板



2. 设计 1 位二进制数半加器

完成“adder4”工程创建后，可在“adder4”工程中创建设计文件。在 Quartus II 12.1 集成环境中选择【File】→【New】命令，弹出【New】对话框，选择【Block Diagram/Schematic File】选项，如图 1.15 所示。单击【OK】按钮，在 Quartus II 12.1 集成环境中将产生创建原理图设计文件窗口，自动产生扩展名为“.bdf”的原理图文件“Block1.bdf”，如图 1.16 所示。



图 1.15 【New】对话框

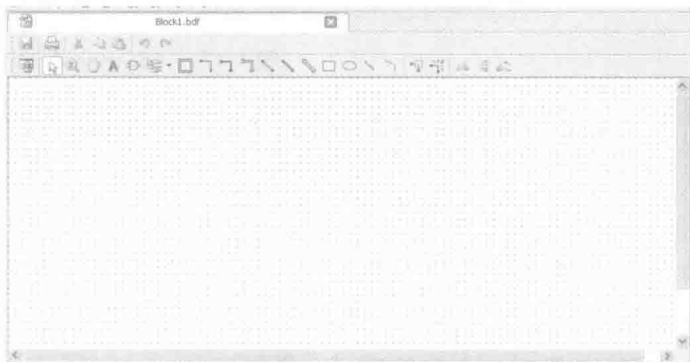


图 1.16 原理图文件设计窗口

在 Quartus II 12.1 集成环境中选择【File】→【Save As】命令，弹出【另存为】对话框，命名 1 位二进制数半加器原理图设计文件为“h_adder.bdf”，保存在“E:/XM1/JFQ”目录。

下面介绍 1 位二进制数半加器原理图文件“h_adder.bdf”设计和功能仿真过程。

(1) 创建 1 位二进制数半加器原理图文件。

① 在“h_adder.bdf”原理图文件编辑窗口空白位置双击鼠标，弹出【Symbol】对话框，如图 1.17 所示。根据设计方案，1 位二进制数半加器由“2 输入与门”和“异或门”连接而成，因而，在【Symbol】对话框的【Name】文本框内输入“2 输入与门”元件名“and2”，将自动展开库【Libraries】的目录，并在右边的显示区域显示“2 输入与门”元件如图 1.18 所示。

② 单击【Symbol】对话框的【OK】按钮，关闭【Symbol】对话框，鼠标变成“+”号，并在右下角吸附了“2 输入与门”元件。在“h_adder.bdf”原理图文件编辑窗口的适当位置单击，“2 输入与门”元件被加入到“h_adder.bdf”原理图文件中；用同样的方法可将元件名为“XOR”的“异或门”元件加入到“h_adder.bdf”原理图文件中。加入元件后的 1 位二进制数半加器原理图如图 1.19 所示。

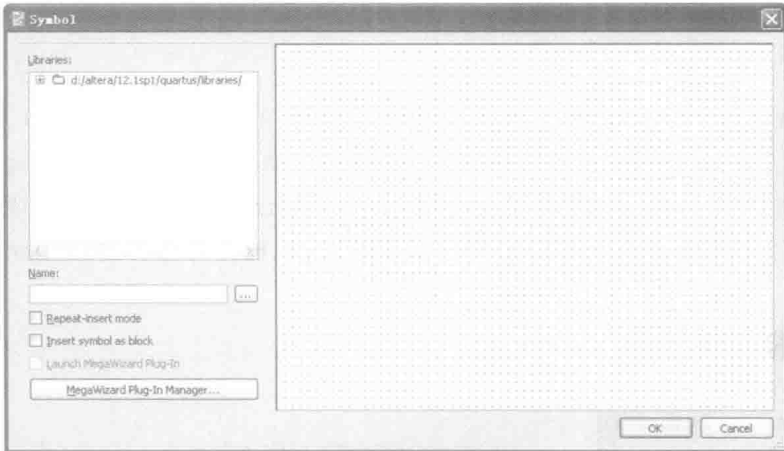


图 1.17 【Symbol】对话框

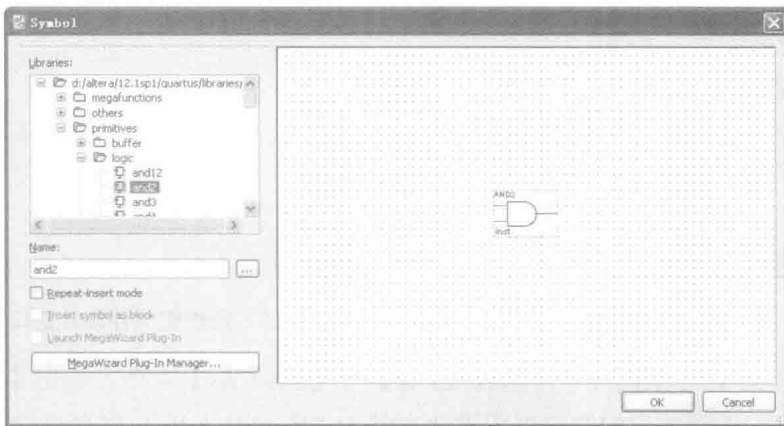


图 1.18 已选元件的【Symbol】对话框

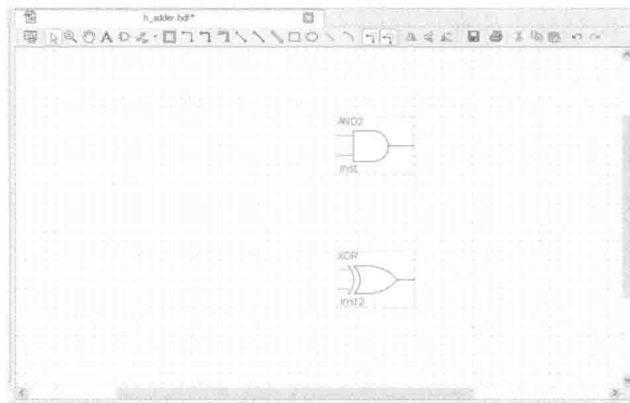



图 1.19 加入元件到原理图文件中

③ 在“h_adder.bdf”原理图文件编辑窗口的工具栏中单击【Pin Tool】按钮边的小三角，弹出下拉菜单，选择【Input】选项，鼠标将变成“+”号，并在右下角吸附了“输入端”元件。在“h_adder.bdf”原理图文件需要放置“输入端”元件的位置单击，“输入端”