

# 目 录

<b>第 1 章 专用集成电路设计简介</b>	
1.1 概述 .....	1
1.2 ASIC 电路的分类 .....	2
1.3 ASIC 的设计流程 .....	5
1.4 ASIC 的库单元 .....	6
小结 .....	8
<b>第 2 章 ASIC 的库单元电路设计</b>	
2.1 晶体管的电阻特性 .....	9
2.2 晶体管的寄生电容 .....	13
2.3 逻辑设计 .....	19
2.4 库单元设计 .....	25
小结 .....	26
<b>第 3 章 ASIC 高层设计语言</b>	
3.1 概述 .....	27
3.2 VHDL 设计单元模型的建立 .....	30
3.3 VHDL 中的数据类型、对象和算符 .....	59
3.4 VHDL 中的顺序语句 .....	84
3.5 VHDL 中的并行语句 .....	110
3.6 VHDL 中的重载、属性和决断函数 .....	119
3.7 VHDL 和逻辑综合 .....	131
<b>第 4 章 逻辑仿真与时序分析</b>	
4.1 概述 .....	146
4.2 逻辑系统 .....	147
4.3 逻辑模拟的工作机理 .....	150
4.4 逻辑单元模型 .....	150
4.5 延迟模型 .....	156
4.6 静态时序分析 .....	157
4.7 晶体管级仿真 .....	161
<b>第 5 章 专用集成电路的设计实现</b>	
5.1 专用集成电路的设计实现手段 .....	166

5.2	全定制电路设计 .....	189
5.3	半定制电路设计 .....	190
<b>第 6 章 故障分析与测试</b>		
6.1	ASIC 测试概述 .....	196
6.2	ASIC 电路故障和故障模型 .....	197
6.3	故障模拟器 .....	204
6.4	可测性设计 .....	208
6.5	边界扫描测试 .....	217
	小结 .....	219
<b>附录: 设计举例</b>		
1.	2M 帧同步检测电路及仿真结果.....	220
2.	NRZ $\leftrightarrow$ HDB3/AMI 变换电路 .....	225

**参考文献**

# 第 1 章 专用集成电路设计简介

## 1.1 概 述

专用集成电路(ASIC: Application Specific Integrated Circuit)是一种为专门目的而设计的集成电路,它与标准集成电路或通用集成电路有着本质的区别,为了对 ASIC 的由来有一个更深的了解,首先对集成电路的发展历史作一个简要的回顾。

从 1948 年第一只半导体晶体管问世之后,微电子技术就得到了日新月异的发展,50 年代中期可用于工业上的产品以锗材料制作的结型半导体晶体管为多,由于锗材料比硅材料具有较高的载流子(电子和空穴)迁移率,因而较易于实现高频性能。但锗材料制作的半导体器件存在着固有的缺点:①温度特性差;②由于表面防护性能差引起的环境(如氧或水气)污染容易使器件的特性变坏。50 年代末出现的硅平面制造工艺技术,不但成为硅半导体晶体管的基本制造工艺,也成为将多个分立的器件(如二极管,晶体管等)制作在同一块面积不大的硅片上的集成电路的基本制造工艺。硅器件有效地克服了锗器件所存在的缺点,特别是硅平面制造工艺更用来制作硅集成电路,开创了以硅材料为主的半导体器件制作的时期,这种技术也一直沿用到今天。1962 年,诞生了具有 4 个逻辑门集成在一个芯片上的小规模集成电路(SSI: Small Scale Integration)。

为了对集成电路的规模在具体的量方面有一个更正确的认识,在这里先对“门”的概念作一个精确的定义。在集成电路中所谓的“门”,并非仅指一个晶体管为一个“门”,而是指一个二输入的与非门为一个等效“门”(从逻辑关系上指  $F = \overline{A \cdot B}$ ),对 CMOS 工艺,一个“门”相当于有 4 个晶体管。如果说一个 CMOS 集成电路其规模达到 100k(10 万门),意指有 40 万个晶体管组成。

早期的小规模集成电路,一般指集成规模有从 1 到 10 个“门”不等,大概几十个晶体管,实现一些基本的“与非”和“或非”等逻辑;中规模集成电路(MSI: Middle Scale Integrated Circuit)在“门”的规模和逻辑的种类上有了新的发展,含有计数器和逻辑功能块等电路;大规模集成电路(LSI: Large Scale Inlergrated Circuit)时代,在一个芯片上集成了更多更大的逻辑功能块,像早期的 4 位微处理器芯片等。经过 30 多年的发展,今天的超大规模集成电路(VLSI: Very large Scale Integrated circuit),在一个芯片上能制作 64 位的微处理器,还集成了高速缓存存储器和浮点算术单元等,规模达到百万“门”以上,这几十年集成电路技术的发展,映证了 30 多年前 Intel 公司创始人之一 Golden Moore's 所指出——集成电路和电子系统的复杂度每 6 年提升 10 倍的预言,这就是著名的 Moore's 法则。最近二三十年

时间,CPU 技术每 6 年复杂度提升 8 位,存储器技术的复杂度每 6 年提升 12 倍,集成电路技术的发展也验证了 Moore 法则的正确性。

早期的集成电路采用双极型工艺,一般主要采用 TTL(Transistor-Transistor Logic)工艺和 ECL(Emitter-Coupled Logic)工艺。虽然 MOS(Metal-Oxide-Silicon)晶体管工艺技术的出现在双极型晶体管之前,但由于氧化层界面制作上存在的问题,使早期的 MOS 工艺没有得到广泛的应用,直到 70 年代这些问题才逐步得以解决。到 80 年代,多晶硅作栅的技术代替了原来用铝金属作晶体管栅的技术,但“MOS”这个名字却一直沿用下来了。由于用多晶硅作栅材料更容易在同一块集成电路芯片上同时制作 N 沟 MOS 和 P 沟 MOS 晶体管,使得互补型 MOS(CMOS: Complementary MOS)工艺得以实现。CMOS 电路较之 NMOS 和 PMOS 最大的优点在于其较低的功耗和较大的抗干扰能力。至于关于 CMOS 详细的工作原理及其特点,由于许多书籍在这方面已有很详尽的描述,在此不再累述。由于 CMOS 电路工艺制作较之在同等规模下的双极型和 BiCMOS 工艺制作更为经济,并且 CMOS 电路功耗低等特点,故当今的绝大部分集成电路都采用 CMOS 工艺制作。对于双极型和 BiCMOS 工艺制作的器件一般用于大功率的电子元件,如专用电路、话机电路、专门的驱动电路等等。

在对集成电路发展的历史作了一番回顾之后,回过头来对专用集成电路作一个精确的定义似乎并不容易,因为所有的集成电路都是为了某种应用而生产的,像微处理器,ROM, DRAM, SRAM 以及用 TTL 工艺制作的各种 SSI, MSI 和 LSI 电路等等,通常都称它们为标准集成电路或通用集成电路;而对一些玩具电路、星上电路、存储器和 CPU 之间的接口电路、CPU 和其他外围单元电路拼在一起的电路习惯上称之为专用集成电路。因此仅单从应用上来说明哪些是 ASIC 电路,哪些不是,是很难分清的,下面将从电路的物理实现方面对 ASIC 电路作进一步的阐述。

## 1.2 ASIC 电路的分类

### 1.2.1 全定制集成电路

全定制集成电路指所有的逻辑单元和掩膜版都是按定制的方式进行制作的集成电路。微处理器的电路是全定制 IC——设计者对电路版图作最斤斤计较的制作,以免浪费芯片上任何一个平方微米的空间,由于这些专门设计的 IC 产量高,适用于通用的应用目的,故称它们为全定制通用集成电路(full-custom IC)。

### 1.2.2 半定制集成电路

半定制集成电路指所有的逻辑单元预先进行设计,但其一些或所有的掩膜版按定制方式进行制作的集成电路。使用单元库中预先设计好的单元可以大大的简化设计。在这里将半定制集成电路分为标准单元集成电路和门阵列集成电路。在第 5 章将对它们作详细介绍。

### 1.2.3 可编辑 ASIC 电路

可编辑 ASIC 指所有的逻辑单元都预先进行设计,但没有一块掩膜版是按定制方式进行制作的集成电路。它主要分两类:可编程逻辑器件(PLD: Programmable Logic Decive)和现场可编程门阵列(FPGA: Field Programmable Gate Array)。

#### 1. PLD

由于 PLD 器件是一种按用户要求进行编程以实现专门应用目的电路,所以将它划为 ASIC 的一类。

在图 1.2.1 中描述了 PLD 器件所共有的一些重要结构:

- 没有定制的掩膜版和逻辑单元。
- 快速的设计周期。
- 单一的大容量可编程连接资源。
- 由可编程阵列逻辑和触发器或锁存器组成的逻辑宏单元矩阵。

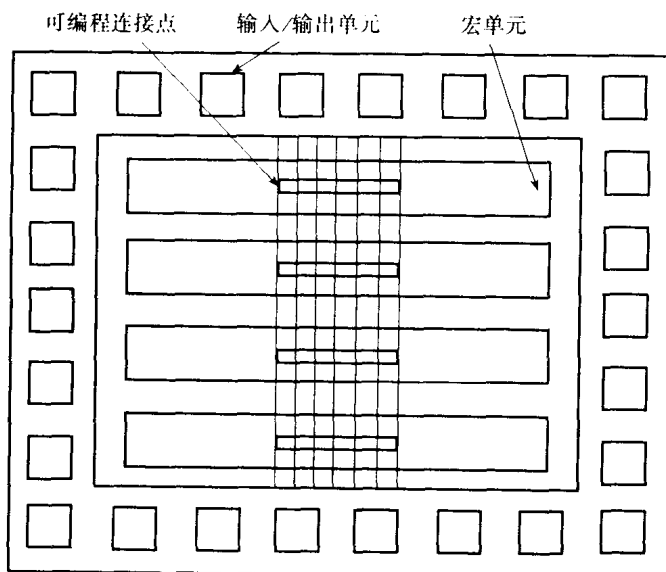


图 1.2.1 PLD 器件结构

#### 2. FPGA

比 PLD 器件更加复杂的器件就是 FPGA,应该说 PLD 与 FPGA 之间并不存在严格的区分,有些公司称它们制作的产品为 FPGA,而有一些则称为 CPLD (Complex PLD),但如图 1.2.2 所示的 FPGA 较之 PLD 还是有其自己的一些特点。

- 可对基本的逻辑单元和互连线编程控制。
- 可编程的基本逻辑单元由组合的时序逻辑组成。
- 基本逻辑单元周围都有可编程的连线矩阵。
- 在芯片内核周围被可编程的输入/输出单元包围。

- 设计周期可以缩短到以小时计。

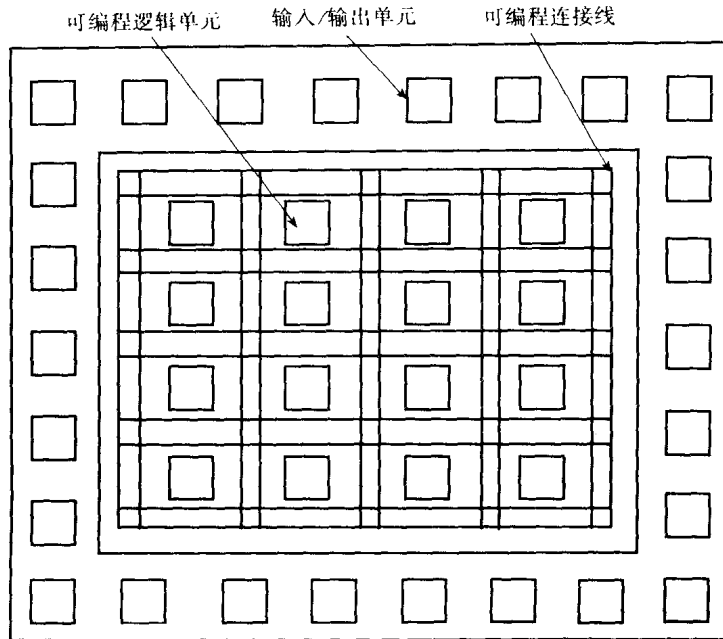


图 1.2.2 FPGA 器件结构

具体的 PLD 和 FPGA 介绍请参阅第 5 章。

以上对 ASIC 专用集成电路作了简单的分类,为了帮助读者对选用何种 ASIC 实现方式更便于自己的电子产品,即在综合成本(包括抢占市场、软件和硬件的配置、软件的培训费用)等等因素之后,图 1.2.3 显示了采用 FPGA(Field Programmable Gate Array),CBIC(Cell-Based ASIC)和 MGA(Masked Gate Array ASIC)技术在产品数量和综合成本之间的关系。表 1.2.1 是开发规模达 1 万“门”的电路的所需时间和各方面花费的一个较为详细的综合价格表,当然不排除不同的厂家和设计者在这些价格上会有较大的差别,这里的价格表对设计者仅作为一个参考,目的是使设计人员在选用何种方式的 ASIC 制作电路前,应对产品的软件成本、上市时间和产品实现风险等方面有一个综合考虑。

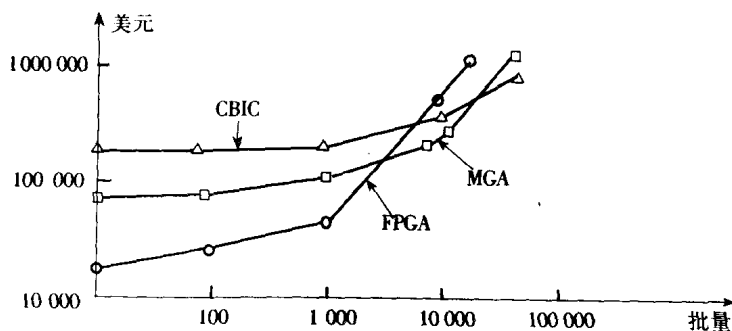


图 1.2.3 不同工艺下产量与价格关系

表 1.2.1 综合价格表

综合技术 项目	FPGA			MGA			CBIC		
	价格/\$	时间/天	规模/门	价格/\$	时间/天	规模/门	价格/\$	时间/天	规模/门
培训	800	2		2 000	5		2 000	5	
硬件:	10 000			10 000			10 000		
软件:	1 000			20 000			40 000		
设计	8 000	20	10 000	20 000	50	10 000	20 000	50	10 000
测试费用				2 000	5		2 000	5	
NRE 掩膜				10 000			50 000		
NRE 模拟				10 000			10 000		
NRE 测试程序				10 000			10 000		
总计	19 800			84 000			144 000		

### 1.3 ASIC 的设计流程

图 1.3.1 描述了 ASIC 的设计步骤(当然对于采用不同的软件开发系统,在设计步骤上会有所不同),下面对每一步的功能作一个简单的介绍。

(1) 设计输入:采用草图或硬件描述语言(HDL: Hardware Description Language)的方式将电子系统输入到 ASIC 设计系统。

(2) 逻辑综合:对于 HDL 输入的方式,采用逻辑综合工具建立网表——对逻辑单元和其相互连接的描述。

(3) 系统划分:将一个大系统划分成几个功能块。

(4) 布局前模拟:检查系统功能的正确性。

(5) 版层设计:在芯片上规划各功能块的位置。

(6) 布局:确定功能块中每个单元的位置。

(7) 布线:对功能块之间和单元之间进行布线。

(8) 参数提取:确定各个连接处的电阻和电容等电学参数值。

(9) 布局后模拟:加入时布局布线增加的各种寄生电学参数之后,再次检查电子系统能否正常工作。

从以上说明可看出,步骤(1)~(4)主要是电子系统的逻辑设计,(5)~(9)是物理设计。由于 ASIC 电路的专用性决定了 ASIC 产品的灵活性、多样性、快速性,可充分发挥系统设计人员的灵感,以最快的速度负责电路系统的设计,而把实现电路的版图和工艺制造留给集成电路厂家来完成。具体来说,用户根据需要选择合适的电子设计自动化(EDA: Electronic Design Automation)工具对电路功能进行设计,验证并对针选择的 ASIC 生产厂商和工艺作测试准备,并与厂商达成协议,由 ASIC 制造厂家来完成版图设计和集成电路的制作。

所以说,ASIC 设计与通用 IC 的最大区别就在于它不追求版图上最大集成度和最佳集成性能,而追求产品抢占市场的快速性和灵活性。进入 90 年代以后,集成电路制造工艺的突飞猛进,更缩短了集成电路产品的更新换代周期,目前的电路发展的瓶颈不是制造

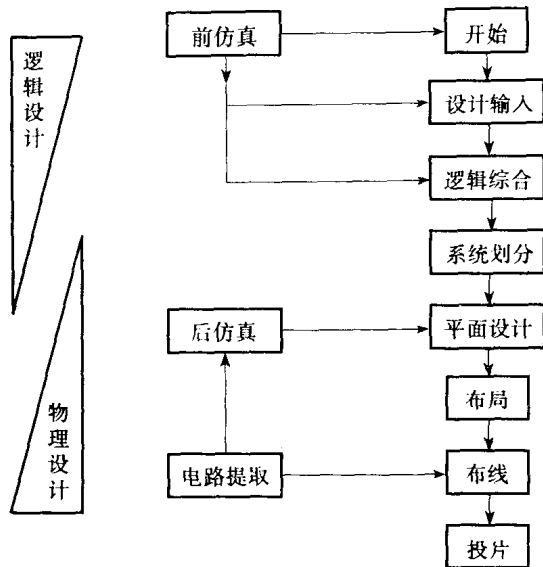


图 1.3.1 ASIC 设计步骤

工艺,而是在电路设计方面,因此大可不必为了工艺制作上的点点滴滴的优化考虑而浪费大量时间。

目前,按用户不同的设计需求可以采用不同的解决方案。一种称为“金字塔”方案,如图 1.3.2 所示。针对不同层次的设计方案,用户可以从众多的 EDA 软件厂家得到价格适宜的电路输入、功能仿真、时序分析和电路测试等方面的软件工具,并将它们有机地组合在一起,有效地帮助自己完成一个正确的电路系统的实现。

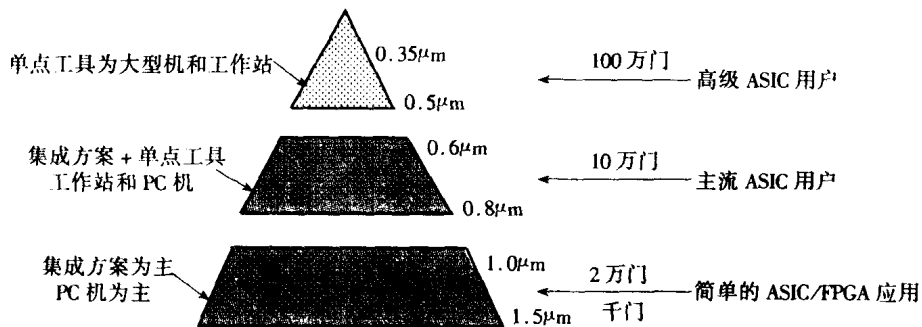


图 1.3.2 金字塔方案

基于以上考虑,本书主要对逻辑实现的几个环节进行介绍。

## 1.4 ASIC 的库单元

从 1.2 节中可以看到 ASIC 电路的开发,较之通用集成电路最大的优势就在于电子系统的逻辑单元大量调用了库电路单元,所以库电路单元对 ASIC 设计确实是一个非常重要



的部分。

对于像 PLD 和 FPGA 这种可编程器件,器件厂家将库单元随着软件开发系统一起提供给设计者,设计若对库单元没有必要作别的选择。而对于采用 MGAS 和 CBICS 的设计者来说,对库单元的来源可有 3 方面的选择:①ASIC 厂家(即给用户制作 ASIC 的半导体厂家)直接提供库单元;②从专门制作库单元的第三方软件厂家购买(像著名的 SMART-MODEL 公司及一些“IP”制作厂家),一般这样的购买方式,对库单元的使用权有一定的时间限制,相当于租用的方式,以便节约开支;③用户自己设计库单元,但是自己制作库单元是一项非常复杂和非常昂贵的工作。

在第一种选择中采用 ASIC 厂家提供的库单元,要求设计者采用这种库能够支持设计工具进行电路的输入和仿真,因此用户必须同时购买设计工具和库单元。有一些 ASIC 厂家(尤其对于 MGAS 厂家)也能提供一些自己内部开发使用的设计工具。

需要说明的是,一般由 ASIC 厂家提供的库都是虚拟库,就是当用户想看库单元内部时,会发现它是一个空盒子,但含有了用户进行仿真和作布局、布线等的所有信息。当用户将最后设计好的电子系统网表提供给 ASIC 厂家之后,厂家会将虚拟库中实际的内容在制作芯片之前先填补进去。

国内的用户经常对库单元这个概念不太重视,其实开发库单元不管是对 ASIC 厂家还是对设计者来说,都是一项非常必须非常复杂的工作。国内用户在购买软件设计系统时,往往忽视对库的购买,当然这一点随着大家对 ASIC 开发手段的熟悉,会逐步认识到库的重要性,“库”的购置有时是需要花大价钱的,因为一个空态的库单元需包括以下几个方面:

- 物理版图
- 行为模型
- VHDL/Verilog 语言模型
- 详细的时间模型
- 测试手段
- 电路草图
- 单元的标识
- 连线仿真模型

以上列出的某些方面,像版图、标识等等的库单元内容是显而易见必须有的,但对行为模型等内容可能就不太熟悉了。下面对行为模型作一个简单的介绍。

行为模型是指对单元电路做的一种高层次的描述,这是因为用户在对一个定态的 ASIC 系统作详细的时序分析时需花费大量的时间,为了节约时间,在电子系统分析的初期采用行为模型可大大缩短仿真时间。

ASIC 电路设计者为了掌握电路关键路径处的时序性能,就需要对每一个库单元有各自对应的时序模型。如果先在硅片上制作每个库单元电路并且用仪器测量实际的延迟则是太困难、太占时间,也太昂贵了,所以一般库设计人员是通过单元电路所做的参数提取来仿真库单元电路的延迟时间。如何对库单元电路提取适当的参数以及建立库单元的时序模型,将在第 2 章中进行介绍。

为了估算 ASIC 电路中连接线上的寄生电容,一般要用“连线负载模型”和“布线模

型”。随着 ASIC 电路规模和工作速度的不断提高,库单元模型也变得越来越复杂,电路分析工具也越来越专业化。

## 小 结

本章介绍了 ASIC 的发展和由来、ASIC 电路的分类,还重点介绍了库电路单元在 ASIC 开发过程中的重要性。对于采用不同的 ASIC 设计方法,如用 CBIC, MGA 和 FPGA,它们在不同的产品批量及其花费间的关系和各自的开发成本(包括软、硬件和培训、风险等)用图表列了出来,希望对大家选用何种设计方式会起到一定的指导作用,另外本章还对 ASIC 的设计流程也作了概括性的介绍。

## 第 2 章 ASIC 的库单元电路设计

当选用了 ASIC 的设计方式来开发电子系统之后,设计过程就不断地在与“库”打交道,即与 IC 厂商提供的库,与软件厂家提供的库打交道。我们关心:用昂贵的价钱买来的库里,有没有我们设计中想要采用的电路;对库的管理和调用是否方便,尤其是对库的更新是否需要原来设计好的电路做非常繁重的修改,甚至要推倒重来。我们在设计 FPGA 时就经常遇到:其电路规模和库在不断推出新的系列,而原来的设计受当时条件的限制不可能用到新的库,此时就特别希望原来的设计经过一些简单的转化,就能将原来的库单元转化为新系列中提供的库单元中。这种工作经常由开发软件或者用高级硬件描述语言来完成,但对库设计人员来说,建立较为一致的库单元电路则在库的标识方面就能避免许多麻烦。“库”在 ASIC 系统设计中是非常重要的,虽然人们不一定自己去设计库单元,但掌握一些有关库单元电路设计方面的知识,能够帮助人们更加有效地使用库单元。

本章主要包括以下内容:晶体管的电阻特性,晶体管寄生电容、逻辑设计和库单元设计。

### 2.1 晶体管的电阻特性

图 2.1.1(a)为一个 CMOS 反相器电路,其输入  $V(\text{in}1)$  从 0 很快上升到  $V_{\text{DD}}$  高电平,对应其输出  $V(\text{out}1)$  从  $V_{\text{DD}}$  下降到 0 电平。对于 N 沟道的 m1 MOS 管来说,当输入开始为 0 电平时,其工作在截止区 ( $V_{\text{gs}} - V_{\text{TN}} < 0$ ),随着输入的增加,m1 管进入饱和区 ( $V_{\text{DS}} > V_{\text{gs}} - V_{\text{TN}} > 0$ ),最后 m1 管进入线性区(非饱和区) ( $V_{\text{DS}} < V_{\text{gs}} - V_{\text{TN}}$ ),如图 2.1.1(b)所示。现用电阻  $R_{\text{pd}}$  代替 m1 管,  $R_{\text{pd}}$  为下拉电阻,上拉电阻  $R_{\text{pu}}$  为 m2 管的等效电阻,如图 2.1.1(c) 所示。

上拉和下拉电阻  $R_{\text{pd}}$  和  $R_{\text{pu}}$  与输出端的单元寄生电容  $C_p$  (本征输出电容)和负载电容  $C_{\text{out}}$  同时产生 CMOS 反相器的逻辑延迟。假设  $R_{\text{pd}}$  为常量,输出达到低跳变点  $0.35 V_{\text{DD}}$  处时,如图 2.1.1(b)所示,有以下关系:

$$0.35 V_{\text{DD}} = V_{\text{DD}} \exp\left[\frac{-t_{\text{pdf}}}{R_{\text{pd}}(C_{\text{out}} + C_p)}\right] \quad (2.1.1)$$

则

$$\begin{aligned} t_{\text{pdf}} &= R_{\text{pd}}(C_{\text{out}} + C_p) \ln\left(\frac{1}{0.35}\right) \\ &\approx R_{\text{pd}}(C_{\text{out}} + C_p) \end{aligned} \quad (2.1.2)$$

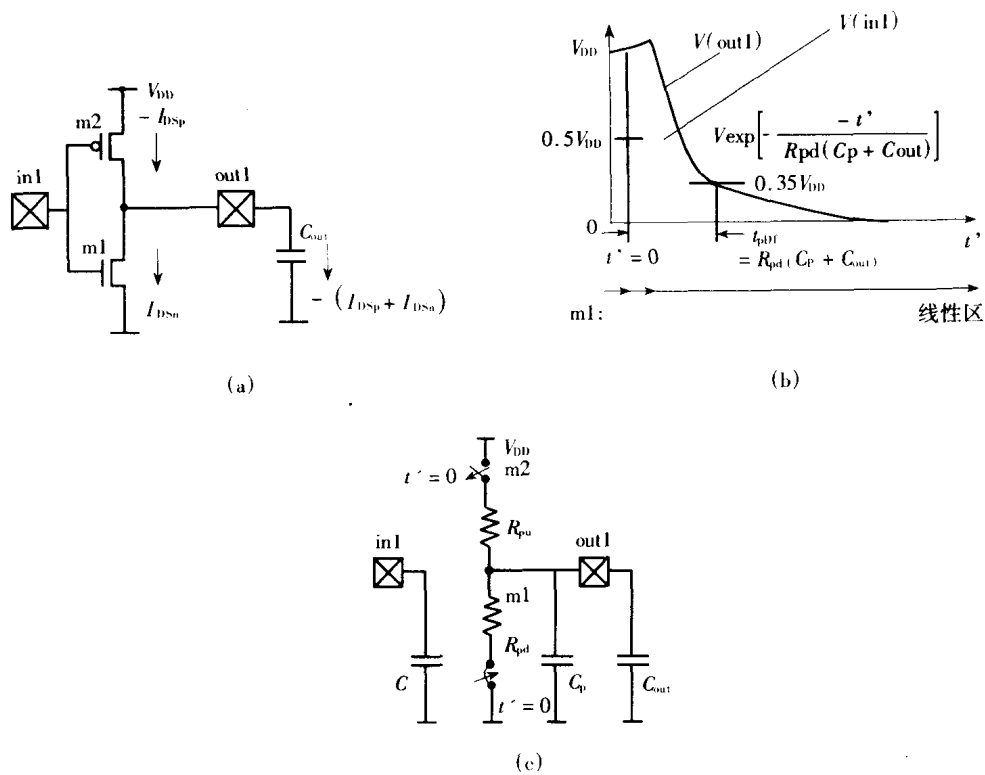


图 2.1.1 CMOS 反相器电路

对于输入上升延迟(在  $0.65V_{DD}$  高跳变点处)与式(2.1.2)相同。延迟与负载电容成线性关系。经常将一个反相器或二输入与非门单元的输入电容认作负载电容的一个标准负载。

对于不同的跳变点处可以通过修改式(2.1.2)得到输出延迟。例如对输出到  $0.1V_{DD}$  或  $0.9V_{DD}$  处的延迟,则可将式(2.1.2)乘以  $\ln \frac{1}{0.1} = 2.3$ 。

图 2.1.2 为 CMOS 反相器的 DC 特性。图(a)为在  $I_{Dsn} = -I_{Dsp}$  时输出与输入电压的关系,图(b)为  $I_{Dsn} = -I_{Dsp}$  时,电流与输入电压关系。

从图 2.1.2 可看出流过晶体管的电流在开关变换过程中是以非线性方式变化的,也就是说其上拉、下拉电阻在开关过程中,其阻值并非是常量,但由于对其做理论上的精确计算太困难,故借助于 Spice 程序模拟晶体管模型的电阻值。

图 2.1.3 为模拟的电路图和模拟结果图,工艺参数取自表 2.1.1。从图 2.1.3(c)得出反相器  $R_{pd} = 817\Omega$ ,  $R_{pu} = 1281\Omega$ (其宽长比  $W/L$  对于 NMOS 和 PMOS 分别为  $6/0.6$  和  $12/0.6$ ),取其输出跳变点为  $0.35V_{DD}/0.65V_{DD}$ ,输入为  $0.5V_{DD}$ 。当改变跳变点时,其阻值也会改变。注意这里的阻值都是指平均值,在饱和区内,  $I_{DS(sat)}$  与  $V_{DS}$  无关,对 NMOS 采用  $0.5\mu\text{m}$  工艺时,  $W/L = 6/0.6$ ,  $I_{Dsn(sat)} = 2.5\text{mA}$ (在  $V_{GS} = 3\text{V}$ ,  $V_{DS} = 3\text{V}$  处),其下拉电阻

$$R_l = \frac{3.0\text{V}}{2.5 \times 10^{-3}\text{A}} = 1200\ \Omega$$

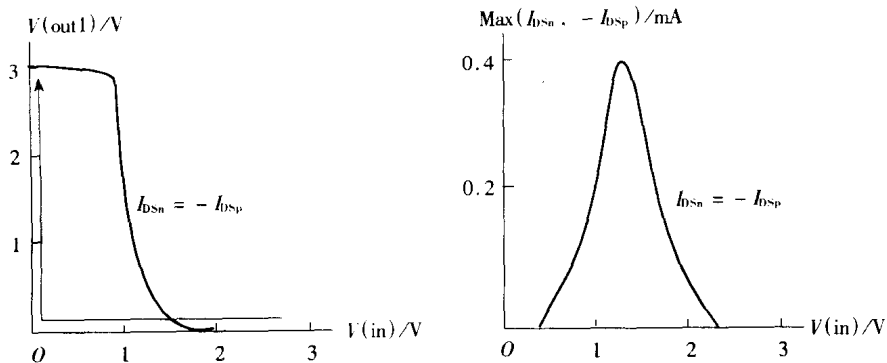


图 2.1.2 CMOS反相器直流特性

此值比我们模拟的结果  $817\Omega$  要大些,应该说在  $V_{GS} = 3V, V_{DS} = 3V$  处,其下拉电阻达到最大值。

表 2.1.1 器件的工艺参数

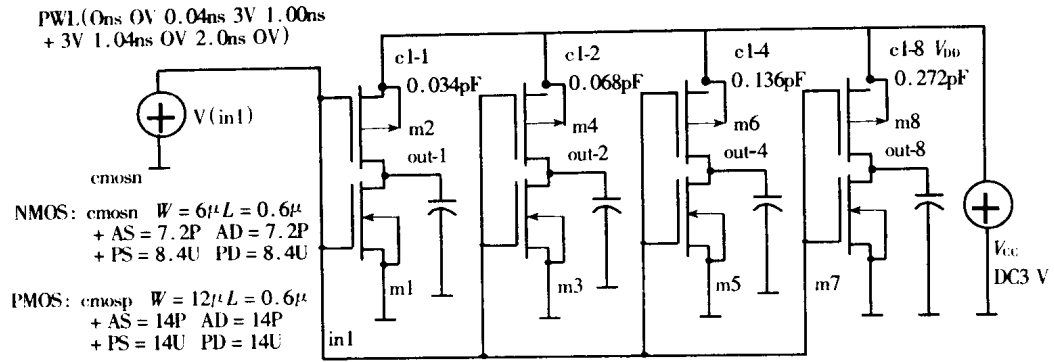
.MODEL	CMOSN	NMOS	LEVEL=3	PHI=0.7	TOX=10E-09	XJ=0.2 $\mu$	TPG=1
VTD=0.65	DELTA=0.7	LD=5E-08	KP=2E-04	VO=550	THETA=0.27	RSH=2	
GAMMA=0.6	NSUB=1.4E+17	NFS=6E+11	VMAX=2E+05	ETA=3.7E-02	KAPPA=2.9E-0.2		
CGDO=3E-10	CGSO=3E-10	CGBO=4E-10	CJ=5.6E-4	MJ=0.56	CJSW=5E-11		
MJSW=0.52	PB=1						
.MODEL	CMOSP	PMOS	LEVEL=3	PHI=0.7	TOX=10E-9	XJ=0.2 $\mu$	+TPG=-1
VTO=-0.92	DELTA=0.29	LD=3.5E-8	KP=4.9E-05	VO=135	THETA=0.18	RSH=2	
GAMMA=0.47	NSUB=8.5E+16	NFS=6.5E+11	VMAX=2.5E+05	ETA=2.45E-2	KAPPA=7.96		
CGDO=2.4E-10	CGSO=2.4E-10	CGBO=3.8E-10	CJ=9.3E-04	MJ=0.47	CJSW=2.9E-10		
MJSW=0.505	PB=1						

下面表通过模拟结果来观察 CMOS 反相器的模型。在前面有公式

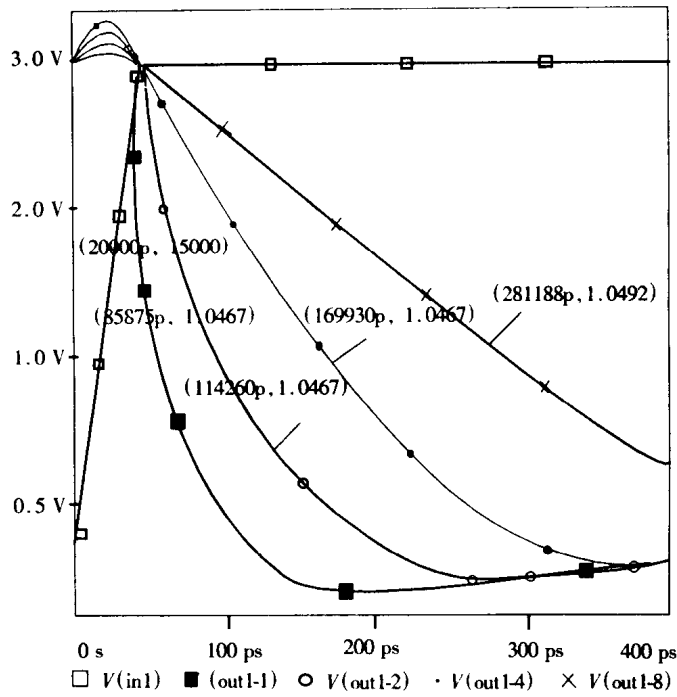
$$V(\text{out1}) \approx V_{DD} \exp \frac{-t'}{R_{pd}(C_{out} + C_p)} \quad (t' > 0) \quad (2.1.3)$$

( $t'$  是以输入为  $0.5V_{DD}$  跳变处的测量值,  $t' = 0$  是指  $t = 20\text{ps}$ )  $C_p$  等于 4 个标准负载 ( $4 \times 0.034\text{pF} = 0.136\text{pF}$ )。

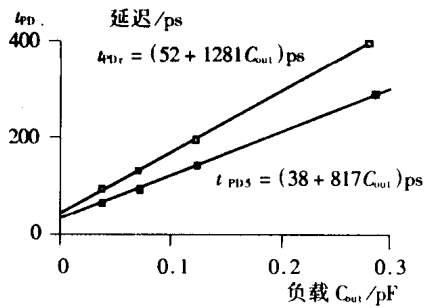
$$R_{pd}(C_{out} + C_p) = (38 + 817 \times 0.136)\text{ps} = 149.112\text{ps} \quad (2.1.4)$$



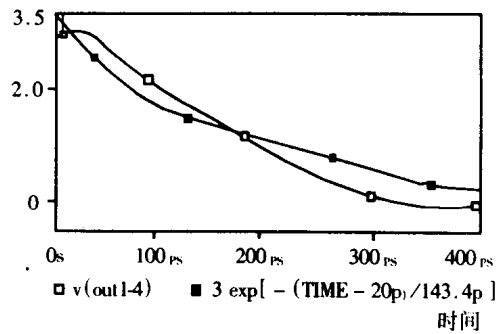
(a)



(b)



(c)



(d)

图 2.1.3 电路与模拟结果

为了将模型值与模拟值进行比较,取  $\ln \frac{1}{0.35} = 1.04$ , 因此有

$$V(\text{out1}) = 3.0 \exp \frac{-t'}{149.112/1.04} = 3.0 \exp \frac{-(t-20)}{143.4} \quad \text{对 } t > 20\text{ps} \quad (2.1.5)$$

式(2.1.5)的结果示于图 2.1.3(d)中,对于  $V(\text{out1}) = 1.05\text{V}$ (即  $0.35 V_{\text{DD}}$ 跳变处),由式(2.1.5)得到  $t = 20 + 149.112 \approx 169 \text{ ps}$  与图 2.1.3(b)相吻合。

现在从图 2.1.3(c)和式(2.1.2)得到:

$$t_{\text{ptr}} = (52 + 1281 C_{\text{out}}) \Rightarrow C_{\text{pr}} = 52/1281 = 0.041\text{pF}$$

$$t_{\text{pB}} = (38 + 817 C_{\text{out}}) \Rightarrow C_{\text{pB}} = 38/817 = 0.047\text{pF}$$

从以上分析可知本征寄生电容值随输出跳变点的取值变化而变化,下一节将进一步讨论寄生电容。

## 2.2 晶体管的寄生电容

逻辑单元的延迟起因于晶体管的电阻、寄生电容和负载电容。当逻辑单元相互连接时,被驱动单元的寄生输入电容就成了驱动单元的负载电容,它将主要决定驱动单元的延迟。

图 2.2.1 描述了晶体管的各种寄生电容,Pspice(V5.4 版本)模拟结果值如表 2.2.1 所示。

表 2.2.1 Pspice 模型参数

参 数	名 称	m1	m2
	模 型	CMOSN	CMOSP
ID		7.49E-11A	-7.49E-11A
VGS		0.00E+00V	-3.00E+00V
VDS		3.00E+00V	-4.40E-08V
VBS		0.00E+00V	0.00E+00V
VTH		4.14E-01V	-8.96E-01V
VDSAT		3.51E-02V	-1.78E+00V
GM		1.75E-0.9S	2.52E-11S
GDS		1.24E-10S	1.72E-03S
GMB		6.02E-10S	7.02E-12S
CBD		2.06E-15F	1.71E-14F
CBS		4.45E-15F	1.71E-14F
CGSOV		1.80E-15F	2.88E-15F
CGDOV		1.80E-15F	2.88E-15F
CGBOV		2.00E-16F	2.01E-16F
CGS		0.00E+00F	1.10E-14F
CGD		0.00E+00F	1.10E-14F
CGB		3.88E-15F	0.00E+00F

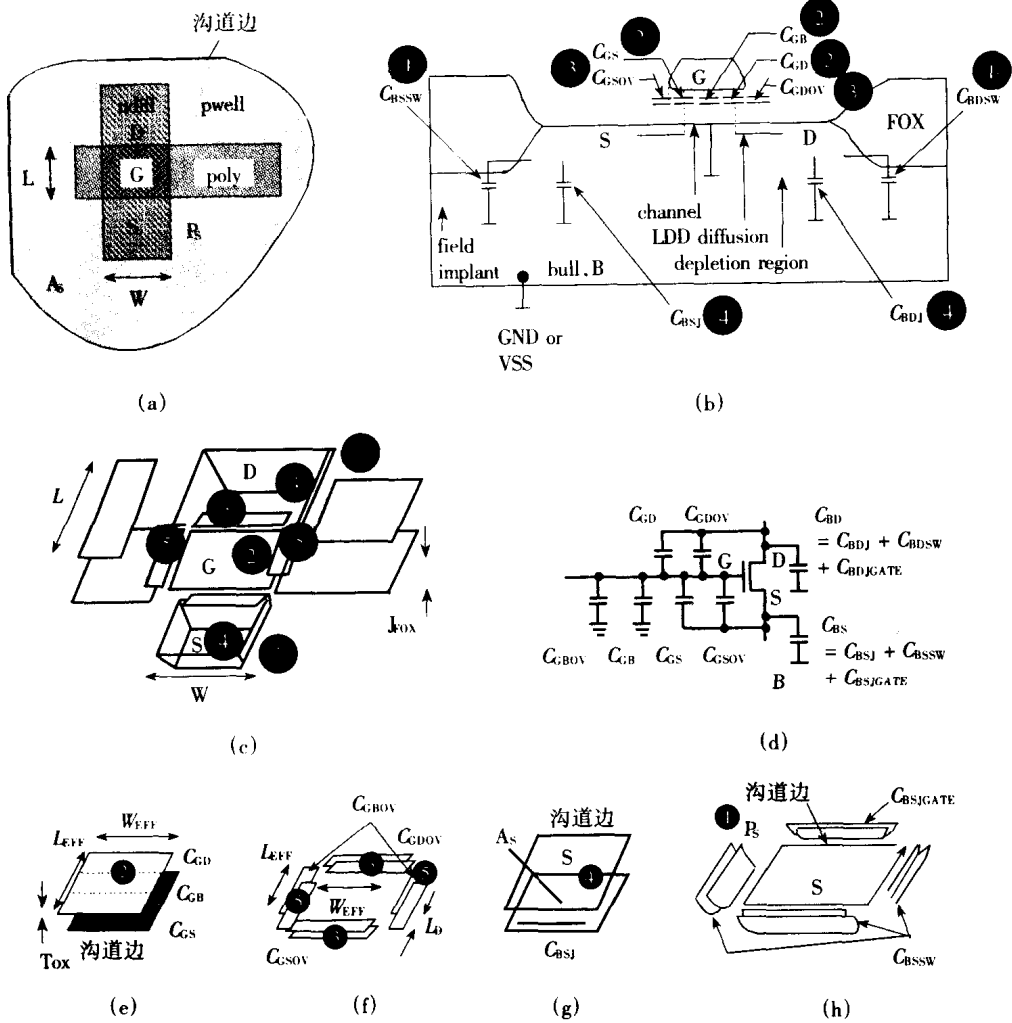


图 2.2.1 晶体管的寄生电容

参数  $I_D(I_{DS})$ ,  $V_{GS}$ ,  $V_{DS}$ ,  $V_{BS}$ ,  $V_{TH}(V_t)$  和  $V_{DSAT}(V_{DS}(sat))$  是直流特性参数,  $G_M$ ,  $G_{DS}$  和  $G_{MB}$  分别代表  $\frac{\partial I_{DS}}{\partial V_{GS}}$ ,  $\frac{\partial I_{DS}}{\partial V_{DS}}$  和  $\frac{\partial I_{DS}}{\partial V_{BS}}$ , 是小信号导纳, 留下的参数为寄生电容。表 2.2.2 为计算 N 沟道晶体管  $m_1$  寄生电容值。

表 2.2.2 N 沟道晶体管  $m_1$  的寄生电容 (单位: F)

PSpice	计算公式	$V_{GS} = 0V, V_{DS} = 3V, V_{SB} = 0V$ 下的值
CBD	$C_{BD} = C_{BDJ} + C_{BDSW}$	$C_{BD} = 1.855 \times 10^{-15} + 2.04 \times 10^{-16} = 2.06 \times 10^{-15}$
	$C_{BDJ} = A_D C_J (1 + V_{DB}/\phi_B)^{-m_j}$ ( $\phi_B = PB$ )	$C_{BDJ} = (4.032 \times 10^{-15}) (1 + \frac{3}{1})^{-0.56}$ $= 1.8550983 \times 10^{-15}$
	$C_{BDSW} = P_D C_{JSW} (1 + V_{DB}/\phi_B)^{-m_{jsw}}$	$C_{BDSW} = (4.2 \times 10^{-16}) (1 + \frac{3}{1})^{-0.52}$ $= 2.0425754 \times 10^{-16}$



PSpice	计算公式	$V_{GS} = 0V, V_{DS} = 3V, V_{SB} = 0V$ 下的值
CBS	$C_{BS} = C_{BSJ} + C_{BSSW}$ $C_{BSJ} = A_S C_J (1 + V_{SB}/\phi_B)^{-m_J}$ $C_{BSSW} = P_S C_{JSW} (1 + V_{SB}/\phi_B)^{-m_{JSW}}$	$C_{BS} = 4.032 \times 10^{-15} + 4.2 \times 10^{-16} = 4.452 \times 10^{-15}$ $A_S C_J = (7.2 \times 10^{-12})(5.6 \times 10^{-4}) = 4.032 \times 10^{-15}$ $P_S C_{JSW} = (8.4 \times 10^{-6})(5 \times 10^{-11}) = 4.2 \times 10^{-16}$
CGSOV	$C_{GSOV} = W_{EFF} C_{GSO}; W_{EFF} = W - 2W_D$	$C_{GSOV} = (6 \times 10^{-6})(3 \times 10^{-10}) = 1.8 \times 10^{-16}$
CGDOV	$C_{GDOV} = W_{EFF} C_{GSO}$	$C_{GDOV} = (6 \times 10^{-6})(3 \times 10^{-10}) = 1.8 \times 10^{-15}$
CGBOV	$C_{GBOV} = L_{EFF} C_{GBO}; L_{EFF} = L - 2L_D$	$C_{GBOV} = (0.5 \times 10^{-6})(4 \times 10^{-10}) = 2 \times 10^{-16}$
CGS	$C_{GS}/C_0 = 0(\text{off}), 0.5(\text{lin.}), 0.66(\text{sat.})$ $C_0(\text{氧化电容}) = \frac{W_{EFF} L_{EFF} \epsilon_{ox}}{T_{ox}}$	$C_0 = (6 \times 10^{-6})(0.5 \times 10^{-6})(0.00345)$ $= 1.035 \times 10^{-14}$ $C_{GS} = 0.0$
CGD	$C_{GD}/C_0 = 0(\text{off}), 0.5(\text{lin.}), \approx 0(\text{sat.})$	$C_{GD} = 0.0$
CGB	$C_{GB} = 0(\text{on}), \approx \frac{C_o \times C_s}{C_o + C_s}$	$C_{GB} = 3.88 \times 10^{-15}$
输入	MODEL CMOSN NMOS LEVEL = 3 PHI = 0.7 TOX = 10E - 09 XJ = 0.2U TPG = 1 VTO = 0.65 DELTA = 0.7 + LD = 5E - 08 KP = 2E - 04 UO = 550 THETA = 0.27 RSH = 2 GAMMA = 0.6 NSUB = 1.4E + 17 NFS = 6E + 11 + VMAX = 2E + 05 ETA = 3.7E - 02 KAPPA = 2.9E - 02 CGDO = 3.0E - 10 CGSO = 3.0E - 10 CGBO = 4.0E - 10 + CJ = 5.6E - 04 MJ = 0.56 CJSW = 5E - 11 MJSW = 0.52 PB = 1 ml outl inl 0 0 cmosn W = 6U L = 0.6U AS = 7.2P AD = 7.2P PS = 8.4U PD = 8.4U	

### 2.2.1 结电容

结电容  $C_{BD}$  和  $C_{BS}$  由两部分组成：结区和侧墙，CJ 和 MJ 为结区，CJSW 和 MJSW 为侧墙，PB 为公共区。这些电容随结电压 ( $V_{DB}$  和  $V_{SB}$ ) 变化而变化。对于表 2.2.1 中的计算公式假设源漏区面积为  $6 \mu\text{m} \times 1.2 \mu\text{m}$ ，因此  $A_D = A_S = 7.2 \mu\text{m}^2$ ，周长为  $P_D = P_S = 6 + 1.2 + 1.2 = 8.4 \mu\text{m}$ ，忽略了沟道边，是因为侧墙对着沟道（对应图 2.2.1 中的  $C_{BSJGate}$  和  $C_{BDJGate}$ ）。

对于 P 沟晶体管  $m2$  ( $W = 1.2 \mu\text{m}, L = 0.6 \mu\text{m}$ )，源漏区面积为  $12 \mu\text{m} \times 1.2 \mu\text{m} = 14.4 \mu\text{m}^2$ ，故  $A_D = A_S = 14 \mu\text{m}^2$ ，周长  $P_D = P_S = 12 + 1.2 + 1.2 \approx 14.4 \mu\text{m}$ 。

要注意  $0.6 \mu\text{m}$  工艺 ( $\lambda = 0.3 \mu\text{m}$ ) 中， $1.2 \mu\text{m}$  条形扩散区其宽度为  $4\lambda$ ，其尺寸已足够容纳过空大小。

### 2.2.2 重叠电容

表 2.2.2 中重叠电容  $C_{GSOV}$  和  $C_{GDOV}$  是指源区延伸到栅下的区域电容，其  $LD = 0.05 \mu\text{m}$ 。

### 2.2.3 栅电容

表 2.2.2 中栅电容的计算随着工作区域的不同而不同，栅源电容  $C_{GS}$  从晶体管截止区的 0 到线性区  $0.5C_0$  ( $0.5 \times 1.035 \times 10^{-15} = 5.18 \times 10^{-16} \text{F}$ )，在饱和区则为  $\frac{2}{3}C_0$  ( $= 6.9 \times 10^{-16} \text{F}$ )。栅漏电容则从截止区的 0 到  $0.5C_0$  (线性区)，最后到饱和区时又恢