

第0章 绪论

微电子工业是飞速发展的高技术产业，其产品在各个领域得到广泛应用。近年来，信息业、计算机业及家电业之所以能取得如此巨大的成就，主要是得益于微电子工业的发展，特别是集成电路的发展。集成电路的发展水平已成为一个国家工业发展水平的标志。

微电子产品主要是半导体分立器件和集成电路，集成电路是最主要的微电子产品，它们占整个微电子产品的90%以上。本书着重介绍集成电路制造技术的原理与工艺。在绪论中，仅就集成电路工艺的概念、发展历程、特点、主要用途，以及本书的内容结构加以介绍。

0.1 何谓集成电路工艺

所谓“工艺”，是指将原材料或半成品加工成产品的工作、方法和技术等。

硅基微电子产品的生产过程示意图如图0-1所示。单晶硅锭被切割加工成硅片后，微电子芯片厂商从硅片开始，经过20~30个工艺步骤，在硅片上制造出各种集成电路或分立器件结构，然后对其进行测试、划片、封装，最后将成测合格的微电子产品提供给用户。

而当前，多数集成电路芯片生产企业只完成从硅片到在其上制造出集成电路结构的芯片加工部分，后期工作由专门的芯片测试和芯片封装厂商完成。

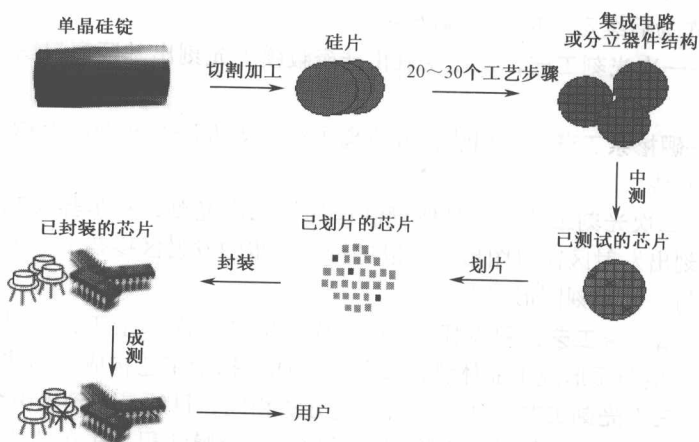


图0-1 硅基微电子产品的生产过程示意图

集成电路工艺（或称微电子工艺）狭义上是指在半导体硅片上制造出集成电路或分立器件的芯片结构，这20~30个工艺步骤的工作、方法和技术即为芯片制造工艺。不同集成电路芯片的制造工艺不同，且结构复杂的超大规模集成电路芯片的制造工艺相当烦琐复杂。不同产品芯片的20~30个工艺步骤中，工作内容近似、工作目标基本相同的单元步骤称为单项工艺。也就是可以把集成电路工艺分解为多个基本相同的单项工艺，不同产品芯片的制造工艺就是将多个单项工艺按照需要以一定顺序进行排列，具体产品制造工艺分解的单项工艺的排列顺序称为该产品的工艺流程。

双极型晶体管是集成电路产品中最基本的器件，也是双极型集成电路的基本单元，它的制造工

艺具有代表性。图 0-2 给出了硅基双极型 npn 晶体管芯片制造的主要工艺流程。

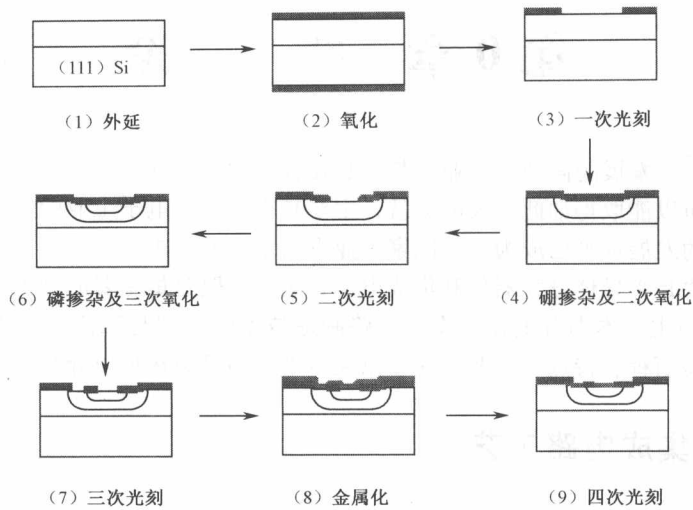


图 0-2 硅基双极型 npn 晶体管芯片制造的主要工艺流程

由图 0-2 可知，双极型晶体管芯片的制造主要由 9 个工艺步骤完成。

步骤 (1) ——**外延工艺**，是在重掺杂的单晶硅片上通过物理（或化学）的方法生长轻掺杂的单晶硅层，晶体管的两个 pn 结就是做在这层轻掺杂的外延层上。

步骤 (2) ——**氧化工艺**，是在硅片表面用热氧化方法或物理（或化学）薄膜淀积方法得到一层二氧化硅薄膜，作为后续定域掺杂的掩蔽膜。

步骤 (3) ——**一次光刻工艺**，是在二氧化硅掩蔽膜上光刻出基区窗口图形来，以进行下一步的基区掺杂。

步骤 (4) ——**硼掺杂工艺**，是用热扩散或离子注入等方法在 n 型硅上掺入 p 型杂质硼，目的是获得晶体管的集电结。

步骤 (5) ——**二次光刻工艺**，是晶体管制作的第二次光刻，和步骤 (3) 一样，目的是在二氧化硅掩蔽膜上光刻出发射区窗口图形来，以进行下一步的发射区掺杂。二次光刻是在一次光刻基础上进行的，必须与一次光刻图形对准。

步骤 (6) ——**磷掺杂工艺**，和步骤 (4) 一样，也是一次掺杂工艺，只是掺入的杂质是磷，在 p 型基区上掺入 n 型杂质形成了晶体管的发射结，两步掺杂工艺构成了晶体管的两个 pn 结。

步骤 (7) ——**三次光刻工艺**，和前两次光刻方法相同，目的是光刻出引线孔图形。

步骤 (8) ——**金属化工艺**，是采用物理（或化学）薄膜淀积方法在芯片表面淀积金属层，作为晶体管芯片内的引出电极。

步骤 (9) ——**四次光刻工艺**，这次光刻与前三次光刻承载图形的薄膜不同，是金属薄膜。但光刻方法和前三次光刻工艺的方法大致相同。

由以上晶体管芯片工艺流程可知，晶体管的制造工艺实质上是由外延、氧化、光刻、掺杂、金属化五个单项工艺按一定顺序排列构成的。这五个单项工艺是集成电路工艺的核心内容，其中，光刻工艺在晶体管芯片制造中用到了 4 次，掺杂工艺用到了 2 次。

晶体管制造工艺包含前工艺和后工艺两部分。晶体管芯片工艺称为晶体管制造前工艺，是集成电路产品制造的特有工艺。晶体管芯片工艺完成之后，接下来的工艺称为晶体管制造后工艺，如图 0-1 微电子产品的生产过程示意图后面部分所示。后工艺也称为测试封装工艺。

晶体管制造后工艺流程内容为：中测，测试整个硅片上的晶体管性能；分割硅片，剔除性能不合格的管芯，得到合格的单个管芯；管芯黏结，用导电胶等将管芯黏结在管壳的底座上，或者通过烧结等方法使底座与管芯之间形成欧姆接触；压焊，用压焊机将硅铝丝或金丝一端焊接在芯片压焊点上，另一端焊接在管座的接线柱上，目的是将管芯的发射极和基极用金属丝分别与管座上相应的接线柱连接起来，实现内部电连接；封帽，扣上管壳的管帽，用封帽机将管帽密封焊接在管座上。最后，通过测试选出合格的晶体管。

在硅基微电子产品中，目前分立器件除大功率晶体管以及高频、微波等特殊用途器件之外，常规元器件多以集成方式出现。主要是各种类型的集成电路，如特大规模集成电路（ULSI）、超大规模集成电路（VLSI）、大规模集成电路（LSI）、中规模集成电路（MSI）、小规模集成电路（SSI），以及用户专用电路（ASIC）。

集成电路把一个电路中所需的晶体管、二极管、电阻、电容和电感等元器件及金属布线互连在一起，制作在半导体芯片上，然后封装在管壳内，具有所需的电路功能。集成电路的制造工艺与分立器件的制造工艺一样，都是在硅平面工艺基础上发展起来的，有很多相同之处，如氧化、光刻等单项工艺，其工艺方法、原理及使用的设备都基本相同。但是，也有许多不同之处，最大的不同之处是各元器件之间的电隔离和芯片内部实现电连接的金属化系统。而且，集成电路（特别是 ULSI）比分立器件复杂得多，因此，ULSI 制造工艺是在和分立器件类似的单项工艺基础上又增加了一些特有的工艺技术，如芯片表面平坦化工艺、选择性（局部）氧化工艺等。

集成电路工艺从广义上讲，包含半导体集成电路和分立器件芯片制造及测试封装的工作、方法和技术。集成电路工艺是微电子学中最基础的、最主要的研究领域之一。

0.2 集成电路制造技术发展历程

1947 年年末，美国的贝尔实验室（Bell Lab）发明了半导体点接触式晶体管，这是最早的半导体器件，随后出现了合金结晶体管，它们采用的半导体材料都是锗晶体。合金法制造 pn 结工艺示意图如图 0-3 所示。



图 0-3 合金法制造 pn 结工艺示意图

直到 1954 年，第一块硅晶体才由美国德州仪器公司（Texas Instruments）研发成功。几乎同时，利用气体扩散把杂质掺入半导体的技术也由贝尔实验室研发出来。有重要意义的突破是，在硅片上热生长出了既具有优良电绝缘性能又能掩蔽杂质扩散的二氧化硅层。此后不久，在照相印刷业中早已广泛应用的光刻技术以及透镜制造业中应用的薄膜蒸发技术被引进到半导体工艺中来。仙童半导体公司（Fairchild Semiconductor）研制的硅平面工艺使制造性能稳定的平面晶体管成为可能。

以平面工艺制造 pn 结的工艺流程如图 0-4 所示，其要点如下：

- ①在硅的平坦表面上生长出一层稳定的二氧化硅；
- ②采用光刻技术在二氧化硅上刻出窗口；
- ③通过刻出的窗口将掺杂剂掺入硅，掺杂剂沿垂直和水平两个方向在硅中扩散，在窗口附近形成一定的杂质分布；
- ④pn 结在表面处被二氧化硅覆盖，这层二氧化硅不再被去掉，可使器件性能更加稳定。

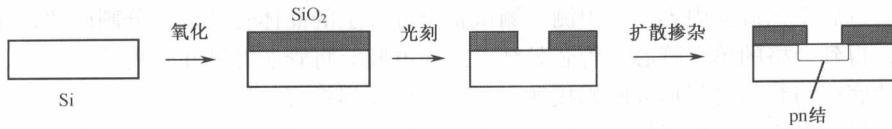


图 0-4 以平面工艺制造 pn 结的工艺流程图

硅平面工艺的发明使集成电路的制造成为可能。1958 年美国的德州仪器公司和仙童半导体公司各自研制出了双极型集成电路。1962 年 MOS 场效应晶体管和 MOS 场效应集成电路也相继诞生。

从集成电路诞生到 20 世纪 80 年代,是以工艺技术的发展为主导来促进微电子产品、特别是集成电路的高速发展时期。1960 年外延技术出现,诞生了外延晶体管。20 世纪 70 年代初,美国研制出第一台离子注入机,使在硅片的定域掺杂更精确、更均匀,可以在更薄的表面层内实现精确掺杂,由此集成电路也向更大规模方向发展。随后等离子干法刻蚀、化学气相淀积等新工艺、新技术也不断出现。

进入 20 世纪 80 年代中后期,集成电路设计从微电子生产制造业中独立出来,微电子工艺也进一步完善和规范,形成了集成电路标准制造工艺。全球第一家集成电路标准加工厂 (Foundry) 是 1987 年成立的中国台湾积体电路公司,它的创始人张忠谋也被誉为“晶体芯片加工之父”。

20 世纪 90 年代之后,集成电路制造向高度专业化的转化成为一种趋势,开始形成电路设计、芯片制造、电路测试和芯片封装四个相对独立的行业。基于实际应用需求而进行的集成电路设计成为引领和推动微电子工艺高速发展的源动力,它不断对工艺技术提出更高要求。这时芯片制造的横向加工精度开始进入亚微米范围,出现了电子束光刻、X 射线光刻、深紫外光刻工艺技术;纵向加工精度也进一步提高,出现了可生长几个原子厚度外延层的分子束外延工艺、薄层氧化工艺和浅结掺杂技术等。在集成电路金属互连工艺方面,从 1985 年起 IBM 公司 (International Business Machine Corporation) 就开始研发用铜代替铝作为超大规模集成电路多层金属互连系统的工艺技术,直到 1998 年才在诺发公司 (Novellus System) 的协助下研制出了铜互连工艺,并将其应用在实际的集成电路制造中,1999 年苹果公司 (Apple Computer, Inc.) 也在 400 MHz 微处理器中采用了铜互连工艺。围绕着铜互连产生了一系列芯片制造工艺的改进技术,如铜层电镀技术、化学机械抛光技术等。

现代微电子工艺是以硅平面工艺为基础而发展起来的。最能体现微电子工艺发展水平的单项工艺是光刻工艺,一般用光刻工艺或光刻特征尺寸 (光刻图形能够分辨的最小线条宽度) 来表征微电子工艺水平。

计算机动态随机存储器 (DRAM) 芯片,从出现到现在,几十年时间里其使用功能基本相同,具有很高的集成度,也最能反映出集成电路工艺的发展历程。所以,通常用 DRAM 芯片的发展历程来表明集成电路工艺水平的进步。DRAM 芯片发展历程如表 0-1 所示。

表 0-1 DRAM 芯片发展历程

年 代	1985 年	1988 年	1991 年	1994 年	1997 年	2000 年
集成度	1 MB	4 MB	16 MB	64 MB	256 MB	1 GB
最小线宽	1.25 μm	0.8 μm	0.6 μm	0.5 μm	0.35 μm	0.18 μm
光刻技术	光学曝光		准分子/电子束	电子束	X 射线 (电子束)	

2000 年,集成电路芯片主流产品的特征尺寸已在 0.18 μm 以下,集成电路工艺开始向纳米阶段发展。到 2004 年,集成电路的特征尺寸正式进入到纳米量级,90 nm 线宽的集成电路工艺被大规模应用在中央处理器 (CPU)、数字信号处理电路 (DSP) 等复杂集成电路芯片中。目前,浸润

式光刻技术已经在 90 ~ 65 nm 水平工艺上应用, 准分子激光光刻技术、远紫外曝光光刻技术和电子束投影光刻技术不断完善, 有望成为主流光刻技术。铜互连技术已应用于高端电路芯片的生产工艺中, 并由最初的 6 ~ 7 层互连发展到现今的 9 ~ 10 层互连。铜互连技术本身及相关技术将继续拓展并趋于成熟和完善, 最终将完全替代铝互连技术成为主流互连技术。

人类对电子产品的要求一直向着体积更小、速度更快、功耗更低、性能更高的方向发展。随着元器件特征尺寸的持续缩小, 集成电路的集成度不断提高, 传统的集成电路工艺进一步完善和拓展。另外, 一些新机理、新结构的纳电子器件及电路被设计出来, 与之相适应的新的工艺技术——纳电子工艺也正在诞生。

0.3 集成电路制造技术特点

集成电路工艺是一种超精细加工工艺, 目前工艺特征尺寸已进入纳米量级, 因此对工艺环境、使用原材料的要求非常高。而芯片工艺的一次循环就可以制造出大量芯片产品的特性, 使得集成电路工艺具有高可靠、高质量、低成本的优势, 从而其应用范围也就比较广泛。

0.3.1 超净环境

集成电路芯片的特征尺寸已在深亚微米量级, 在芯片的关键部位若有 1 μm 甚至更小的尘粒, 都会对芯片性能产生很大影响, 甚至导致其功能失效。所以, 芯片工艺对环境要求严格, 是一种超净工艺, 即集成电路芯片必须在超净环境下生产。

超净工艺完成场所可以是超净工作台、超净工作室、超净工作线, 一般用“超净室”来概括。超净室是指一定空间范围内, 室内空气中的微粒、有害气体、细菌等污染物被排除, 其温度、洁净度、压力、气流速度与气流分布、噪音振动及照明、静电等被控制在某一范围内的工作环境。无论室外空气条件如何变化, 室内均能维持原设定要求的洁净度、温湿度及压力等特性。超净室结构和运行原理如图 0-5 所示。达到目标温度和湿度的空气, 经增压室增压, 通过天花板的过滤器过滤进入室内, 再以适当角度并以层流方式流向超净室地板, 在负压作用下通过地板或从地板四周流出超净室, 再经气道回到位于天花板上层的气体处理室。在气体处理室, 废气被直接提取、分离后处理、排除。而处理过的循环气体与一定温度和湿度的新鲜空气混合, 再送到位于天花板上层的压力室, 进行下一轮循环。

通过对过滤器的滤孔尺寸、空气流量、温度和湿度等进行控制, 可以得到符合空气质量等级标准的超净环境。超净室的分类等级标准有美国联邦 209E 标准 (如表 0-2 所示)、中国新 ISO14644-1 标准 (如表 0-3 所示) 等, 均定义为单位体积 (即每立方英尺/美国标准, 每立方米/ISO14644-1 标准) 空气中含一定尺寸悬浮颗粒的数量。

集成电路工艺的发展对工艺环境要求不断提高, 不同集成电路芯片对工艺环境超净等级要求不同, 芯片特征尺寸越小, 要求超净室的级别越高。而同种芯片的不同单项工艺要求的超净室等级也不同, 如光刻工艺对环境要求就较高。

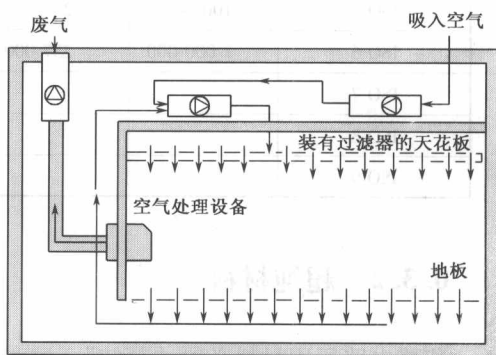


图 0-5 超净室结构和运行原理示意图

表 0-2 美国联邦 209E 标准

超净室分类 (级)	浓度极限 (个/ft ³)				
	≥0.1 μm	≥0.2 μm	≥0.3 μm	≥0.5 μm	≥5 μm
1	35	7.5	3	1	
10	350	75	30	10	
100		750	300	100	
1000				1000	7
10 000				10 000	70
100 000				100 000	700

表 0-3 中国新 ISO14644-1 标准

超净室分类 (级)	浓度极限 (个/m ³)					
	≥0.1 μm	≥0.2 μm	≥0.3 μm	≥0.5 μm	≥1 μm	≥5 μm
ISO 1	10	2				
ISO 2	100	24	10	4		
ISO 3	1000	237	102	35	8	
ISO 4	10 000	2370	1020	352	83	
ISO 5	100 000	23 700	10 200	3520	832	29
ISO 6	1 000 000	237 000	102 000	35 200	8320	293
ISO 7				352 000	83 200	2930
ISO 8				3 520 000	832 000	29 300
ISO 9				35 200 000	8 320 000	293 000

0.3.2 超纯材料

集成电路所用材料必须“超纯”，这和工艺环境要求“超净”相一致。超纯材料是指半导体材料（不包括专门掺入的杂质），其他功能性电子材料及工艺消耗品等都必须为高纯度材料。

目前，集成电路工艺用半导体硅、锗材料的纯度已达 99.99999999% 以上，即 11 个 9，记为 11N。功能性电子材料（如 Al、Au 等金属化材料）、掺杂用气体、外延气体等必须是集成电路用高纯度材料。工艺材料（如化学试剂，也是集成电路专用级高纯试剂）杂质含量已低于 0.1 ppb^①，而石英杯、石英舟等工艺器皿用的石英材料的杂质含量也低于 100 ppm^②。集成电路工艺的发展对材料纯度要求不断提高，一般来说，不同集成电路芯片对材料纯度要求不同，芯片特征尺寸越小，要求材料纯度也就越高。

水也是用量很大的一种工艺材料，既用于硅片、电子材料及工艺器皿的清洗，也用于配制化学品，在氧化工艺中也可作为硅片氧化的原材料。芯片工艺用水必须是超纯水，在微电子生产企业都

① 十亿分之一。 ② 十万分之一。

有超纯水生产车间, 水质的好坏直接影响到芯片质量, 水质不达标可能导致不能生产出合格的产品。微电子工业用超纯水一般用电阻率来表征水的纯度, 超大规模集成电路用超纯水的电阻率在 $18 \text{ M}\Omega \cdot \text{cm}$ 以上, 普通大功率晶体管用超纯水的电阻率一般在 $10 \text{ M}\Omega \cdot \text{cm}$ 以上。

0.3.3 批量复制和广泛的用途

由图 0-2 所示双极型晶体管芯片制造的主要工艺流程可知, 用 9 个主要单项工艺步骤就能完成晶体管管芯的制造。只要缩小每个管芯尺寸, 增大硅片面积, 不需要增加工艺步骤, 完成一次工艺流程制造出的管芯就可以从几十、几百个增加到成千上万甚至上亿个。而且, 在一个晶片上的管芯是在完全相同工艺条件下制造出来的, 性能一致性好。

对集成电路芯片而言, 也可以通过缩小各单元元件尺寸、增大硅片面积, 一次工艺循环就能在一个硅片上制造出成百上千甚至上万个电路芯片。集成电路各单元元件之间的电连接也是在同一工艺循环中完成的, 在一个芯片上就实现了某种电路功能, 相对于用多个分立元器件搭建的电路, 元件之间间距小, 没有外部电连接, 受环境影响小, 有更高的稳定性和可靠性。

随着集成电路产品的特征尺寸的减小, 光刻工艺获得的横向最小尺寸已发展到深亚微米量级, 掺杂、薄膜淀积所获得的纵向最小尺寸在几十纳米量级, 而工艺精度更在此之上。因此, 集成电路工艺是高可靠、高精度、低成本、适合批量化大生产的加工工艺。

由于集成电路工艺在微细加工方面具有适合批量化、低成本、高可靠、高精度的优势, 它在多个领域被广泛采用。微机电系统 (Micro-ElectroMechanical Systems, MEMS) 就是在集成电路工艺基础上发展起来的多学科交叉科技领域之一。采用集成电路工艺及硅、非硅微加工技术, 将微传感器、微执行器、控制电路等集成在芯片上构成了微机电系统。

集成电路工艺中的一些关键单项工艺 (如光刻、化学气相淀积、分子束外延等) 也是纳米技术中由上至下加工技术的重要内容, 纳米技术中的一些关键技术是在集成电路工艺基础上发展起来的, 如软光刻技术就是在光刻工艺中发展起来的。

因此, 集成电路工艺是 MEMS 和纳米技术的基础, 对它们的诞生和发展起到了推动作用。

0.4 本书内容结构

集成电路工艺用的单晶硅片或外延硅片的性质, 对集成电路产品性能及芯片工艺有直接的影响, 因此, 本书首先介绍单晶硅片和外延硅片的结构、特性及制备工艺。硅芯片单项工艺是集成电路工艺的基础, 也是本书的核心内容, 书中详细介绍当前主流硅芯片制造单项工艺的基本原理、基本工艺方法、工艺用途和所依托的物理基础; 概述单项工艺所用设备、主要工艺参数的检测方法及发展趋势。集成电路产品种类繁多, 不同产品制造工艺不同, 但同类产品工艺流程相似, 且不同产品也有相同的工艺集成技术 (工艺模块), 因此, 本书对典型工艺集成技术、典型集成电路产品芯片的标准工艺流程进行介绍, 从而使读者对各类集成电路产品芯片的实际工艺有所了解。最后, 还将介绍集成电路芯片的测试工艺和封装工艺。

全书共分为 5 个单元, 内容框架如图 0-6 所示。

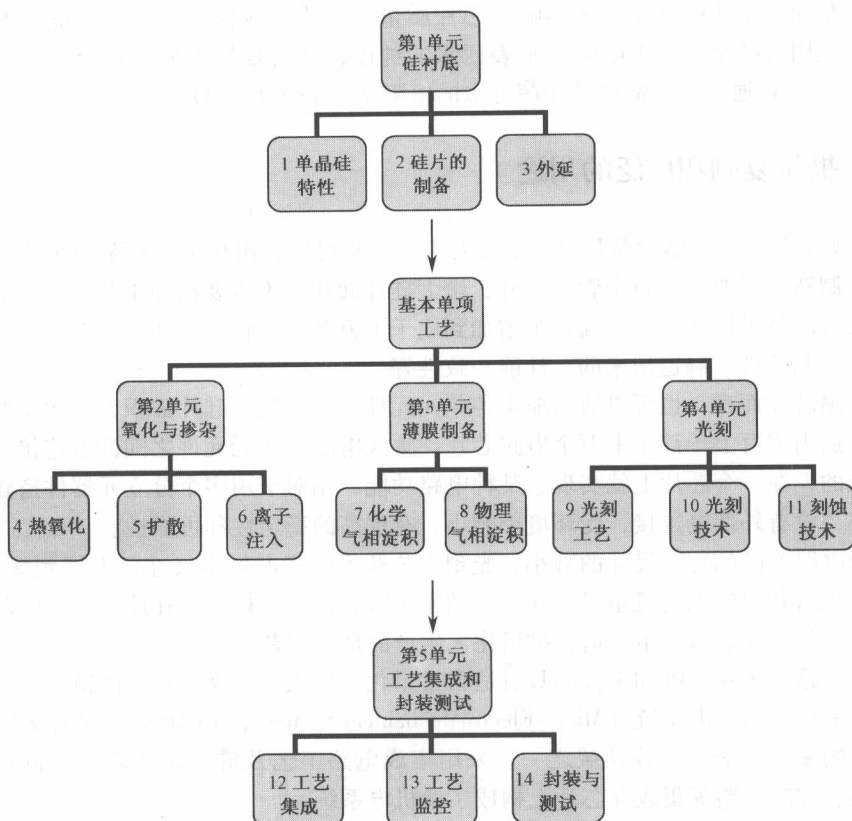


图 0-6 内容框架图

各单元具体章节内容如下。

第 1 单元硅衬底，介绍硅衬底的制造工艺及相关理论：第 1 章单晶硅特性，主要介绍硅晶体的结构特点，以及集成电路工艺中用到的一些固态电子学理论；第 2 章硅片的制备，介绍单晶硅锭的主要拉制方法，硅片的制备及检测；第 3 章外延，介绍外延硅片的制备原理、方法，包含气相外延、分子束外延及新出现的外延技术。

基本单项工艺分为 3 个单元。第 2 单元氧化与掺杂，这是最基本的硅平面工艺，共有 3 章，第 4 章热氧化，介绍在硅片上热生长二氧化硅的工艺；第 5 章扩散，介绍以热扩散方法进行定域定量掺杂工艺；第 6 章离子注入，介绍以离子注入和退火相结合的定域定量掺杂工艺。第 3 单元薄膜制备，共有 2 章，第 7 章化学气相淀积，介绍采用化学气相淀积（CVD）方法制备介质薄膜和多晶硅薄膜的薄膜淀积工艺；第 8 章物理气相淀积，介绍采用物理气相淀积（PVD）方法制备金属薄膜、合金薄膜和化合物薄膜的薄膜淀积工艺。第 4 单元光刻，共有 3 章，第 9 章光刻工艺，介绍在硅片薄膜上光刻图形的工艺；第 10 章光刻技术，介绍光刻工艺所用光刻版、光刻胶、光刻设备及光刻工艺发展趋势；第 11 章刻蚀技术，介绍干法和湿法薄膜刻蚀工艺。第 5 单元工艺集成与封装测试，这一单元介绍典型工艺集成技术的要点，典型集成电路产品的工艺流程，以及芯片封装、测试技术。第 12 章工艺集成，介绍典型工艺集成模块，典型分立器件和集成电路的工艺流程；第 13 章工艺监控，介绍对工艺过程的实时监控方法，检测片和图形；第 14 章封装与测试，简单介绍分立器件和集成电路的测试封装技术。

第1单元 硅 衬 底

锗、硅、砷化镓是微电子产品中使用的最多的半导体衬底材料。锗使用得最早，在微电子产品刚出现时就用其作为半导体器件及最初的小规模集成电路的衬底材料，目前除少量分立器件采用锗外，在其他产品中已很少看到用锗作为衬底材料的微电子产品。砷化镓是当前应用最多的化合物半导体衬底材料，主要作为中低规模集成度的高速电路或超过吉赫兹的模拟电路的衬底材料。硅是微电子产品中应用最广泛的半导体衬底材料，无论在大功率器件上，还是在大规模、超大规模集成电路及其他微电子产品上，都普遍使用硅单晶作为衬底材料。人们对硅的研究最为深入，作为衬底材料——硅单晶片的制备工艺也最为成熟。

在这一单元，首先介绍硅单晶材料的性质、结构特点，从而使读者了解硅单晶为何会成为微电子产品中采用最多的衬底材料。然后，介绍单晶硅锭的主要控制方法，包括直拉法、磁控直拉法、悬浮区熔法三种方法，并介绍硅片的制备及检测方法。最后，介绍气相外延硅工艺的原理、方法，以及分子束外延工艺。



图 1-1 硅单晶的晶体结构

序号	名称	规格	数量	备注
1	硅单晶锭	100mm	10	
2	硅片	100mm	100	
3	硅片	150mm	50	
4	硅片	200mm	20	
5	硅片	300mm	10	
6	硅片	400mm	5	
7	硅片	500mm	2	
8	硅片	600mm	1	
9	硅片	800mm	1	
10	硅片	1000mm	1	

第 1 章 单晶硅特性

固态物质可分为两大类，即晶体和非晶体。同种成分物质的晶体和非晶体在内部结构和物理化学性质等方面都存在着本质差别。硅基微电子产品都是采用硅单晶作为衬底材料的。因此，硅晶体的结构特点、硅晶体缺陷和硅晶体中的杂质这几方面的知识在微电子工艺中是必备的基础理论知识。

1.1 硅晶体的结构特点

1.1.1 硅的性质

硅是Ⅳ族元素，是地壳外层中含量仅次于氧的元素，占地壳的 25%。硅通常以氧化物和硅酸盐形态出现，如自然界中的石英砂、石英、水晶就是主要含硅的氧化物，而花岗岩、黏土、石棉中主要含有硅酸盐。

室温下，硅的化学性质不活泼。卤素和碱能侵蚀硅，除氢氟酸外绝大多数酸都不能侵蚀硅。

单质硅有无定形体和晶体两种类型。晶体硅具有金刚石结构 (sp^3 杂化)，每个原子都与 4 个最近邻原子形成 4 对自旋相反的共有电子，构成 4 个共价键。4 个共价键取正四面体顶角方向，两两原子之间的夹角都是 $109^\circ 28'$ 。单晶硅的四面体结构如图 1-1 所示。这种金刚石型的正四面体原子共价晶体的结合能高，所以，晶体硅熔点高（达 1417°C ），硬度大（莫氏硬度为 7.0）。硅晶体在氧气中结构也不改变，但暴露在空气中的硅表面会被氧化，生成几个原子层厚的氧化层。硅晶体还可溶于氢氟酸和硝酸的混合液中生成氟化硅。

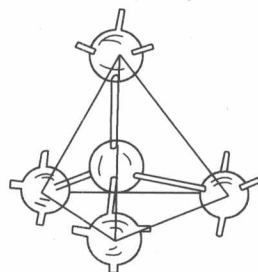


图 1-1 单晶硅的四面体结构

在微电子产品中作为衬底使用的硅片是完整晶态的单晶硅。纯单晶硅在室温下只有微弱的导电性，这时的导电性主要来源于本征激发，单晶硅是本征半导体。当在晶体中掺入Ⅴ族的磷、砷、锑等杂质取代共价硅原子时，晶体成为以电子导电的 n 型半导体；当在晶体中掺入Ⅲ族的硼、铝等杂质取代共价硅原子时，晶体成为以空穴导电的 p 型半导体。室温下硅、锗、砷化镓的电学性质如表 1-1 所示。

表 1-1 硅、锗、砷化镓的电学性质（室温）

性 质	Si	Ge	GaAs
禁带宽度 (eV)	1.12	0.67	1.43
禁带类型	间接	间接	直接
晶格电子迁移率 ($\text{cm}^2/(\text{V}\cdot\text{s})$)	1350	3900	8600
晶格空穴迁移率 ($\text{cm}^2/(\text{V}\cdot\text{s})$)	480	1900	250
本征载流子浓度 (cm^{-3})	1.45×10^{10}	2.4×10^{18}	9.0×10^6
本征电阻率 ($\Omega\cdot\text{cm}$)	2.3×10^5	47	10^8

由表 1-1 半导体材料的电学性质可知, 硅的禁带宽度比锗大, 因而硅 pn 结的反向电流比锗小, 硅元件可以工作到 150 ℃, 而锗元件只能工作到 100 ℃。所以, 硅几乎完全取代了最早在微电子领域使用的锗, 成为最主要的半导体衬底材料。但是, 从晶格电子迁移率来看, 硅比锗, 尤其比砷化镓低得多, 不适宜在高频领域工作, 而锗和砷化镓可以在高频领域工作。当前是砷化镓占领了高频、高速及微波微电子产品的衬底材料领域。另外, 硅是间接带隙半导体, 许多重要的光电应用不能采用硅材料, 而是使用直接带隙的砷化镓材料, 如发光二极管和半导体激光器, 都是 III-V 族化合物半导体的应用领域。

硅相对于其他半导体材料在电学性质方面并无多少性能优势。但是, 硅在其他方面有许多优势。表 1-2 给出了室温下硅与其他材料的理化性质。

硅相对于其他半导体材料的优势主要表现为:

①源材料充分。沙子(又称石英砂或硅石)是硅在自然界存在的主要形式, 也是用来制备单晶硅的基本源材料, 自然界大量存在且易于获得, 这为降低单晶硅衬底材料的成本提供了有利保障。

②暴露在空气中的硅表面会自然生长几个原子层厚度的本征氧化层, 在高温氧化条件下, 易于进一步生长一定厚度的、性能稳定的氧化层。氧化层对于保护硅晶片表面的元器件的结构和性质有着极其重要的作用; 本征氧化也是硅平面工艺中最主要的单项工艺之一, 在集成电路工艺发展过程及现代工艺中都发挥着很重要的作用。

③硅单晶密度是 2.33 g/cm³, 只有锗或砷化镓密度的 43.8%。相对而言, 硅微电子产品重量轻。随着超大规模集成电路集成度的增加, 芯片面积也越来越大, 所以衬底材料重量轻就能减轻产品整机的重量。特别对于在航空、航天等空间领域应用的微电子产品, 重量轻带来的优势就更加明显。

④晶体硅的热学特性好, 热导率高, 热膨胀系数小。其热导率可以和金属比拟, 钢为 1.0 W/(cm·℃)、铝为 2.4 W/(cm·℃), 硅的热导率介于钢、铝之间, 为 1.5 W/(cm·℃)。良好的热学性质能减小产品生产中由高温工艺给芯片带来的热应力; 在使用中也有利于芯片的散热, 保持整个芯片温度的均匀, 产品应用性能好。

⑤单晶硅片的工艺性能好。拉制的单晶硅锭缺陷密度低、直径大, 能够制造出晶格完整的大尺寸硅片。目前制造的硅片直径可达 16 英寸。

⑥机械性能良好。可以采用硅微机械加工技术制作微小结构元件, 在 MEMS 等领域应用前景广阔。

表 1-2 硅、锗、砷化镓、二氧化硅的理化性质(室温)

性质	Si	Ge	GaAs	SiO ₂
原子序数	14	32	31/33	14/8
原子量或分子量	28.9	72.6	144.63	60.08
原子或分子密度(atoms/cm ³)	5.00 × 10 ²²	4.42 × 10 ²²	2.21 × 10 ²²	2.30 × 10 ²²
晶体结构	金刚石	金刚石	闪锌矿	四面体无规则网络
晶格常数(Å)	5.43	5.66	5.65	
密度(g/cm ³)	2.33	5.32	5.32	2.27
相对介电常数	11.7	16.3	19.4	3.9
击穿电场(V/μm)	30	8	35	600

续表

性 质	Si	Ge	GaAs	SiO ₂
熔点 (°C)	1417	937	1238	1700
蒸气压 (torr)	10 ⁻⁷ (1050 °C)	10 ⁻⁷ (880 °C)	1 (1050 °C)	10 ⁻³ (1050 °C)
比热容 (J/(g·°C))	0.70	0.31	0.35	1.00
热导率 (W/(cm·°C))	1.50	0.6	0.8	0.01
扩散系数 (cm ² /s)	0.90	0.36	0.44	0.006
热膨胀系数 (1/°C)	2.5 × 10 ⁻⁶	5.8 × 10 ⁻⁶	5.9 × 10 ⁻⁶	0.5 × 10 ⁻⁶
有效态密度 (cm ⁻³)				
导带 N _c	2.8 × 10 ¹⁹	1.0 × 10 ¹⁹	4.7 × 10 ¹⁷	
价带 N _v	1.0 × 10 ¹⁹	6.0 × 10 ¹⁸	7.0 × 10 ¹⁸	

1.1.2 硅晶胞

晶体不仅具有规则的多面体外形，重要的是内部原子也是有规则地排列的。整个晶体由质点（原子、离子、分子）在三维空间按一定规则网格状周期性重复排列构成。这种反映晶体中原子排列规律的三维空间格子，称为晶格。如果某一固态物体是由单一的晶格连续组成的，就称该固态物体为单晶体；如果是由很多小单晶晶粒无规则地堆积而成的，就称为多晶体。

晶体中能反映原子周期性排列基本特点及三维空间格子对称性的基本单元称为晶胞。晶胞并不是晶格最小的周期性重复单元，但它能反映晶体结构的立体对称性，因而在讨论晶体结构时采用。

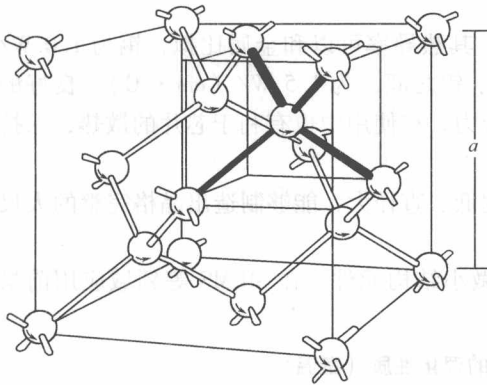


图 1-2 金刚石结构的立方晶胞示意图

硅单晶中的每个原子都与 4 个最近邻原子形成 4 个共价键，这就决定了硅晶体必为金刚石结构。金刚石结构的基本特点是每个原子有 4 个最近邻原子，它们都处于正四面体顶角方位。图 1-2 所示是金刚石结构的立方晶胞示意图，在立方单元 8 个顶点上各有 1 个原子，立方单元的 6 个面的面心处各有 1 个原子，立方单元中心到顶角引 8 条对角线，在其中不相连的 4 条对角线的中点各有 1 个原子。实际上，处在立方单元顶角和面心的原子构成了一套面心立方格子；而处在体对角线上的原子也构成一套面心立方格子。金刚石结构晶胞是由两套面心立方格子沿着体对角线错开 1/4 套构而成的复式格子。晶胞的边长就是晶格常数 a 。

单晶硅在室温 (300 K) 时， a 为 5.4305 Å。由晶格常数可以计算出单晶硅的原子密度。一个晶胞体积为 a^3 ，立方单元顶点有 8 个原子，每个原子都属于 8 个晶胞所共有，所以一个晶胞顶点的原子数就是 1；立方单元面心原子是 6 个，而每个原子属于两个晶胞所共有，所以一个晶胞面心的原子数就是 3；只有位于立方单元空间（体）对角线上的 4 个原子完全属于一个晶胞所有。因此，一个硅晶胞包含的原子数是 $1 + 3 + 4 = 8$ 个。

原子密度为：

$$\frac{8}{a^3} = \frac{8}{(5.4305 \times 10^{-8})^3} \approx 5 \times 10^{22} (\text{atoms/cm}^3)$$

由晶胞的晶格常数和原子间夹角能计算出硅晶体中原子之间的最小间距（即正四面体中心原子到顶角原子的距离，也就是晶胞体对角线长度的四分之一）为 $\sqrt{3}a/4$ 。

假设硅晶体中原子为刚性球体，并以密堆积方式排列，把原子之间的最小间距看做是两个原子直接接触，可以计算出晶体中原子的“空间利用率”。计算可得原子半径为 $\sqrt{3}a/8$ ，用硅原子的体积 $4\pi r_{\text{Si}}^3/3$ 比上每个原子在晶体中所占的体积就得到硅晶体的空间利用率。

空间利用率为：

$$\frac{\frac{4}{3}\pi r_{\text{Si}}^3}{\frac{1}{8}a^3} = \frac{\frac{4}{3}\pi\left(\frac{\sqrt{3}}{8}a\right)^3}{\frac{1}{8}a^3} \approx 0.34$$

由此可见，硅晶体中还有较大的“空隙”（约为66%）。正因如此，杂质原子能较容易地进入硅晶体中。

1.1.3 硅单晶的晶向、晶面

任何一种晶体，其原子总是可以看成是位于一系列方向相同的平行直线上，这种平行直线系称为晶列。而同一种晶体中存在许多取向不同的晶列，在不同取向的晶列上原子排列情况一般是不同的，晶体的许多性质也与晶列取向（简称晶向）有关。因此，有必要对晶列的取向进行标记。通常用“晶向指数”来标记某一取向的晶列。

晶格中的所有原子不但可以看做是位于一系列晶列上，也可以看做是位于一系列彼此平行的平面上，这种平面系称为晶面。通过任何一个晶列都存在许多取向不同的晶面，不同晶面上的原子排列情况一般也是不同的，晶体的许多性质也与晶面取向有关。因此，有必要对晶面的取向进行标记。通常用“晶面指数”来标记某一取向的晶面。

以晶格中任一格点作为原点，取过原点的三个晶列 x, y, z 为坐标系的坐标轴，沿坐标轴方向的单位矢量 (x, y, z) 称为基矢（其长度为沿 x, y, z 相邻两格点之间的距离）。则任一格点的位置可以由下面的矢量给出：

$$L = l_1x + l_2y + l_3z \quad (1-1)$$

式中， l_1, l_2, l_3 为任意整数。

而任何晶列的取向可以由连接晶列中相邻格点的矢量 $R = m_1x + m_2y + m_3z$ 的方向来标记，其中 m_1, m_2, m_3 必为互质的整数，若不互质，那么这两个格点之间一定还包含有其他格点。对于任何一个确定的晶格来说，基矢是确定的，实际上只用这三个互质的整数 m_1, m_2, m_3 来标记晶向，记为 $[m_1 m_2 m_3]$ ，这就是晶向指数。

对于晶面的标记，可以用相邻的两个平行晶面在 x, y, z 轴上的截距来表示，它们总可以表示为 $x/h_1, y/h_2, z/h_3$ 。 h_1, h_2, h_3 为整数，这是因为在任意两个格点之间所通过的平行晶面总是整数个，可以证明 h_1, h_2, h_3 是互质的。通常就用 h_1, h_2, h_3 标记晶面，记做 $(h_1 h_2 h_3)$ ，并称它们为晶面指数，又称密勒指数。

硅是金刚石结构晶胞，是由两套面心立方格子套构而成的复式格子，面心立方格子属于立方晶系。所以，以简立方晶格为基础来标记晶向、晶面。晶向的表示方法如图1-3所示，以格点 O 为原

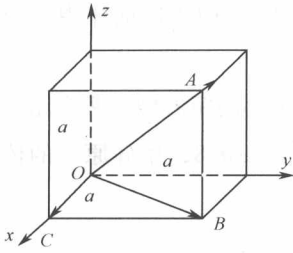


图 1-3 晶向的表示方法

点，坐标轴 x, y, z 和晶胞的三个边（晶轴）重合， OA 为连接晶列中相邻格点的一矢量，它在 x, y, z 方向上的分量相等，都等于晶格常数 a ，如以 a 为单位，则有 $m_1 = m_2 = m_3 = 1$ ， OA 方向晶列的晶向指数就为 $[111]$ 。实际上， $[111]$ 就是立方对角线的方向，这个方向共有 8 个等价方向，即还有 $[\bar{1}\bar{1}\bar{1}]$ 、 $[\bar{1}\bar{1}1]$ 、 $[\bar{1}1\bar{1}]$ 、 $[\bar{1}11]$ 、 $[1\bar{1}\bar{1}]$ 、 $[1\bar{1}1]$ 、 $[11\bar{1}]$ ，可以用 $\langle 111 \rangle$ 来概括表示这族等价方向。同理， OB 方向晶列的晶向指数为 $[110]$ ， $\langle 110 \rangle$ 晶向共有 12 个等价方向； OC 方向晶列的晶向指数为 $[100]$ ， $\langle 100 \rangle$ 晶向也共有 6 个等价方向。在集成电路工艺中硅的常用晶向分别为 $[111]$ 、 $[110]$ 、 $[100]$ 晶向。

对于简立方晶格，如图 1-4 所示是立方晶系的几种主要晶面。不难看出图 1-4 中阴影所示的三个晶面分别为 (100) 、 (110) 和 (111) 晶面。由晶格的对称性，有些晶面是彼此等效的，如晶面 (100) 有 6 种等效晶面，即还有 $(\bar{1}00)$ 、 (010) 、 $(0\bar{1}0)$ 、 (001) 、 $(00\bar{1})$ ，记为 $\{100\}$ 晶面族；晶面 (110) 有 12 种等效晶面，记为 $\{110\}$ 晶面族；晶面 (111) 有 8 种等效晶面，记为 $\{111\}$ 晶面族。在集成电路工艺中硅片常采用的晶面有三种类型，即 (111) 、 (110) 、 (100) 晶面。

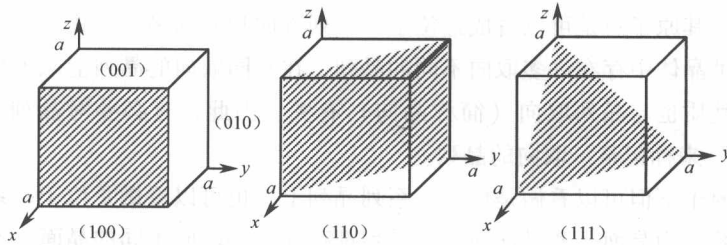


图 1-4 立方晶系的几种主要晶面

实际上， $[111]$ 晶向就是 (111) 晶面的法线方向，也可以用 $[111]$ 晶向来表示 (111) 晶面。同理， $[100]$ 晶向是 (100) 晶面的法线方向， $[110]$ 晶向是 (110) 晶面的法线方向。

硅晶体的不同晶向和晶面上，原子排列情况不同。图 1-5 所示是硅的晶体结构，由晶体结构可以得到各个晶向和晶面上的原子分布情况。

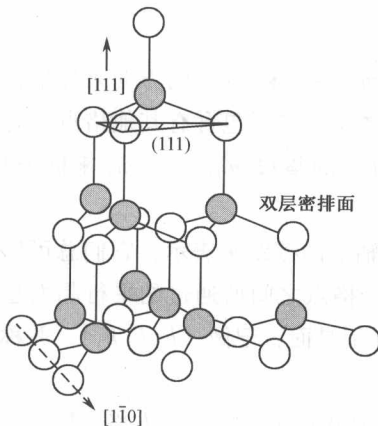


图 1-5 硅的晶体结构

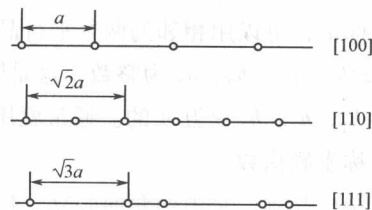


图 1-6 硅的几种常用晶向上硅原子分布图

图 1-6 所示是硅晶体中 $[100]$ 、 $[110]$ 、 $[111]$ 晶向上硅原子分布示意图。这三个晶向上单位长度内的原子数目可以计算得出，即硅的原子线密度。

$[100]$ 晶向硅原子线密度为 $1/a$ ； $[110]$ 晶向硅原子线密度为 $1.4/a$ ； $[111]$ 晶向硅原子线密度为 $1.17/a$ 。由此可知 $[110]$ 晶向的硅原子线密度最大。

图 1-7 所示是硅晶体中 (100) 、 (110) 和 (111) 晶面上原子分布示意图。晶体中某晶面上单位面积原子的个数称为原子面密度。

在 (100) 晶面上，每个晶胞里，位于角上的原子为 4 个相邻晶胞的 (100) 面所共有，而位于面心上的原子只为这一个晶胞所有，那么，在面积为 a^2 的 (100) 晶面上的原子数是 2，原子面密度为 $2/a^2$ 。

在 (110) 晶面上，每个晶胞里，位于角上的原子为 4 个相邻晶胞的 (110) 晶面所共有，位于晶面边上的每个原子为 2 个相邻晶胞的 (110) 晶面所共有，只有面内的 2 个原子才是该晶面独有的。这样，在面积为 $\sqrt{2}a^2$ 的 (110) 晶面上的原子数是 4，原子面密度为 $2.8/a^2$ 。

在 (111) 晶面上，每个晶胞里，位于角上的原子为 4 个相邻晶胞的 (111) 晶面所共有，而位于晶面边上的原子为 2 个相邻晶胞的 (111) 晶面所共有，只有面内的 2 个原子才是该晶面独有的。那么，在面积为 $\sqrt{3}a^2$ 的 (111) 晶面上原子数是 4，原子面密度为 $2.3/a^2$ 。

通过上面的计算可知，硅 (110) 晶面上原子面密度最大，但原子分布不均匀。

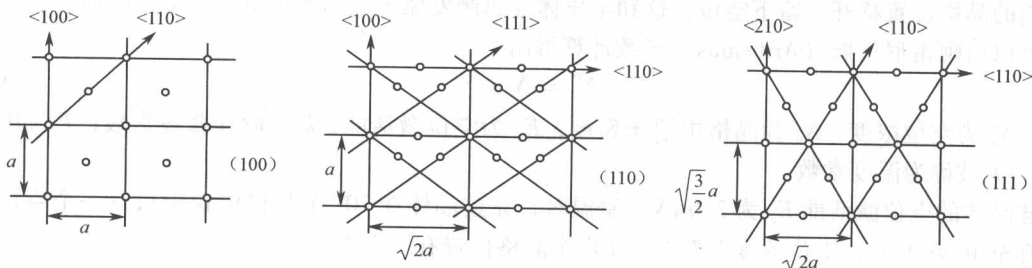


图 1-7 硅的几种常用晶面上原子分布图

由硅的晶格结构及晶向、晶面特点可知，在 $[111]$ 晶向，原子分布最为不均匀，存在原子双层密排面 $\{111\}$ 。双层密排面自身原子间距离最近，相比其他晶面结合最为牢固，晶面能也最低，化学腐蚀就比较困难和缓慢，所以腐蚀后容易暴露在表面，而在晶体生长过程中有使晶体表面成为 $\{111\}$ 晶面的趋势。相反，两层双层密排面之间的相邻原子距离最远，面间相互结合脆弱，晶格缺陷容易在这里形成和扩展，而在外力作用下，硅晶体很容易沿着 $\{111\}$ 晶面劈裂，这种易劈裂的晶面称为晶体的解理面。

硅晶体的不同晶面、晶向性质有所差异，因此，集成电路工艺是基于不同产品特性采用不同晶面的硅片作为衬底材料。

硅的解理面 (111) 面为天然易劈裂面，由硅片劈裂形状也能判断出硅片的晶面。 (100) 面与 (111) 面相交成呈 90° 角，因此 (100) 面硅片劈裂时裂纹是呈矩形形状；而 (111) 面和其他 (111) 面相交呈 60° 角，因此 (111) 面硅片劈裂时裂纹是呈三角形形状。

1.2 硅晶体缺陷

在微电子产品中作为衬底材料的硅是高度完整的晶体。尽管如此，在高度完整的晶体内部也会存在微量缺陷。而且，在制作微电子产品的工艺过程中，硅晶体内也会产生缺陷，并且会根据需要

人为地掺入杂质。硅晶体中的缺陷主要有：零维的点缺陷、一维的线缺陷、二维的面缺陷和三维的体缺陷。

1.2.1 点缺陷

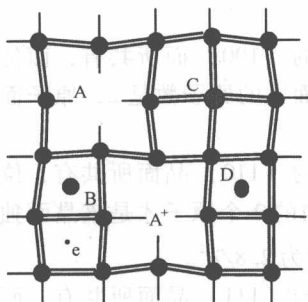


图 1-8 硅晶体中点缺陷示意图

硅晶体中的点缺陷（如图 1-8 所示）主要包括三种：空位、自填隙和杂质。空位是在晶格硅原子位置上出现空缺，如图 1-8 中的 A、A⁺；自填隙是硅原子不在晶格位置上，而是处于晶格位置之间，如图 1-8 中的 B；杂质是指硅以外的其他原子进入到硅晶体中，有两种类型，替位杂质（如图 1-8 中的 C）和填隙杂质（如图 1-8 中的 D）。

晶体中的原子由于热运动脱离晶格位置进入晶格之间，从而成为自填隙原子，同时在原处留下一个空位，这种空位和自填隙原子的组合称为弗伦克尔（Frenkel）缺陷。自填隙原子和空位并不总是停留在它们产生的位置，这两种缺陷都可以在晶体中运动，在高温时更是如此。这两种缺陷都有可能迁移到晶体表面消失掉。

自填隙原子和空位是本征缺陷，只要温度不是绝对零度，就会出现本征缺陷。热激发能将原子从它们的晶格位置移开，留下空位，这和半导体受热激发原子电离产生电子和空穴相似。空位平衡浓度可以由阿雷尼乌斯（Arrhenius）函数计算得出：

$$N_v^0 = N_0 e^{-E_a/kT} \quad (1-2)$$

式中， N_v^0 为空位浓度； N_0 为晶格中原子密度； E_a 为空位激活能； k 为玻耳兹曼常数； T 为热力学温度； kT 被称为温度常数。

硅晶体的空位激活能 E_a 为 2.6 eV。室温时，完整晶体在 10^{44} 个晶格位置中只有一个空位。当温度升至 1000 °C 时，空位浓度上升至每 10^{10} 个晶格位置有一个空位。

式 (1-2) 也适用于自填隙原子的平衡浓度的计算。硅自填隙原子的激活能为 4.5 eV，比空穴的高。因此，空穴的平衡浓度通常不等于自填隙原子的平衡浓度，而是比自填隙原子的平衡浓度高。这一点与本征载流子情况有所不同，本征硅中电子和空穴的浓度总是相同的。

晶体中每个硅原子与周围四个相邻硅原子形成四对共价键，一个硅原子的缺失，就会使周围四个硅原子各出现一个未饱和价电子，即悬挂键。悬挂键可以通过给出一个电子或从晶体中接受一个电子，而对晶体的电学性质产生影响。因此，空位有多种不同的情况：如果四个相邻硅的悬挂键都未饱和，空位即为中性空位，如图 1-8 中的 A 所示；如果四个相邻的有悬挂键的硅中有一个失去了一个电子，空位就会带一个正电荷，如图 1-8 中的 A⁺ 所示；如果四个相邻硅中有一个硅的悬挂键俘获了一个电子，空位就会带一个负电荷。理论上，空位最多可以带四个电子或失四个电子，即空位有 0、-1 ~ -4、+1 ~ +4 价，共 9 种。实际上，很难出现带有两个以上负电荷和一个以上正电荷的空位。

带电子或失电子空位的平衡浓度也可由阿雷尼乌斯函数计算得出：

$$N_v^- = N_v^0 \frac{n}{n_i} e^{(E_i - E_v^-)/kT} \quad (1-3)$$

$$N_v^+ = N_v^0 \frac{p}{n_i} e^{(E_v^+ - E_i)/kT} \quad (1-4)$$

式中， N_v^- 、 N_v^+ 、 N_v^0 分别为 -1 价、+1 价和 0 价空穴浓度； n 、 p 、 n_i 分别为自由电子、空穴和本征载流子浓度； E_i 、 E_v^- 、 E_v^+ 分别为本征、-1 价空位和 +1 价空位有关的能级。

带有多个电荷的空位浓度也类似，正比于电子浓度对本征载流子浓度之比的若干次幂，幂次和电荷数相等，例如，-2价空位浓度为：

$$N_{v^{2-}}^0 = N_v^0 \left[\frac{n}{n_i} \right]^2 e^{(E_v - E_i^0)/kT} \quad (1-5)$$

空位缺陷又称为肖特基 (schottky) 缺陷，在集成电路工艺中很重要，例如，扩散和氧化工艺动力学中，许多杂质的扩散依赖于空位浓度。

杂质缺陷是非本征点缺陷，是指硅晶体中的外来原子。在晶体生长、加工和产品制造工艺过程中，不可避免要沾污一些杂质；而有些杂质又是在集成电路工艺中有意掺入的。杂质中，填隙杂质在集成电路工艺中是要尽量避免的，这些杂质破坏了晶格的完整性，引起晶格点阵的畸变，但对半导体晶体的电学性质影响不大；而替位杂质通常是在集成电路工艺中有意掺入的杂质。例如，硅晶体中掺入ⅢA、ⅤA族替位杂质，目的是调节硅晶体的电导率；掺入贵金属 Au 等，目的是在硅晶体中添加载流子复合中心，缩短载流子寿命。

1.2.2 线缺陷

线缺陷最常见的就是位错。在位错附近，原子排列偏离了严格的周期性，相对位置发生了错乱。位错主要有刃 (型) 位错和螺 (旋) 位错，如图 1-9 所示是硅晶体中位错示意图。图中 (a) 是刃位错，可以看成在晶体中额外插入了一列原子或一个原子面，位错线 AB 垂直于滑移方向。图中 (b) 是螺位错，可以看成原来一族平行晶面变成单个晶面所组成的螺旋阶梯。螺位错的位错线 AD 和滑移方向平行。

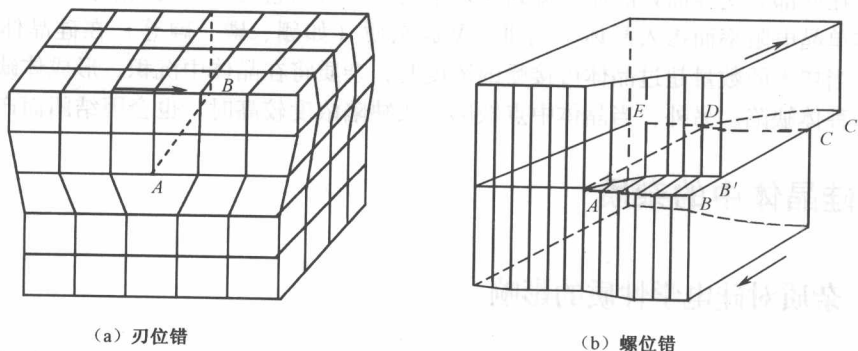


图 1-9 硅晶体中位错示意图

位错是点缺陷的延伸，是点缺陷结团在一起形成的。晶体中每个点缺陷都与表面能量相联系，缺陷的表面积越大，存储在缺陷中的能量就越大。在热力学平衡状态，一个体系的能量将趋向于最小化，相同原子个数的点缺陷的表面积比线缺陷的表面积大，点缺陷的能量也就高。所以，在晶体中，随机运动的点缺陷将倾向于积聚在一起，形成线缺陷或其他更高维数的缺陷，以释放掉多余的能量，这个过程称为结团。

晶体中的位错不是固定不动的，可以运动。图 1-10 所示是刃位错的两种运动方式：滑移和攀移。对一般晶体来说，沿某些晶面容易发生滑移，这样的晶面称为滑移面。构成滑移面的条件是该面上的原子面密度大，而晶面之间的原子价键密度小，间距大。对硅晶体来说，{111}晶面中，两层双层密排面之间由于价键密度最小，结合最弱，因此，滑移常常沿 {111} 晶面发生，位错线也就多在 {111} 晶面之间。