



中华人民共和国国家标准

GB/T 20515—2006/IEC 60748-5:1997

半导体器件 集成电路 第 5 部分:半定制集成电路

Semiconductor devices—Integrated circuits—
Part 5:Semicustom integrated circuits

(IEC 60748-5:1997, IDT)



2006-10-10 发布

2007-02-01 实施

中华人民共和国国家质量监督检验检疫总局
中国国家标准化管理委员会

发布



中 华 人 民 共 和 国
国 家 标 准

半导体器件 集成电路

第 5 部分:半定制集成电路

GB/T 20515—2006/IEC 60748-5:1997

*

中国标准出版社出版发行
北京复兴门外三里河北街 16 号

邮政编码:100045

网址 www.spc.net.cn

电话:68523946 68517548

中国标准出版社秦皇岛印刷厂印刷

各地新华书店经销

*

开本 880×1230 1/16 印张 1.25 字数 34 千字

2007 年 1 月第一版 2007 年 1 月第一次印刷

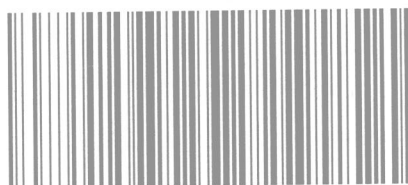
*

书号: 155066 · 1-27672 定价 13.00 元

如有印装差错 由本社发行中心调换

版权专有 侵权必究

举报电话:(010)68533533



GB/T 20515-2006

前 言

半导体器件 集成电路系列标准包括如下标准:

- GB/T 16464—1996 半导体器件 集成电路 第1部分:总则(idt IEC 60748-1:1984);
- GB/T 16465—1996 膜集成电路和混合膜集成电路分规范(采用能力批准程序)(idt IEC 60748-22:1992);
- GB/T 17574—1998 半导体器件 集成电路 第2部分:数字集成电路(idt IEC 60748-2:1985);
- GB/T 17940—2000 半导体器件 集成电路 第3部分:模拟集成电路(idt IEC 60748-3:1986);
- IEC 60748-4 半导体器件 集成电路 第4部分:接口集成电路;
- GB/T 20515—2006 半导体器件 集成电路 第5部分:半定制集成电路;
- IEC 60748-11 半导体器件 集成电路 第11部分:半导体集成电路分规范(不包括混合电路);
- IEC 60748-20 膜集成电路和混合膜集成电路总规范;
- IEC 60748-21 膜集成电路和混合膜集成电路分规范(采用鉴定批准程序)。

本标准为第5部分,等同采用 IEC 60748-5:1997《半导体器件 集成电路 第5部分:半定制集成电路》(英文版)。

为便于使用,本标准做了如下编辑性修改:

- a) 删除国际标准中的前言。
- b) 已经等同转化为国家标准的引用国家标准,否则引用 IEC 原文。

本标准由中华人民共和国信息产业部提出。

本标准由全国半导体器件标准化技术委员会归口。

本标准起草单位:中国电子技术标准化研究所(CESI)。

本标准主要起草人:王琪。

引 言

作为一个准则,在本标准涉及到的时候,引用 GB/T 17573—1998 和 GB/T 16464—1996 是十分必要的。在本标准中,用户将会发现所有基本信息:

- 术语;
- 图形符号;
- 基本额定值和特性;
- 功能描述;
- 测试方法;
- 接收和可靠性;
- 设计方面;
- 用户/承制方接口。

条款顺序对应于 GB/T 17573—1998,第Ⅲ篇,2.1 分款。

目 次

前言 I

引言 II

1 总则 1

1.1 范围 1

1.2 规范性引用文件 1

2 术语和图形符号 2

2.1 总则 2

2.2 半定制集成电路的相关术语 2

2.3 半定制集成电路图形符号 3

3 承制方提供的半定制集成电路的基本资料 3

3.1 总则 3

3.2 电路识别和类型 3

3.3 应用的相关描述 3

3.4 库单元功能描述的规定 4

3.5 极限值(绝对最大额定值体系) 4

3.6 推荐工作条件(在规定工作温度范围内) 5

3.7 库单元电特性 5

3.8 附加资料 6

4 测试方法 6

4.1 总则 6

4.2 特殊要求 7

4.3 静态特性 7

4.4 动态特性 7

5 接收和可靠性 7

5.1 电耐久性试验 7

5.2 环境试验 7

5.3 失效分析程序 7

6 设计方面 7

6.1 总则 7

6.2 库(由承制方批准) 7

6.3 计算机辅助工程(CAE)设计硬件 7

6.4 CAE 设计软件 7

7 用户/承制方接口 8

7.1 用户/承制方设计接口的概念 8

7.2 用户/承制方典型接口文件 9

8 半定制集成电路交付生产的基本数据 11

8.1 总则 11

8.2 应用相关描述 11

8.3 设计方面 12

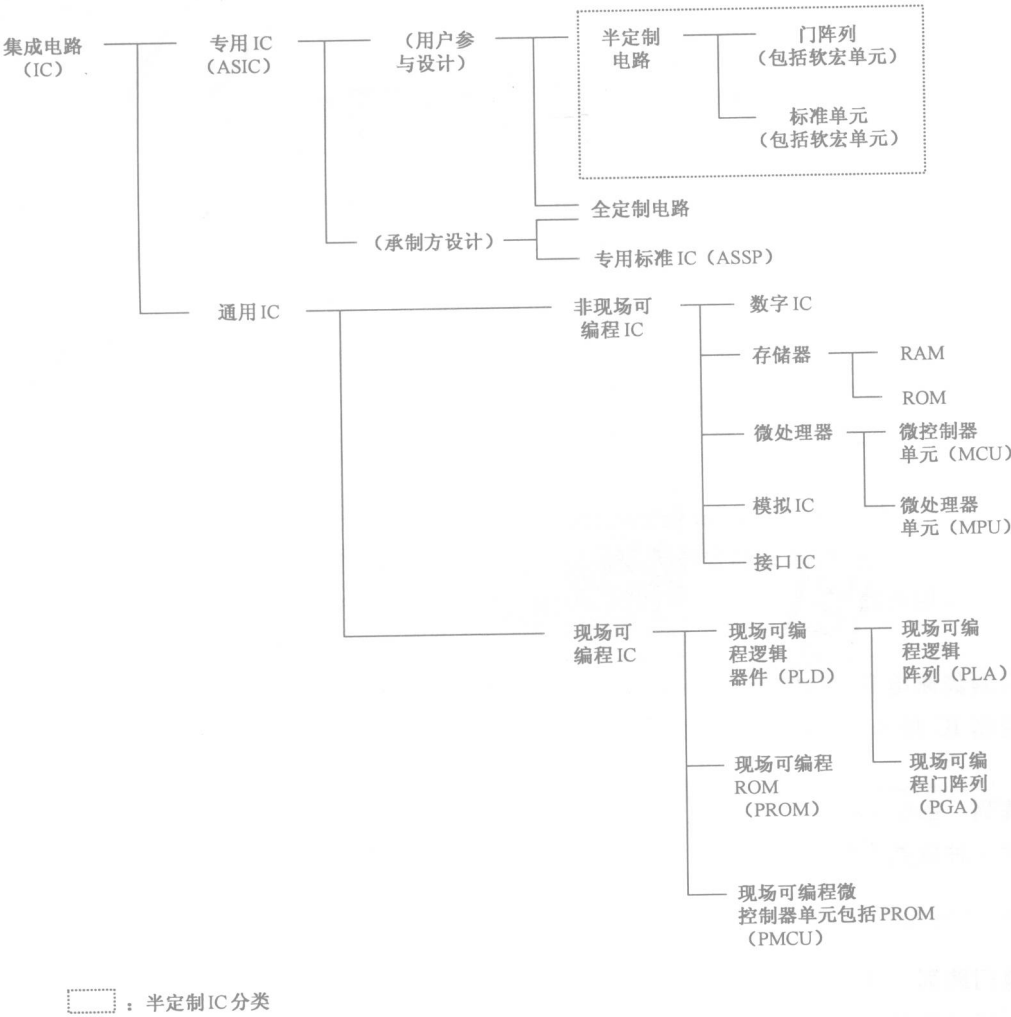
附录 A(资料性附录) 用户/承制方接口活动所用的格式 13

半导体器件 集成电路
第 5 部分:半定制集成电路

1 总则

1.1 范围

本标准规定了下列集成电路(IC)分类体系树(见图 1)中有关半定制集成电路子类的标准。
注:这个体系树是不封闭的,可以在需要时拓展。



1.2 规范性引用文件

下列文件中的条款通过本标准的引用而成为本标准的条款。凡是注日期的引用文件,其随后所有的修改单(不包括勘误的内容)或修订版均不适用于本标准,然而,鼓励根据本标准达成协议的各方研究是否可使用这些文件的最新版本。凡是不注日期的引用文件,其最新版本适用于本标准。

GB/T 4728.12—1996 电气简图用图形符号 第 12 部分:二进制逻辑元件(idt IEC 60617-12:1991)

GB/T 4728.13—1996 电气简图用图形符号 第 13 部分:模拟元件(idt IEC 60617-13:1993)

- GB/T 16464—1996 半导体器件 集成电路 第1部分:总则(idt IEC 60748-1:1984)
GB/T 17573—1998 半导体器件 分立器件和集成电路 第1部分:总则(idt IEC 60747-1:1983)
GB/T 17574—1998 半导体器件 集成电路 第2部分:数字集成电路(idt IEC 60748-2:1985)
GB/T 17940—2000 半导体器件 集成电路 第3部分:模拟集成电路(idt IEC 60748-3:1986)
IEC 60748-4:1987 半导体器件 集成电路 第4部分:接口集成电路
修订1:1991
修订2:1994
IEC 60748-11:1990 半导体器件 集成电路 第11部分:半导体集成电路分规范(不包括混合电路)

2 术语和图形符号

2.1 总则

见 GB/T 17574—1998,第Ⅱ篇。

2.2 半定制集成电路的相关术语

2.2.1

ASIC

为特定应用而设计的一种集成电路。

2.2.2

基于单元的集成电路 cell-based integrated circuits

选择一种或者多种预特征化的单元或宏单元集成在一块芯片上的电路,随后在自动芯片版图设计过程中与芯片上的其他电路元件连接起来实现特定的电功能。

注:这个定义覆盖了传统标准单元设计和基于单元的设计。

2.2.3

半定制集成电路 semicustom integrated circuit

由预特征化的线路、单元和宏单元组成的一种集成电路,它能在自动芯片版图设计过程中被调用从而形成一个专用电路。

2.2.4

全定制集成电路 full custom integrated circuit

全定制 IC 指为一个用户设计或仅为一个应用设计的集成电路(例如一些专用无线电通信电路)。

2.2.5

门阵列 gate array

包含一种电路元件固定拓扑结构的一种集成电路,用于形成宏单元和宏功能,也可互连完成一个逻辑功能。

2.2.5.1

通道门阵列 channelled gate array

由预特征化的电路元件(单元和/或宏单元)组成的一种门阵列,在一块芯片上被分成不同区域以用于互连。

2.2.5.2

门海 sea of gates

由预特征化的电路元件(单元和/或宏单元)组成的一种门阵列,被互连电路覆盖。在一个门海版图中,互连区域通过牺牲门列产生。

2.2.5.3

电路元件 circuit element

一个电路的基本组成部分,除互连外,包括电阻器、电容器和晶体管。

2.2.6

单元 cell

有特定版图设计和互连端能完成一个电气功能的预特征化的电路元件。

2.2.6.1

标准单元 standard cell

由承制方所建立固定物理的和电气特性的一种单元。

2.2.6.2

基本单元 basic cell

为了便于集成,由一些晶体管和无源元件组成的单元。

2.2.7

宏单元 macro

具有特定电气连接的单元的集成,它的特性源于它的组成单元的特性。

注:这个定义包括了超级集成,它由一个或多个预特征化的大型单元或宏单元组成。

2.2.7.1

硬宏单元 hard macro

特征化的固定版图和基本单元互连,以完成一种电气功能。

注:特性可由生产好的器件测试产生,也可由计算机模拟产生。特性可包括以下方面:物理尺寸、逻辑功能、可测试性、版图设计规则和可靠性。

2.2.7.2

软宏单元 soft macro

基本单元和/或宏单元连接实现一种电气功能,但是没有预定物理版图。

2.2.7.3

用户的宏单元 user's macro

由用户提供的宏单元。

2.3 半定制集成电路图形符号

在考虑中。

3 承制方提供的半定制集成电路的基本资料

3.1 总则

本章给出了由承制方建立的关于半定制集成电路的最基本资料,例如门阵列或标准单元。

3.2 电路识别和类型

3.2.1 名称和类型

如果器件属于一个功能性或电气性的分类,应该标注出。功能和电气分类可以是数字、模拟、数字和模拟或数字接口电路。

3.2.2 通用功能描述

当半定制集成电路可用于一个系列时,应当标注出。主要功能特性包括可用门的最大数目、RAM、ROM、MPU 和/或功能框图也应给出。此外,还应给出管芯尺寸和可用压焊点数目。

3.2.3 工艺技术

单片集成电路应当标注出例如 CMOS、双极、BICMOS 等工艺技术,还有互连层的类型和数目,以及 CMOS 的门长度和可选的(有效)沟道长度。

3.3 应用的相关描述

3.3.1 主要应用

如果需要,应给出主要应用,对应用的任何限制都应给出。

3.3.2 包装识别

应该标注出 IEC 和/或国家外形图参考编号或非标准封装图,包括引出端编号和主要封装材料,例如:陶瓷、塑料等。应给出每一个封装的最小和最大芯片尺寸范围。如果需要还应给出热阻。

3.4 库单元功能描述的规定

3.4.1 基本单元的详细框图(单元特性)

应在应用数据手册或设计指南包括其修订本中给出基本单元的功能。基本单元的详细框图或等效电路信息也应给出。关于功能,下列每一个出版物中对应的第Ⅲ篇给出描述:GB/T 17574—1998, GB/T 17940—2000 和 IEC 60748-4。功能用图形符号也应给出。这也可以从标准图形符号手册或 GB/T 4728.12 或 GB/T 4728.13 获得。

3.4.1.1 硬宏单元

应描述硬宏单元的主要功能,并列出所有硬宏单元,包括物理尺寸。也应给出所有附加信息,例如硬宏单元的可用数目和可能安置位置。

3.4.1.2 软宏单元

应描述软宏单元的主要功能,不同基本单元的数目也应给出。

3.4.2 引出端识别和功能

应标注出每一个预定义的引出端,对应用的限制也应给出。

3.5 极限值(绝对最大额定值体系)

除另有规定外,这些值适用于全工作温度范围。极限值并不用于检验。除另有规定外,应给出以下极限值:[应包括集成电路特有的任何告警状态。若有相互关联的极限值存在应给出。极限值应用的所有条件都应给出。若有外部连接和/或接触单元,例如,热沉,影响到额定值,带单元连接和/或接触的集成电路额定值应描述出。如果引用最小和/或最大值,应表明它们是绝对值还是代数值。若允许瞬时过载,应给出幅度和持续时间]。

所有电压以一个确定参考端为基准(V_{SS} , GND 等)。

表 1 极限值示例

参 数 ^a	符 号	最 小	最 大	单 位
电源电压	$V_{CC}, V_{DD}, V_{SS}, V_{EE}$	×	×	V
电源电流,适用时	$I_{CC}, I_{DD}, I_{SS}, I_{EE}$		×	mA
输入电压	V_I	×	×	V
输入电流	I_I	×	×	mA
强制输出电压	V_O (强制)	×	×	V
输出电流	I_O	×	×	mA
功耗	P_D		×	W
贮存温度	T_{STG}	×	×	℃
结温,适用时	T_J		×	℃
耐焊接温度,适用时	T_{SLD}		×	℃
焊接持续时间,适用时 ^b	F_{SLD}		×	s
^a 适用时,应给出其他极限条件例如电流持续时间、频率、安装方法、额定值依靠的温度等。 ^b 适用时,应给出最大耐焊接温度。				

3.6 推荐工作条件(在规定工作温度范围内)

这些条件不作为检验项目,但可用于质量评定的工作条件。

所有电压以一个确定参考端为基准(V_{SS} , GND 等)。

表 2 推荐工作条件示例

参 数	符 号	最 小	最 大	单 位
电源电压	V_{CC}, V_{DD}, V_{EE}	×	×	V
低电平输入电压	V_{IL}	×	×	V
高电平输入电压	V_{IH}	×	×	V
输入上升和下降时间	t_r, t_f	×	×	ns
工作温度	T_{amb} 和/或 T_{case}	×	×	℃
注: 适用时,任何其他工作条件,例如频率和负载电流,根据 GB/T 17574—1998, GB/T 17940—2000 和 IEC 60748-4给出。				

3.7 库单元电特性

除另有规定外,电特性适用于全工作温度范围和电源电压。电路指定参数在工作温度范围内变化的,应给出 25℃下和高、低温下的输入、输出电压值和对应的电流。应给出每个不同功能类型的输入和/或输出对应的电流和电压值。应给出特性和时序或其他要求。

3.7.1 静态特性

所有电压以一个确定参考端为基准。

表 3 静态特性示例

宏名 ^a					
特性	符号	测试条件	最小	最大	单位
电源电流,工作时	I_{CC}	$V_L = GND, V_{IH} = V_{CC,max}$		×	mA
	I_{EE}	$V_L = GND, V_{IH} = V_{EE,max}$			
	I_{DD}	$V_L = GND, V_{IH} = V_{DD,max}$			
静态电源电流	I_{DDQ}	应给出频率(时钟输入),输入和输出条件(例如不激活 I_{DDQ} 的上拉和下拉)		×	mA
施密特触发正向阈值,适用时	V_{T+}			×	V
施密特触发负向阈值,适用时	V_{T-}		×		V
施密特滞后,适用时	ΔV_T	$V_{IL} \rightarrow V_{IH}$	×		V
低电平输出电压	V_{OL}	I_{OL}		×	V
高电平输出电压	V_{OH}	I_{OH}	×		V
低电平输入电流	I_{IL}	$V_I = OV$		×	μA
高电平输入电流	I_{IH}	$V_I = V_{DD}$		×	μA
带上拉/下拉的输入电流	$I_{I(1)}$	$V_I = OV$	×		μA
带上拉/下拉的输入电流	$I_{I(2)}$	$V_I = V_{DD}$		×	μA
输出漏电流,适用时	$I_{LO(1)}$	$V_O = OV$		×	μA
输出漏电流,适用时	$I_{LO(2)}$	$V_O = V_{DD}$		×	μA
^a 应给出对应特性的输入和输出宏单元的名称。					

3.7.2 动态特性

从外部输入到外部输出的传输延迟依靠布局 and 互连布线,内部阻抗和内部电容,还有基本单元固有的传输延迟。[应在一张表中给出传输延迟的估计值,还应对这些值进行验证。]

3.7.3 时序图

时序图应表明所有关联的输入和输出。时序图由一个或多个图组成,这些图表明两个或更多信号间内部关系。应给出例如建立和保持时间这样的时序要求。见图 2 给出的时序图示例。

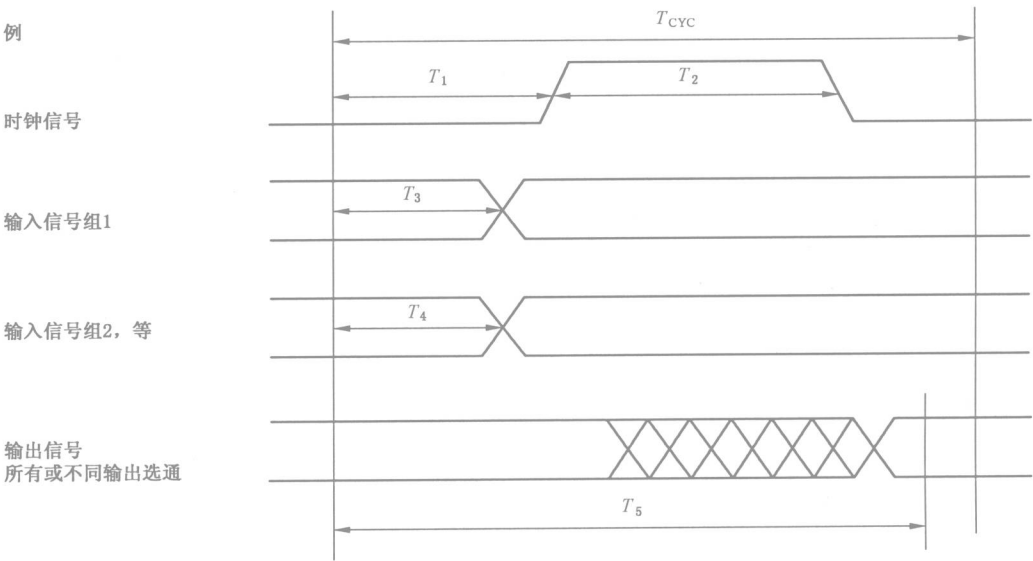


图 2 时序图示例

3.7.4 电容

表 4 电容示例

宏名 ^a					
特性	符号	测试条件	最小	最大	单位
输入电容	C _{IN}			×	pF
输入/输出电容	C _{IN/OUT}			×	pF
输出电容	C _{OUT}			×	pF
^a 应给出对应特性的输入和输出宏单元的名称。					

3.8 附加资料

应给出对应于检验条件的静电放电资料。参照 GB/T 17574—1998,第Ⅲ篇,5.5 条和 6.3 条给出 CMOS 锁定特性的资料,也可参见 IEC 60748-11:1990 中 10.9。

4 测试方法

4.1 总则

除另有规定外,GB/T 16464—1996,第Ⅶ篇结合 GB/T 17573—1998,第Ⅶ篇,第 1 节、第 2 节。

4.2 特殊要求

下列条款中描述的方法适用于技术试验路线：

- GB/T 17574—1998,第Ⅳ篇,第1节,第2条；
- GB/T 17940—2000,第Ⅳ篇,第1节,第2条；
- IEC 60748-4:1987,第Ⅳ章,第1节,第2条。

4.3 静态特性

见 GB/T 17574—1998,GB/T 17940—2000 和 IEC 60748-4:1987 中相关要点。

4.4 动态特性

见 GB/T 17574—1998,GB/T 17940—2000 和 IEC 60748-4:1987 中相关要点。

5 接收和可靠性

5.1 电耐久性试验

5.1.1 总则

见 GB/T 16464—1996,第Ⅷ篇,第3节,第2条和 IEC 60748-11。

5.1.2 特殊要求

见 GB/T 16464—1996,第Ⅷ篇,第3节,第3条和 IEC 60748-11。

5.2 环境试验

见相关 IEC 出版物。

5.3 失效分析程序

见相关 IEC 出版物。

6 设计方面

6.1 总则

本条款列出实现半定制 IC 功能所需要的设计信息,例如,其中应提供的数据或信息安排的形式(如数据手册或设计手册),及提供方(如用户或承制方)。

文件将由用户或承制方提供,根据第7章选择接口级。

6.2 库(由承制方批准)

应给出库的版本,所有单元和宏单元的库应按照下列几项加以描述。

- 每个单元电路的图形符号；
- 功能描述(例如逻辑图,真值表)；
- 所有相关静态和动态电特性,包括输出负载能力、输入负载因子、静态和动态功耗等；
- 详细电路图,包括晶体管尺寸；
- 带有全部独特结构的单元版图设计；
- 根据几何、功能、电气和时序检查来描述单元库模拟验证。

6.3 计算机辅助工程(CAE)设计硬件

应给出 CAE 硬件(例如工作站、操作系统及其版本号、存储器要求、局域网、主机等)的描述和结构列表。

6.4 CAE 设计软件

6.4.1 CAE 设计系统

给出软件包的列表,包括名称、版本、制造厂、描述语言、数据格式等。CAE 系统将包括下面部分或

所有的工具,对它们所包含的内容并不加限制。

- a) 电路图输入:使用能以特定格式产生网表的图形编辑器将半定制 IC 的电路图输入到 CAE 系统中。
- b) 综合:电路图能从半定制 IC 的功能描述或通过特定编译器编译的功能模块(例如布尔方程)中产生。编译器必须产生一种特定格式的电路图信息,且被 CAE 系统的其他工具所接收。综合工具也应该包括工艺拓扑结构方面的内容。
- c) 模拟:半定制 IC 的功能可以用一个模拟程序来验证,该模拟程序接受表征设计的输入网表,还接受表征应用的一系列测试向量。电路的逻辑响应和交流性能,在布局布线前用预估负载,而在布局布线后用从版图中提取的负载并进行反标注,能在不同的测试条件(最好情况、典型情况、最坏情况)下进行评价。
- d) 时序分析:传输延迟由一个程序来决定,该程序能将沿所有信号通道的带负载的独立元件的延迟叠加起来,且能报告用户建立的判据。
- e) 工程规则检查:为确定半定制 IC 是否能够投入生产,工艺(例如某些并行或“线或”连接的输出端口,某些电源电压引出端等)采用的设计准则的兼容性,均由包含承制方要求的检查程序验证(这种工具通常由承制方提供)。
- f) 可测性设计检查:通过特定的软件工具可以检测包含测试策略(如扫描通道,LSSD,边界扫描等)的设计结构的兼容性。
- g) 自动测试图形生成:用于产生测试程序的图形可以通过在格式上与 CAE 系统中其他工具兼容的特定工具产生。
- h) 故障分级:故障分级是对半定制 IC 设计中那些被电子测试程序读取和激活的节点的统计评估。在半定制 IC 用户和承制方之间就能接受的最小故障覆盖值达成一致。
- i) 版图(布局布线):将半定制 IC 中的库单元布局在硅片的表面,并用专门的版图设计程序连接。这些程序将产生关于版图设计的信息,其格式与生产工具兼容。
- j) 设计规则检查:可由专用程序检查受到制造约束(例如在硅片上可实现的最小几何图形及其间的最小间距等)的版图设计的正确性。并将可能出现的错误信息和警告文件化。

6.4.2 CAE 软件质量和升级

每个供应商应对其设计软件工具的改版和升级所采用的方法提供说明。用户可以要求获得这些升级和改版的方法说明。供应商应该对用户正在使用的软件或商业供应的软件工具包是否进行改版升级的测试方法进行概述或描述有关的方法。该要求仅适用于承制方面向应用设计过程所使用的软件工具包。针对系统设计公司或外部设计公司使用的部分设计工具(如电原理图输入)或非承制方的软件工具,应当有相应的处理。

注:为保证 CAE 软件升级后的质量请参阅相关的质量评估程序。

7 用户/承制方接口

7.1 用户/承制方设计接口的概念

在半定制集成电路领域,用户和承制方在很多阶段有接口,下列表 5 的流程图说明了接口可能发生的典型设计点。这种设计接口不含盖任何一方的责任。

表 5 用户和承制方之间的典型接口级

接口级别	用户	承制方	支持工具	接口级别					
				1	2	3	4	5	6
1级 功能级接口	系统设计		设计手册						
2级 逻辑级接口	逻辑设计		库 功能说明						
3级 电路级接口	模拟		工程工作站 (EWS)						
4级 版图级接口	布局 布线		CAE系统						
5级 掩模级接口	布局布线 后模拟								
		掩模和工程 制作							
		封装和测试							
		ES							
6级 工程样品级接口	评价	(工程 样品)							

7.2 用户/承制方典型接口文件

下列表 6 所示的文件,示例格式见附录 A。

表 6 用户/承制方用于半定制 ICs 典型接口文件

接口级别		文 件	
		用 户	承 制 方
1	功能级 接口	a) 概述 b) 功能说明 1) 用户系统中的一般要求 2) 功能框图 c) 功能图 d) 引出端排列 e) 验证 1) 模拟 2) 布局布线后模拟 3) 工程样品评价	a) 目录 b) 设计手册 c) 单元库 d) 封装选择指南 e) IC 命名和注释 f) 提交数据 1) 功能和延迟模拟数据,时序验证数据 2) 布局布线后模拟数据 3) 工程样品评价数据
2	逻辑级 接口	a) 概述 b) 逻辑说明 1) 逻辑电路图 2) 用到的宏单元、宏功能分配 3) 用户宏单元定义和命名 4) 输入/输出缓冲单元分配 5) 输入信号级分配 6) 传输延迟时间估计 7) 功耗估计 c) 测试图数据 d) 引出端分配资料 e) 验证 1) 模拟 2) 布局布线后模拟 3) 工程样品评价	a) 目录 b) 设计手册 c) 单元库 d) 封装选择指南 e) EWS 操作手册 f) CAE 系统操作手册 g) IC 命名和注释 h) 提交数据 1) 功能和延迟模拟数据,时序验证数据 2) 布局布线后模拟数据 3) 工程样品评价数据
3	电路级 接口	a) 概述 b) 逻辑电路图 c) 功能和延迟模拟数据、时序验证数据 d) 测试图数据 e) 引出端分配资料 f) 验证 1) 布局布线后模拟 2) 工程样品评价	a) 目录 b) 设计手册 c) 单元库 d) 封装选择指南 e) EWS 操作手册 f) CAE 系统操作手册 g) IC 命名和注释 h) 提交数据 1) 布局布线后模拟数据 2) 工程样品评价数据
4	版图级 接口	a) 概述 b) 布局布线数据 c) 测试图数据 d) 引出端分配资料 e) 验证 1) 布局布线后模拟 2) 工程样品评价	a) 目录 b) 设计手册 c) 单元库 d) 封装选择指南 e) EWS 操作手册 f) CAE 系统操作手册 g) 布局布线系统操作手册 h) IC 命名和注释 i) 提交数据 1) 布局布线后模拟数据 2) 工程样品评价数据

表 6(续)

接口级别		文 件	
		用 户	承 制 方
5	掩模级接口	a) 概述 b) 布局布线数据 c) 布局布线后模拟数据 d) 测试图数据 e) 引出端分配数据 f) 验证 1) 工程样品评价	a) 目录 b) 设计手册 c) 单元库 d) 封装选择指南 e) EWS 操作手册 f) CAE 系统操作手册 g) 布局布线系统操作手册 h) IC 命名和注释 i) 提交数据 1) 工程样品评价数据
6	工程样品级接口	a) 工程样品评价结果 b) 验证 1) 工程样品评价	a) ES b) 提交数据 1) 评价数据 2) 测试结果

8 半定制集成电路交付生产的基本数据

8.1 总则

通过与用户特定信息的交流,本条款涉及半定制集成电路设计资料的识别和认可。

8.1.1 电路识别和类型

应注明所用到的功能性和电气性的分类。应当注明所选择的生产工艺技术。应注明半定制集成电路特定系列的名称。用户应标注门数、引出端排布、管芯尺寸和其他相关数据。

8.2 应用相关描述

8.2.1 功能描述

电路实现的功能应由用户规定,并在第 3 章中加以描述。

8.2.2 总框图

用户可以选择是否提供用于说明主要功能的框图。

8.2.3 功能验证

应该验证电路的功能。测试图、时序或测试程序应由用户提供或批准。

8.2.4 引出端识别和功能

应注明每一个引出端。引出端排列和引出端类型显示在一张表中。

表 7 引出端类型示例

引出端编号	引出端名称	功能	宏单元	电平	电特性
12	ACCT		—	CMOS	4 mA
13	NC	无连接	—	—	—
14	VLL		—	TTL	24 mA
15	VDD		—	—	—

8.2.5 包装识别

应该标注出 IEC 和/或国家的封装外形图参考编号或非标准封装图,包括引出端编号和主要封装材料,例如:陶瓷、塑料等。

如果需要,还应给出热阻。

8.2.6 其他相关数据

由用户选择。

8.3 设计方面

本分条款罗列的所有信息可作为覆盖如下要点的文件(例如数据手册)使用。

8.3.1 库(用户使用)

应注明所用到的库的版本。

所有单元和宏单元的库应按下列几项加以描述:

- 每个单元电路的图形符号;
- 所有相关静态和动态电特性,包括输出负载能力、输入负载因子、静态和动态功耗等。

如果双方同意,可以给出下列附加信息,例如:

- 一个详细的电路图,包括有效晶体管尺寸;
- 带有全部独特结构的单元版图设计;
- 根据几何、功能、电和时序检验模拟验证单元库的描述。

8.3.2 拓扑结构

所设计的拓扑结构应按以下几项来描述:

- a) 压焊图;
- b) 若需要,一个显示布局设计(功能模块和相关信号/总线位置)的图;
- c) 若需要,一个带关键路径的图;
- d) 如果不按照改进的电源总线(例如在基于单元的设计/半定制设计中面向功能模块的电源总线),则需要带电源的图。

8.3.3 CAE 硬件

应给出所用的 CAE 硬件(例如工作站、操作系统、存储要求、局域网、主机等)的描述和结构列表。

8.3.4 CAE 软件

给出软件包列表,包括名称、版本、制造厂、描述语言、数据格式等。

注:应按照 GB/T 16464—1996 给出最终产品的基本额定值、特性和要求。