



中华人民共和国国家标准

GB/T 17574—1998
idt IEC 748-2:1985

半导体器件 集成电路 第2部分：数字集成电路

Semiconductor devices
Integrated circuits
Part 2: Digital integrated circuits

1998-11-17 发布

1999-06-01 实施

国家质量技术监督局 发布

前 言

本标准等同采用国际电工委员会标准 IEC 748-2:1985《半导体器件 集成电路 第2部分:数字集成电路》及修改单(1993)进行编写。

本标准的编制将促进我国半导体数字集成电路的国际贸易、技术和经济交流。

本标准引用的 GB/T 17573《半导体器件 分立器件和集成电路 第1部分 总则》和 GB/T 16464—1996《半导体器件 集成电路 第1部分 总则》分别等同采用 IEC 747-1:1983 及 1993 年的修订和 IEC 748-1:1984 及 1993 年的两次修订。

本标准由中华人民共和国电子工业部提出。

本标准由全国集成电路标准化分技术委员会归口。

本标准起草单位:电子工业部标准化研究所。

本标准主要起草人:李燕荣、张宏图。

IEC 前言

1) IEC(国际电工委员会)在技术问题上的正式决议或协议,是由对这些问题特别关切的国家委员会参加的技术委员会制定的,对所涉及的问题尽可能地代表了国际上的一致意见。

2) 这些决议或协议,以推荐标准的形式供国际上使用,并在此意义上为各国家委员会所认可。

3) 为了促进国际上的统一,IEC 希望各国家委员会在本国条件许可的情况下,采用 IEC 标准的文本作为其国家标准。IEC 标准与相应国家标准之间的差异,应尽可能在国家标准中指明。

IEC 序言

本标准由 IEC TC 47 半导体器件制订。

IEC 748-2 构成了集成电路通用标准 IEC 748 的第二部分。

本标准与 IEC 747-1 和 IEC 748-1 通用标准构成了数字集成电路的标准。

TC47 1982 年 9 月在伦敦召开会议,批准了将标准 IEC 147 和 IEC 148 按器件分类,重新编排整理的方案。因为所有组成部分预先已经按照六个月法或两个月程序表决批准,不再重新表决。

标准 IEC 147 和 IEC 148 中涉及集成电路的内容已包括在 IEC 747-1 和 IEC 748 标准中。

标准 IEC 147-5 和 IEC 147-5A 中涉及机械和气候测试方法的内容已包括在 IEC 749 标准中。

由于 TC47 的工作连续性以及考虑集成电路领域的发展,通过修订和补充文件以保证标准的先进性。

本标准完全替代 IEC 147-1D 和 IEC 147-2L 标准的内容。



目次



C200005982

前言	VII
IEC 前言	VIII
IEC 序言	VIII

第 I 篇 总 则

1 引言	1
2 范围	1

第 II 篇 术语和文字符号

1 组合和时序集成电路的术语	1
1.1 通用术语	1
1.2 与功能有关的术语	2
1.3 电路类型	4
1.4 与额定值和特性有关的术语	6
1.5 锁定术语	7
2 示例	8
3 存储器集成电路的术语	20
3.1 通用术语	20
3.2 与存储器功能和结构有关的术语	20
3.3 存储器的类型	21
3.4 与额定值和特性有关的术语	22
3.5 静态读/写存储器的典型波形	23
3.6 存储器测试图形的术语和说明	25
4 微处理器集成电路的术语	31
5 电荷转移器件的术语	31
6 组合电路和时序电路的文字符号	34
7 时序电路(包括存储器)动态参数的文字符号	34
8 数字集成电路附加术语和定义	44

第 III 篇 基本额定值和电特性

第 1 节 数字集成电路 通用部分

1 电路的识别和说明	45
1.1 标志和类型	45
1.2 工艺	45
1.3 封装识别	45

2	功能说明	45
2.1	框图	45
2.2	功能说明	46
2.3	复杂结构	46
3	额定值(极限值)	46
3.1	连续电压和连续电流	46
3.2	非连续电压和非连续电流	46
3.3	温度	46
3.4	承受短路的能力	46
4	推荐工作条件(在规定的工作温度范围内)	47
5	双极型集成电路的静态电特性	47
5.1	数字电压信号的基本特性	47
5.2	输入箝位电压(适用时)	48
5.3	输入和输出电流的基本特性	48
5.4	最坏情况的条件	49
5.5	锁定特性	50
6	MOS 集成电路静态和准静态电特性	50
6.1	数字电压信号的基本特性	50
6.2	电流的基本特性	51
6.3	锁定特性	51
7	动态电特性	51
7.1	引言	51
7.2	表征电路响应的时间	52
7.3	保证正确操作顺序的输入要求	52
7.4	输入和输出阻抗	53
8	电源总功率或电流	55
9	电源总电流(动态工作)	55
10	指令脉冲资料(适用时)	55
11	绝缘电阻	56
12	机械额定值、特性和其他资料	56
13	补充资料	56
13.1	输出负载能力	56
13.2	噪声容限	56
13.3	数字集成电路的互连	56
14	注意事项	56
第1节的附录	特性规范	56

第2节 存储器集成电路
A——静态和动态读/写存储器和只读存储器

1	电路的识别和说明	57
---	----------	----

2 功能说明..... 57

2.1 框图..... 57

2.2 功能描述..... 57

3 额定值(极限值)..... 57

4 推荐工作条件(在规定的工作温度范围)..... 57

5 双极型存储器的静态电特性..... 57

6 MOS 存储器的静态电特性 57

7 动态电特性..... 58

7.1 表征电路响应的时间..... 58

7.2 保持正确操作顺序的输入端要求..... 58

7.3 输入和输出电容..... 62

8 电源功率或电源电流(静态工作)..... 62

9 电源功率或电源电流(动态工作)..... 62

10 机械额定值、特性和其他资料..... 62

11 补充资料 62

11.1 输出负载能力 62

11.2 噪声容限 62

11.3 相似单元的互连 62

11.4 输出电路的类型 62

11.5 与其他类型电路的互连 63

12 注意事项 63

B——现场可编程只读存储器

1 电路的识别和说明..... 63

2 功能说明..... 63

2.1 框图..... 63

2.2 引出端的识别..... 63

2.3 功能说明..... 63

3 额定值(极限值)..... 63

4 读方式..... 64

4.1 推荐工作条件(在规定的工作温度范围)..... 64

4.2 静态电特性..... 64

4.3 动态电特性..... 64

4.4 定时要求..... 64

5 编程方式..... 65

5.1 编程步骤..... 65

5.2 推荐的编程条件..... 65

5.3 定时要求..... 65

6 擦除方式(适用时)..... 65

6.1 电可擦存储器..... 65

6.2 紫外线可擦存储器	66
7 编程—擦除循环数	66
8 数据保存资料	66
9 电源功率或电源电流(静态工作)	66
10 电源功率或电源电流(动态工作)	66
11 机械额定值、特性和其他资料	67
12 补充资料	67
13 注意事项	67

C——内部可寻址存储器(CAM)

1 电路的识别和说明	67
2 功能说明	67
2.1 框图	67
2.2 功能描述	68
2.3 指令系统	68
2.4 操作模式	68
3 额定值(极限值)	69
4 推荐工作条件(在规定的工作温度范围)	69
5 双极存储器的静态电特性	69
6 MOS 存储器的静态电特性	69
7 动态电特性	69
7.1 表征电路的响应时间	69
7.2 保持正确操作顺序的输入端要求	69
7.3 输入和输出电容	69
8 电源功率和电源电流(静态工作)	70
9 电源功率和电源电流(动态工作)	70
10 机械额定值、特性和其他资料	70
11 补充资料	70
12 注意事项	70

第 3 节 微处理器集成电路

1 电路的识别和说明	70
1.1 电兼容性	70
2 功能说明	70
2.1 框图	70
2.2 功能说明	70
2.3 指令系统	71
2.4 指令的结构	71
2.5 输入和输出信号	71
3 额定值(极限值)	72

3.1 电极限值	72
3.2 温度	72
3.3 功耗	72
4 推荐工作条件(在规定的工作温度范围内)	72
4.1 电源电压	72
4.2 时钟输入	72
4.3 输入电压(不包括时钟输入)	73
4.4 输出电流	73
4.5 外部元件(适用时)	73
4.6 建立时间和保持时间	73
4.7 控制顺序的定时图	73
5 电特性	73
5.1 静态特性	73
5.2 动态特性	74
6 机械额定值、特性和其他资料	74
7 补充资料	74
7.1 输出负载能力	74
7.2 噪声容限	74
7.3 应用数据	74
7.4 其他资料	75
8 注意事项	75

第Ⅳ篇 测试方法

第1节 总 则

1 基本要求	75
2 特殊要求	75
2.1 静态和动态测试的一般要求	75
2.2 静态特性的规定条件	75
2.3 动态特性的规定条件	76
3 测试方法应用表格	76

第2节 静态特性的测试方法

1 输出高电平电压和输出低电平电压(V_{OH} 和 V_{OL})[37]	76
2 输入高电平电流和输入低电平电流(I_{IH} 和 I_{IL})[38]	78
3 输出短路电流(I_{OS})[40]	78
4 静态条件下的电源电流[41]	79
5 (输入)阈值电压和滞后电压[48]	80
6 输入箝位电压(V_{IK})[94]	82
7 输出高阻态电流(I_{OZ})[95]	83
8 锁定特性[96]	84

8.1	正向锁定的输入/输出的电压或电流	84
8.2	负向锁定的输入/输出的电压或电流	86
8.3	锁定电源电压或电流	89
8.4	锁定态(电源)电压或电流	91
8.5	预防措施	92
8.6	试验后测量	93

第 3 节 动态测试的测试方法

1	动态条件下的总电源电流[1]	93
2	通过时钟线所提供的功率[2]	94
3	输入阻抗和输出阻抗[6],[11]	95
3.1	电流测试:大信号工作时的输入和输出电容[6]	95
3.2	电压测试:等效输入和输出电容、等效输入和输出电阻[11]	97
4	表征电路的时间	100
4.1	传输时间[3],[7]	100
4.2	延迟时间和转换时间[4],[5]	104
4.3	建立时间[8]和保持时间[9]	106
4.4	分辨时间[36]	108
4.5	输出允许时间和禁止时间(对于三态输出)[49]	110
4.6	存储器的特定时间[50]~[54]	112
5	时序电路的转换频率[10]	116
6	数字集成电路的功能检验方法	117

第 V 篇 接收和可靠性

第 1 节 电耐久性试验

1	一般要求	119
2	特殊要求	119

中华人民共和国国家标准

半导体器件

集成电路

第2部分：数字集成电路

GB/T 17574—1998
idt IEC 748-2:1985

Semiconductor devices

Integrated circuits

Part 2: Digital integrated circuits

第 I 篇 总 则

1 引言

通常,本标准需要与 GB/T 17573—1998 和 GB/T 16464—1996 标准一起使用。

在 GB/T 17573 和 GB/T 16464 标准中,可查到下列的全部基本资料:

- 术语;
- 文字符号;
- 基本额定值和特性;
- 测试方法;
- 接收和可靠性。

2 范围

本标准给出了下列各类或各分类器件的标准:

- 组合和时序数字电路;
- 存储器集成电路;
- 微处理器集成电路;
- 电荷转移器件。

第 II 篇 术语和文字符号

1 组合和时序集成电路的术语

1.1 通用术语

信号是信息的物理表示。数字信号是与时间有关的物理量的状态或变化,这个物理量具有数目有限的几个不重叠的值域。数字信号可用于信息的传输或信息处理。考虑到实际情况,下面选择了一些简化的定义。对于数字电路,一般不会产生误解或歧义。

1.1.1 数字信号 digital signal

不重叠值域为有限的随时间变化的物理量,用于信息的传输和处理。

注

1 物理量可以是电压、电流或阻抗等。

2 为方便起见,每个值域可用单一数值表示,例如标称值。

1.1.2 二进制信号 binary signal

仅有两个可能值域的数字信号。

注:为方便起见,每个值域可用单一数值表示,例如标称值。

1.1.3 (二进制信号的)低值域 low range(of a binary signal)

二进制信号的最低正电平(最高负电平)的范围

注:这个范围通常用“L值域”表示,此范围内的电平用“L-电平”表示。

1.1.4 (二进制信号的)高值域 high range(of a binary signal)

二进制信号的最高正电平(最低负电平)的范围。

注:这个范围通常用“H值域”表示,此范围内的电平用“H-电平”表示。

1.1.5 输入端 input terminal

一种在其上施加信号,可直接地改变电路的输出组态(输出图形),或通过改变电路对其他引出端的响应方式,间接改变电路输出组态(输出图形)的引出端。

1.1.6 三态输出 three-state output

在高电平和低电平时呈相对的低阻抗的源或沉,且在适当的输入条件下,提供近似开路的高阻态的二进制电路的输出。

注:在功能表和功能(时序的)图里,用缩写“Z”表示高阻态。

1.2 与功能有关的术语

1.2.1 (二进制电路的)输入组态(输入图形) input configuration (input pattern) (of a binary circuit)

在给定瞬间,输入端上低电平和高电平的组合。

1.2.2 (二进制电路的)输出组态(输出图形) output configuration (output pattern) (of a binary circuit)

在给定瞬间,输出端上低电平和高电平的组合。

注:当不致产生歧义时,输出组态(输出图形)可以用电路指定输出端(参考输出端)的信号电平(低电平或高电平)来表示。

1.2.3 功能表 function table

用来表示数字电路的输入端和输出端的数字信号值之间的必需的或可能的关系,且这些数字信号值可以直接用电量值来表示,也可由已规定电学含义的符号(例如二进制电路的L和H)来表示的表达方法。

通常:

- 每列给出数字电路的一个输入端上或一个输出端上数字信号值;
- 每行给出输入端上数字信号值及输出端上所产生的数字信号的结果值;
- 如果输出端上数字信号值是不确定时,则应用问号表示;
- 如果输入端上数字信号值不起作用时,则应用符号“L/H”或“X”表示。

1.2.4 真值表(表示数字变量间的关系) truth table(for a relation between digital variables)

用表格来表示一个或多个数字自变量与一个或多个数字因变量之间的逻辑关系。即对于数字自变量值的每种可能的组合,给出相对应的数字因变量值的表示方法。

注:将“功能表”和“真值表”区别开来是必要的,因为同一个数字电路可依据数字自变量对数字电参量赋值的任意选择,可以完成几种不同的逻辑操作。

1.2.5 激励 excitation

一种输入组态(输入图形),或输入组态(输入图形)的变化。其作用能够直接或与已存在的预备状态

一起改变的电路输出组态(输出图形);或者使电路进入预备状态;或者取消或改变已存在的预备状态。

注

- 1 给定激励的重复或反复不一定产生相同的结果。
- 2 某些情况下,激励使已建立的输出组态(输出图形)保持不变。

1.2.6 (时序电路数字输入信号的)有效电平 active level (of a digital input signal to a sequential circuit)

能产生激励的数字输入信号的电平。

1.2.7 (时序电路数字输入信号的)有效转换 active transition (of a digital input signal to a sequential circuit)

一种数字输入信号从一个电平到另一个电平,并能产生激励的转换。

注:有效转换也可能受信号斜率的限制。

1.2.8 (时序电路的)稳定输出组态(输出图形) stable output configuration(output pattern)(of a sequential circuit)

一种在产生它的激励或维持它的任何其他激励被非激励的输入组态(输入图形)代替后,或者在没有激励的情况下,仍保持不变的电路输出组态(输出图形)。

注:任何由于不希望的电容、存储时间和传输时间等作用而造成短时间的输出组态(输出图形)不予以考虑。

1.2.9 (时序电路的)伪稳定输出组态(输出图形) pseudo-stable output configuration(output pattern)(of a sequential circuit)

一种在产生它的激励或维持它的其他激励被非激励的输入组态(输入图形)代替后,则不再继续存在的输出组态(输出图形)。

注:任何由于不希望的电容、存储时间和传输时间等作用而造成短时间的输出组态(输出图形)不予以考虑。

1.2.10 (时序电路的)亚稳定输出组态(输出图形) meta-stable output configuration (output pattern)(of a sequential circuit)

一种在施加适当的激励之后,仅在有限的延续时间内存在的输出组态(输出图形)。

注

- 1 亚稳定输出组态(输出图形)的延续时间取决于电路的设计、以及产生该输出组态(输出图形)的激励的持续时间,还可能受后续激励的影响。
- 2 任何由于不希望的电容、存储时间和传输时间等作用而造成短时间的输出组态(输出图形)不予以考虑。

1.2.11 功能(时序)矩阵 function (sequential) matrix

一种列有若干输入,并对于每种输入组态可给出可能产生的输出组态,且在其上可直接读出从每一个输入组态转变为其他输入组态而产生的输出组态表。

注:适当时,用矩阵附加数据或所涉及时间条件(例如:为产生一个预期的新的输出组态,输入电平的转换时间、输入组态的延迟时间)的详细内容来完善功能(时序)矩阵。

1.2.12 预备输入端 preparatory input terminal

一种输入端,在该端施加数字信号可以改变电路对其他输入端上的信号的响应,而不直接引起电路的输出组态(输出图形)的变化。

1.2.13 允许输入 enable input

一种输入,当它有效时,允许一个或多个规定操作开始执行。

注

- 1 “允许”的信号可以是这样:
 - a) 当它维持在一个规定的电平时,允许执行一个或多个操作;或者
 - b) 锁存操作在“允许”信号撤除之后,该操作持续进行。
- 2 “允许”是一个通用术语,需要时,可以用适当的补充说明限定。

1.2.14 片允许输入 chip-enable input

一种允许输入,当其无效时,使集成电路进入降功率等待状态。

1.2.15 片选输入 chip-select input

一种允许输入,当其无效时,阻止集成电路输入和输出数据。

1.2.16 输出允许输入 output enable input

一种允许输入,当其无效时,阻止集成电路输出数据。

注:当没有允许输入时,输出将呈现出低电平、高电平或悬空状态(高阻态),取决于电路的特殊设计。

1.2.17 写允许输入 write-enable input

一种输入,当其有效时,允许数据进入存储器。

1.2.18 不允许输入;禁止输入 disable input;inhibit input

一种输入,当其有效时,阻止执行一个或多个规定操作。

注

1 这两个术语的使用可根据对“允许输入”是强调互补还是强调否定来选择。

2 允许输入无效时,能禁止或阻止在它有效时所允许的操作;相反地,不允许输入无效时,能许可在它有效时所阻止的操作执行。

1.2.19 电平工作输入 level-operated input

一种输入,只要其保持在一个有效的电平上就持续起作用(引起激励)。

1.2.20 转换工作输入 transition-operated input

一种仅在转换的两个方向之一是有效的(产生激励)输入;或者仅从一个电平到另一个电平的转换速率足够大时才能引起激励的一种输入。

1.2.21 置位 set

(1) (ISO)使计数器进入符合规定数的状态。

(2) (ISO)使存储器件置入通常不表示零的规定状态。

注:与“复位”相反。

1.2.22 复位 reset

(1) (ISO)使计数器进入符合规定初始数的状态。

(2) (ISO)使存储器件恢复到规定的未必一定表示零的初始状态。

注:与“置位”相反。

1.3 电路类型

1.3.1 数字电路 digital circuit

依靠输入端和输出端的数字信号进行工作的电路。

注

1 本定义中,“输入端”和“输出端”不包括静态电源端。

2 在一些数字电路中,例如某些类型的非稳态电路,其输入端不必存在。

1.3.2 二进制电路 binary circuit

用二进制信号工作的一种数字电路。

注:二进制信号的各对值域在不同的端可以是不同的。

1.3.3 组合(数字)电路 combinatorial (digital) circuit

对于输入端上数字信号的每一种可能的组合,其输出端仅存在一种数字信号组合的数字电路。

1.3.4 时序(数字)电路 sequential (digital) circuit

在其输入端上至少存在一种数字信号的组合,相应的输出端上存在一种以上的数字信号组合的数字电路。

注:输出端上的这些组合由先前的状态(如内部存储、延迟等结果)决定。

1.3.5 基本组合电路 elementary combinatorial circuit

只有一个输出端,并当加到各输入端上的信号全部为高电平或全部为低电平,输出信号才能具有在

功能表中仅出现一次值的二进制组合(数字)电路。

注

- 1 由于(在功能表中仅出现一次的)输出信号的值可以是高电平,也可以是低电平,所以共有四类基本组合电路。按照布尔代数二进制值 0 和 1 对应信号值 L 和 H 的赋值,可以用四类基本组合电路完成与、或、与非、或非的逻辑操作。
- 2 非基本组合电路可由连接若干基本组合电路或连接若干带反相器的基本组合电路构成。

1.3.6 双稳态电路 bistable circuit

一种仅有两个稳定的输出组态(输出图形)的时序电路。

注

- 1 可根据有效的伪稳定和亚稳定输出组态(输出图形)的数目和种类以及从一个稳定输出组态到另一个稳定输出组态的转变所要求的适当激励的数目将这个大类分成几个小类。
- 2 双稳态电路的稳定输出组态(输出图形)可由参考输出端的低电平或高电平来表示。
- 3 术语“双稳态电路”作为一般术语,覆盖了仅有两个稳定输出组态的所有时序电路。当不致引起歧义或误解时,这个术语也可用于双稳态电路的任何种类,特别是,信号激励双稳态电路通常使用缩写术语“双稳态电路”。

1.3.6.1 边沿触发(转换工作)双稳态电路 edge-triggered (transition-operated) bistable circuit

具有一个或多个转换工作输入的双稳态电路。

1.3.6.2 脉冲触发双稳态电路 pulse-triggered bistable circuit

要求在其预备输入端上建立一个相对于触发输入端施加第一次转换信号的信号,并使该信号保持到相对于在同一触发输入端上第二次能使输出改变状态的转换信号发生的双稳态电路。

注:这一定义不排除最小建立时间和(或)保持时间可能是负的。

1.3.6.3 数据锁定双稳态电路 data-lock-out bistable circuit

要求在其预备输入端上建立并保持一个对于触发输入信号转换,不使输出改变状态的信号的双稳态电路。

1.3.7 单稳态电路 monostable circuit

仅有一个稳定输出组态(输出图形)的时序电路。

注

- 1 这个定义是以最通用的形式给出的,现在使用的术语“单稳态电路”指的是除稳定输出组态(输出图形)外,至少存在一个亚稳定输出组态(输出图形)的情况。
- 2 一般这种电路有一个或多个亚稳定和(或)伪稳定输出组态(输出图形)。

1.3.8 扩展电路 expander circuit

可以用来增加关联电路的同等作用的输入端数目,而不改变关联电路功能的辅助电路。

1.3.9 二进制反相器 binary inverter

一种只有一个输入端和一个输出端,当输入端的信号值是 L(H)时,输出端的信号值为 H(L)的二进制电路。

1.3.10 主-从结构 master-slave arrangement

一种两个双稳态电路的结构,其中一个称为“从”的电路再现另一个称为“主”的电路的输出状态;通过适当的信号可以实现从“主”到“从”的信号传输。

1.3.11 寄存器 register

可以接收、存储和取出信息的双稳态电路组成的电路。

注:寄存器可以成为存储器的一部分,具有一定的容量。

1.3.12 移位寄存器 shift register

一种借助适当的控制信号,可以在相连的双稳态电路间按预定的顺序传送信息的寄存器。

1.3.13 计数器 counter

一种用来存储数的时序电路,可使存储的数按包括 1 的给定常数增加或减少。

1.3.14 数字译码器(集成电路) digital decoder(integrated circuit)

由逻辑元件(或等效元件)组成,能按照输入信号的组合选择一个或多个输出通道的电路。

1.3.15 可编程逻辑阵列 programmable logic array(PLA)

一种具有固定的内部互连图形的组合逻辑元件(电路)阵列组成的集成电路,该内部互连图形可在电路制成后连接或断开,以完成特定的逻辑功能。

注:典型的 PLA 是驱动若干“或”门的“与”门组。

1.4 与额定值和特性有关的术语

1.4.1 (输入)阈值电压 (input)threshold voltage

一种当输入电压值超过它时,能够改变输出逻辑状态的输入电压电平。

注:资料中通常使用的术语“滞后”指的是正向阈值电压和负向阈值电压之差。

$$V_{\text{bys}} = V_{\text{IT+}} - V_{\text{IT-}}$$

$$\text{或 } V_{\text{bys}} = V_{\text{ITP}} - V_{\text{ITN}}$$

1.4.1.1 正向(输入)阈值电压 $V_{\text{IT+}}$, V_{ITP} positive-going(input)threshold voltage $V_{\text{IT+}}$, V_{ITP}

输入电压上升时的输入阈值电压。

注:见 1.4.1 的注。

1.4.1.2 负向(输入)阈值电压 $V_{\text{IT-}}$, V_{ITN} negative-going(input)threshold voltage $V_{\text{IT-}}$, V_{ITN}

输入电压下降时的输入阈值电压。

注:见 1.4.1 的注。

1.4.2 (双极型数字电路的)输入负载系数 input loading factor(of a bipolar digital circuit)

数字电路规定输入端的输入电流与选作参考负载的特定电路的输入电流之比而得到系数。

注:参考负载的选择应尽可能使得输入负载系数成为整数。

1.4.3 (双极型数字电路的)输出负载能力 output loading capability(of a bipolar digital circuit)

数字电路规定输出端的最大输出电流与选作参考负载的特定电路的输入电流之比。

注:参考负载的选择,应尽可能使输出负载能力成为一个整数。

1.4.4 建立时间 set-up time

从规定的输入端施加上需保持的信号开始,到与另一个输入端上随之发生规定的有效转换之间的时间间隔。

注

1 建立时间是在信号电平转换范围内,测试两个信号量通过规定值的瞬时之间时间间隔。

2 建立时间是两个信号间的实际时间可能不足以完成预期的结果。其最小值规定为保证数字电路正确操作所需要的最短时间间隔。

3 建立时间可能是一个负值,在这种情况下,最小值为保证数字电路的正确操作所需要的最长时间间隔(在有效转换和其他信号开始作用之间)。

1.4.5 保持时间 hold time

规定的输入端上的信号在另一个规定的输入端发生有效转换之后仍保持不变的时间间隔。

注

1 保持时间是在信号电平转换范围内,测试两个信号量通过规定值的瞬时时间间隔。

2 保持时间是两个信号间的实际时间,可能不足以完成预期的结果。其最小值规定为保证数字电路正确操作所需要的最短时间间隔。

3 保持时间可能是一个负值,在这种情况下,最小值为保证数字电路的正确操作所需要的最长时间间隔(在有效转换和其他信号开始作用之间)。

1.4.6 分辨时间 resolution time

施加在同一个输入端上的一个输入脉冲的终止到下一个输入脉冲的开始之间的时间间隔。

注

1 分辨时间是在信号电平转换范围内,测试输入信号量通过规定值的瞬时时间间隔。

- 2 分辨时间是两个脉冲间的实际时间可能不足以完成预期结果,其最小值规定为保证数字电路正确操作所需要的最短时间间隔。

1.4.7 高电平到低电平(低电平到高电平)传输时间 high-level to low-level(low-level to high-level) propagation time

当用规定类型的典型器件驱动被测器件和作被测器件的负载,输出向低电平(高电平)变化时,输入脉冲与输出脉冲上规定参考点之间的时间间隔。

注

- 1 在某些情况下,为了测试,可用规定的等效网络来代替驱动电路和负载电路。
- 2 在输入低值域的上限和输入高值域的下限之间的平均值通常用作规定的参考电平。

1.4.8 高电平到低电平(低电平到高电平)的转换时间 high-level to low-level(low-level to high-level) transition time

规定的输入信号通过特定网络加于电路,且输出接另外的特定网络作为负载,输出向低电平(高电平)变化时,输出脉冲沿上规定参考点之间的时间间隔。

1.4.9 允许时间 enable time

从允许信号转换的规定点到表示预定操作开始的输出波形上规定点之间的时间间隔。

1.4.10 禁止时间 disable time

从禁止信号的转换的规定点到表示受禁止信号影响的操作中止的输出波形上规定点之间的时间间隔。

1.4.11 (三态输出的)输出允许时间 output enable time(of a three-state output)

当三态输出从高阻态(截止态)向规定的有效电平(高或低)转变时,输入和输出电压波形上规定参考点之间的时间间隔。

1.4.12 (三态输出的)输出禁止时间 output disable time(of a three-state output)

当三态输出从规定的有效电平(高或低)向高阻态(截止态)转变时,输入和输出电压波形上规定参考点之间的时间间隔。

1.4.13 脉冲持续时间(脉宽) pulse duration(width)

脉冲波形的两个转换的规定参考点之间的时间间隔。

1.4.14 有效时间 valid time

一个时间间隔,在该时间间隔内输出信号是有效的,或输入信号必须是有效的。

1.4.15 输出数据有效时间 output data-valid time

输出数据在输入条件变化后仍持续有效的时间间隔;在这一时间间隔结束时,输入条件的变化能引起输出数据的改变。

1.4.16 (二进制电路的)等效输入(输出)电容 equivalent input(output) capacitance(of a binary circuit)

一种和二进制电路输入(输出)容抗部分一样对数字信号的波形产生等效作用的分立电容器的电容。

1.5 锁定术语

1.5.1 锁定态 latch-up state

由输入、输出或电源的过压触发一寄生四层双极结构而产生的低阻抗导通状态,此状态下维持所产生的电流。

注:在锁定态时,器件不能工作。

1.5.2 锁定效应 latch-up effect

引发锁定态的过程。

1.5.3 锁定态电压 latch-up state voltage($V_{CC(L)}$, $V_{DD(L)}$)

当集成电路处于锁定态时,在规定的电流下,集成电路电源端间的电压。

1.5.4 锁定电流 latch-up current(I_{latch})

使集成电路进入锁定状态的流入或流出所规定引出端的最小电流。

2 示例

2.1 基本组合电路

2.1.1 基本组合电路的类型和功能表

a) L-与,H-或电路

输入	输出
ABC	Q
LLL . . L . .	L
带有 H 的所有组合	H

b) L-与非,H-或非电路

输入	输出
ABC	Q
LLL . . L . .	H
带有 H 的所有组合	L

c) H-与,L-或电路

输入	输出
ABC	Q
HHH . . H . .	H
带有 L 的所有组合	L

d) H-与非,L-或非电路

输入	输出
ABC	Q
HHH . . H . .	L
带有 L 的所有组合	H

e) 二进制反相器

输入	输出
L	H
H	L

2.1.2 用基本组合电路实现的逻辑运算(根据信号值 L 和 H 对布尔代数的二进制值 0 和 1 的两种可能赋值)

电 路		赋 值	
类型	名称	$L \triangleq 1$ $H \triangleq 0$	$L \triangleq 0$ $H \triangleq 1$
a	L-与,H-或	与	或
b	L-与非,H-或非	与非	或非
c	L-或,H-与	或	与
d	L-或非,H-与非	或非	与非