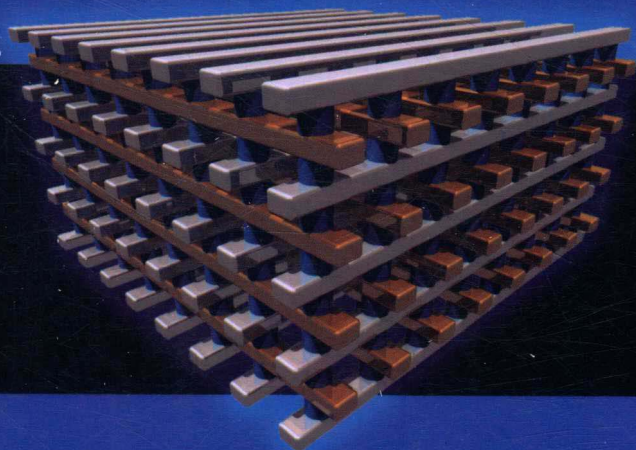


阻变存储器

——器件、材料、机理、可靠性及电路

林殷茵 宋雅丽 薛晓勇 著



科学出版社

阻变存储器

——器件、材料、机理、可靠性及电路

林殷茵 宋雅丽 薛晓勇 著

科学出版社

北京

内 容 简 介

本书系统总结、归纳和对比了近来国际上在阻变存储器核心技术上研究的最新成果以及发展趋势,全书共分8章,包括阻变存储器核心技术近年来的发展趋势概述,2D存储单元结构,阻变材料和机理,阻变读写性能的优化,可靠性的优化,读写电路技术,提高良率以及可靠性的电路辅助技术,3D集成及相关电路技术。

本书可作为高等院校电子科学与技术、电子与信息工程、材料科学与工程等专业的高年级本科生和研究生的选修课教材,也可供从事这一领域研究的科研和工程技术人员参考。希望这本书会对有兴趣的读者深入了解阻变存储器这一国际热点研究领域的进展、聚焦问题以及发展趋势有所帮助。

图书在版编目(CIP)数据

阻变存储器——器件、材料、机理、可靠性及电路 / 林殷茵, 宋雅丽, 薛晓勇著. —北京: 科学出版社, 2014. 8

ISBN 978-7-03-041499-1

I. ①阻… II. ①林… ②宋… ③薛… III. ①存储器—研究 IV. ①TP333

中国版本图书馆 CIP 数据核字 (2014) 第 173973 号

责任编辑: 孙伯元 / 责任校对: 朱光兰

责任印制: 肖 兴 / 封面设计: 陈 敬

科学出版社 出版

北京东黄城根北街 16 号

邮政编码: 100717

<http://www.sciencep.com>

中国科学院印刷厂 印刷

科学出版社发行 各地新华书店经销

*

2014 年 8 月第 一 版 开本: 720×1000 1/16

2014 年 8 月第一次印刷 印张: 8 1/4

字数: 166 000

定价: 60.00 元

(如有印装质量问题, 我社负责调换)

前 言

随着微电子技术不断发展,信息技术产业已经成为经济发展的重要支柱。半导体存储器是信息处理和存储的核心部件,其市场份额占整个集成电路产业的五分之一以上,是信息技术产业的重要组成部分。然而,由于半导体工艺的缩微化,传统的半导体存储器如以 NAND 型闪存(flash)为代表的高密度存储器,以及以 NOR 型闪存为代表的嵌入式存储器都遭遇到了难以向更小尺寸微缩化的发展瓶颈。新型半导体存储器成为了当今的研发热潮。阻变存储器(resistance random access memory,RRAM)被认为是很有潜力的一种新型半导体存储器。其具有缩微化能力强,与现有半导体工艺兼容性好,结构简单的优点。因而在近几年中受到了广泛的关注,也取得了较丰富的成果。

本书系统总结、归纳和对比了 RRAM 核心技术上研究的最新成果、发展轨迹、聚焦问题以及当前的走势,希望能给对这一领域有兴趣的读者提供参考。

本书共分为如下 8 个章节。第 1 章,RRAM 概述;第 2 章,2D RRAM 的存储单元结构,主要对比了平面架构下有代表性的存储单元结构,并介绍了一些新型结构;第 3 章,RRAM 的阻变机理,汇总了当前 RRAM 研究的一些代表性材料,对不同阻变机理进行了分类,分析了机理和存储性能之间所呈现的部分规律;第 4 章,影响 RRAM 读写性能的主要因素和优化方法,分析研究了从工艺和算法两方面对 RRAM 的读写功耗以及可靠性进行优化的方法;第 5 章,RRAM 的可靠性,分析研究了可靠性的机理模型和优化方法;第 6 章,提高 RRAM 读写速度及带宽的电路技术,给出了适用于嵌入式场合中提高 RRAM 的读写速度以及在高密度场合提高芯片的读写带宽的方法;第 7 章,提高 RRAM 读写良率和可靠性的电路技术;第 8 章,3D RRAM 集成及电路技术。

本书汇总了自 2005 年以来整个团队在这一领域的研究成果,是团队合作的结晶。按照章节组织顺序一一说明如下,感谢肖凡杰、陈怡在存储单元结构上的贡献,感谢杨玲明在可微缩化及其相关机理上的贡献,感谢尹明在写操作算法及相关机理上的贡献,感谢万海军在测试方法及相关机理上的贡献,感谢王艳良和孟莹在可靠性、成品率优化以及相关机理上的贡献,感谢王明和罗文进在工艺和可靠性的相关性方面的贡献,感谢张喆、金钢、吴雨欣、丁益青在 2D 电路设计方法上的贡献,

感谢张佶在 3D 电路设计方法上的贡献,感谢简文翔、陈钢、杨建国、解玉凤在电路应用方法上的贡献。感谢企业研究合作伙伴中芯国际集成电路有限公司,感谢吴金刚博士、黄晓辉工程师、邹擎天工程师等,没有他们的大力支持和共同努力,无法在生产线上验证制造可行性,无法获取芯片级别的验证结果。此外,感谢陈邦明博士给予的技术讨论与建议。感谢汤庭鳌教授的鼓励和支持。本书介绍的部分成果是在“863”项目、上海市人才计划等科技项目的资助下完成的,同时得到复旦大学及其合作单位的大力支持。谨在此对所有提供支持和帮助的朋友致以诚挚的感谢!

笔者体会到本书对很多内容理解有限,深感深度与广度不够,如有不足之处,恳切希望予以指正。

林殷茵 宋雅丽 薛晓勇

2014 年 5 月

目 录

前言

第 1 章 RRAM 概述	1
参考文献	5
第 2 章 2D RRAM 的存储单元结构	9
2.1 1T1R 单元	9
2.1.1 单元结构	9
2.1.2 单极和双极操作	12
2.2 采用二极管作为选通器件的单元	15
2.2.1 单极操作的 1D1R 单元	15
2.2.2 采用双向二极管作为选通器件的 RRAM 单元	16
2.3 自整流 RRAM 单元	21
2.3.1 混合型 RRAM 存储单元	21
2.3.2 互补型 RRAM 器件	23
参考文献	25
第 3 章 RRAM 的阻变机理	29
3.1 导电细丝的类型及其相应的阻变过程	30
3.1.1 金属导电丝型 RRAM	31
3.1.2 氧空位导电丝 RRAM	34
3.2 RRAM 的 FORMING 过程	39
3.3 导电细丝的微缩化及其对性能的影响	41
参考文献	44
第 4 章 影响 RRAM 读写性能的主要因素和优化方法	49
4.1 降低 RESET 电流的方法	49
4.1.1 构建多层结构	51
4.1.2 通过控制限流降低功耗	52
4.2 操作算法提高 RRAM 读写特性	55
4.2.1 自适应写操作算法提高写成功率和 $R_{\text{off}}/R_{\text{on}}$ 窗口	55
4.2.2 操作算法提高参数一致性	56

4.3 工艺方法提高读写参数一致性	59
4.3.1 电极效应	59
4.3.2 插入缓冲层和构建双层结构	60
4.3.3 嵌入金属来控制导电通路	61
参考文献	63
第5章 RRAM 的可靠性	66
5.1 保持特性当前的测试方法	66
5.2 保持特性的模型和改善方法	67
5.2.1 RRAM 保持特性失效模型	67
5.2.2 通过形成高密度的氧空位 CF 改善保持特性	68
5.2.3 通过动态自适应写操作算法改善保持特性	70
5.3 耐久性模型和改善方法	72
5.3.1 耐久性失效模型	72
5.3.2 高耐久性的器件结构	75
5.3.3 通过编程算法提高耐久性	77
参考文献	79
第6章 提高 RRAM 读写速度及带宽的电路技术	81
6.1 提高读速度的电路技术	81
6.1.1 基于反馈调节的位线偏压方案	81
6.1.2 PTADB 方案	82
6.2 提高读带宽的电路技术	83
6.2.1 片上所有 SA 同时工作	84
6.2.2 交替页访问并结合 DDR 接口输出	84
6.3 加快写速度及带宽的电路技术	86
参考文献	87
第7章 提高 RRAM 读写良率和可靠性的电路技术	88
7.1 提高读良率的电路技术	88
7.1.1 PSRC 方案	88
7.1.2 SARM 方案	89
7.1.3 BDD-CSA 方案	90
7.1.4 TABB 方案	91
7.1.5 SSC-CSA 方案	93
7.2 提高写良率降低写功耗的电路技术	95

7.2.1 自适应写模式	96
7.2.2 带反馈的自定时写方案	97
7.3 提高耐久性和保持特性的电路技术	98
7.3.1 两步 FORMING 方案	98
7.3.2 阻值验证写方案	100
7.3.3 动态自适应写方法	100
参考文献	102
第8章 3D RRAM 集成及电路技术	104
8.1 传统交叉点架构的漏电通路及功耗问题	105
8.2 基于 1TXR 的 3D RRAM	106
8.2.1 1TXR 单元及阵列架构	106
8.2.2 克服写干扰的编程算法	107
8.2.3 克服读干扰的措施	110
8.3 基于 1D1R 单元的 3D RRAM	111
8.3.1 阵列架构	111
8.3.2 可以补偿漏电流来精确检测阻态变化的写电路技术	112
8.3.3 采用位线电容隔离来加快 SA 翻转的读电路	113
8.4 采用双向二极管作为选通器件的 3D RRAM	113
8.4.1 阵列架构	114
8.4.2 1BD1R 阵列的编程条件	114
8.4.3 采用冗余单元的多位写架构	116
8.5 具有较低光刻成本的竖直 3D 堆叠方式	116
8.5.1 单元和阵列的截面图	117
8.5.2 光刻方面的成本优势	119
参考文献	121

第 1 章 RRAM 概述

当前,无论是以 NAND 型 flash 为代表的高密度存储器,还是以 NOR 型闪存为代表的嵌入式存储器,都遭遇到了难以向更小尺寸微缩化的发展瓶颈,这在全球范围内引发了新型半导体存储器的研发热潮,目标是寻求后 NOR (post NOR) 和后 NAND (post NAND) 时代的非挥发存储器 (nonvolatile memory, NVM) 解决方案。近年来,RRAM 被视为最有发展潜力的候选者之一。RRAM 存储单元的核心电阻部分为简单的三明治结构(上电极/电阻/下电极),可以集成在 CMOS 的后端互连部分,因而容易突破传统的 flash 结构难于微缩的瓶颈,这是 RRAM 非常显著的优势。在 RRAM 中,可以随机访问每一个存储单元,这一点与静态随机存储器 (static random access memory, SRAM) 和动态随机存储器 (dynamic random access memory, DRAM) 非常相似,与 NAND 型闪存的块擦写机制非常不同。但是也有例外,对于一些特殊的阵列结构,例如,某些三维 (3 dimensions, 3D) 结构,也有采用部分擦除或者块擦除的操作算法,而不是随机读写。

最近几年 RRAM 的研究非常活跃,RRAM 相关文章的数量呈指数增加,发表在国际最著名的集成电路和半导体存储器会议上的高水平文章也高速增长,如图 1-1 所示。

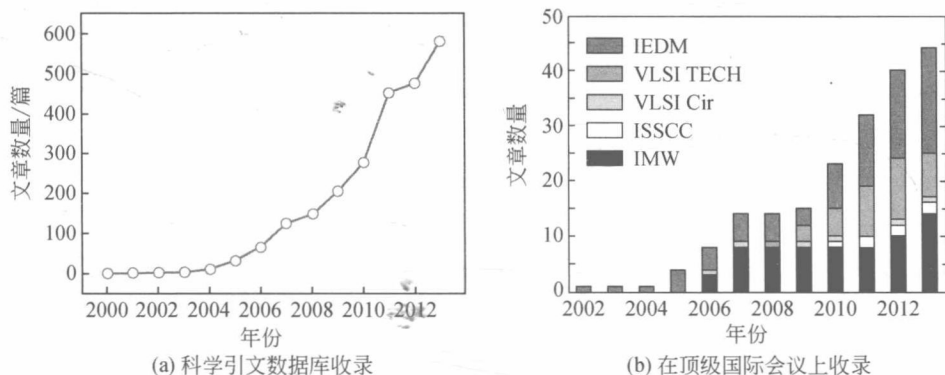


图 1-1 RRAM 的文章在 2000 ~ 2013 年发表情况

国际上知名的半导体存储器公司以及研究机构、高校都在这一领域积极开展

研究工作。值得注意的是,自 2010 年后,在国际集成电路顶级会议上,有关测试芯片的相关报道呈快速增长趋势,但是各家所使用的 RRAM 材料并不相同,可见在材料选择上并未达成世界范围内的共识,如图 1-2 所示。表 1-1 列出了自 2006 年 ISSCC 上报道国际上第一颗 RRAM 测试芯片以来,到 2014 年 2 月底为止,国际上最著名集成电路会议上报道 RRAM 测试芯片的相关信息。可以看到测试芯片相关成果也从刚开始只报道读写功能,逐渐发展到了采用设计和工艺共优化的手段,来帮助提高成品率,向产品应用迅速靠近。

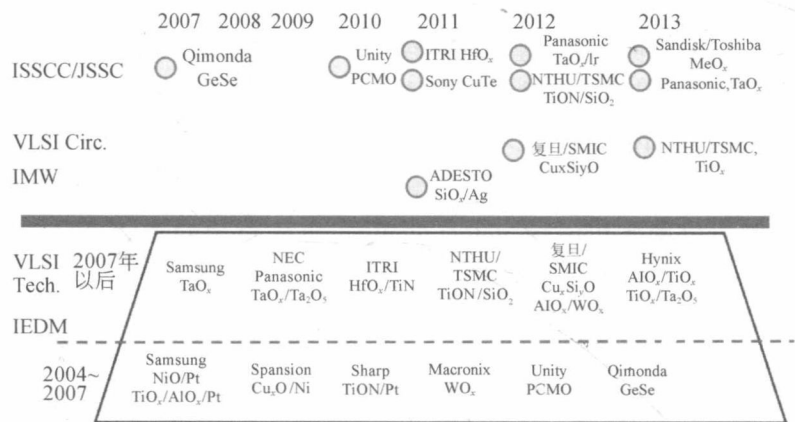


图 1-2 在国际顶级集成电路会议发表的 RRAM 材料、测试芯片以及研发单位

○代表一颗测试芯片

表 1-1 2014 年 2 月为止国际上著名集成电路会议上报道的 RRAM 测试芯片

发表单位	材料	工艺节点	存储单元	容量	关键点
Micron & Sony ^[1]	CuTe	27nm	1T1R	16Gb	高带宽读写技术和提高良率的冗余技术
NTHU & TSMC ^[2]	TaON	28nm	1T1R	1Mb	在低电源电压下提高读容限和降低 SET 功耗
NTHU & ITRI (VLSI2013) ^[3]	HfO _x	0.18μm/ 65nm	1T1R	1Mb/2Mb	采用随温度自适应变化的位线偏压来实现快速电流检测
复旦大学和中芯国际 (VLSI2013) ^[4]	AlO _x /WO _x	0.18μm	1T1R	128Kb	采用自适应写电路来提高带尾态 (tail bits) 的保持能力 (retention) 和耐久性 (endurance)

续表

发表单位	材料	工艺节点	存储单元	容量	关键点
Panasonic (ISSCC2013) ^[5]	Ta ₂ O ₅ / TaO _x	0.18 μm	1T1R	512Kb	采用两步 FORMING 和级验证 (level-verify) 写来提高耐久性
Sandisk & Toshiba (ISSCC2013) ^[6]	MeO _x	24nm	1D1R	32Gb	高密度应用中的读写电路实现方法
复旦大学和中芯国际 (VLSI2012) ^[7]	Cu _x Si _y O	0.13 μm	1T1R	8Mb	采用自适应读写技术来降低操作功耗和提高良率
NTHU & TSMC (ISSCC2012) ^[8]	TiON/SiO _x	65 μm	1T1R	8Mb	低电源电压提高读电路的可靠性
Panasonic (ISSCC2012) ^[9]	TaO _x	0.18 μm	1BD1R	8Mb	多层单元的阵列架构实现方法
Adesto (IMW2011) ^[10]	SiO _x /Ag	0.13 μm	1T1R	1Mb	低功耗高性能读写电路实现方法
ITRI & NTHU (ISSCC2011) ^[11]	HfO _x	0.18 μm	1T1R	4Mb	提高读良率的读参考实现方法, 提高读速度的动态位线电压实现方法
Sony (ISSCC2011) ^[12]	CuTe	0.18 μm	1T1R	4Mb	针对高带宽应用的读写电路实现方法
复旦大学和中芯国际 (VLSI2010) ^[13]	Cu _x Si _y O	0.13 μm	1T1R	1Mb	Si 掺杂获得更好的保持能力和电阻分布
Unity (ISSCC2010) ^[14]	CMO _x CB	0.13 μm	cross-point	64Mb	交叉点 (cross-point) 阵列的读写电路实现方法
Qimonda (VLSI 2006) ^[15]	GeSe	90nm	1T1R	2Mb	针对高速应用的读写电路实现方法

从应用的角度来看,通常有两种不同的产品目标类型,一种是高密度应用,是针对后 NAND 型的,另一种是嵌入式片上系统(system on chip, SoC)的,针对后 NOR 型。在两种不同的应用类型中,性能要求的侧重点不同,因而,研究重点和难点的排序也存在差异。例如,对于一些容量不高的嵌入式应用,保持特性尤为重要。每一个位(bit)的保持特性都必须可靠,而万级以上的高可擦写次数则不是应用所必需的。由于这类应用原本容量就不高,纠错电路(error checking and

correcting, ECC) 和冗余(redundancy)阵列方案会产生不可接受的成本问题。而以高密度应用为目标的通用型存储器的要求就有不同,在高密度应用场合,纠错算法和冗余阵列是通常采用的手段。但对于通用存储器,成本控制非常严苛。表 1-2 列出了针对高密度和嵌入式这两种应用目标的一些关键性能的重要性排序。可以预见的是,在通用型方案达成之前,RRAM 的一些优势会率先在一些特殊应用场合(niche application)的产品上得以展现。

表 1-2 针对不同应用的性能关键性能的重要性排序

应用类型	后 NAND 时代高密度应用	后 NOR 时代嵌入式应用
1	成本	保持性能
2	擦写电流	成本
3	保持性能	参数一致性和窗口
4	耐久性	擦写电流
5	参数一致性和窗口	耐久性
6	机理	机理

许多材料都被发现有阻变特性,例如二元金属氧化物,如 NiO 、 AlO_x 、 TiO_x 、 HfO_x 、 WO_x 、 CuO_x 和石墨烯氧化物^[16~22],多元钙钛矿氧化物,如 STO 、 SZO 、 PCMO 、 LCMO ^[23~26]。研究发现,不同的金属电极材料对器件的特性也有很大影响。然而,找到一种材料的组合来满足所有的实际应用要求不是件容易的事。研究者们提出了不同的优化方案,包括掺杂、构建双层甚至多层结构、控制工艺条件、操作算法和电路设计辅助等。

图 1-3 总结了在近十年间 RRAM 研究的发展趋势。在机理研究方面,从读写机理发展到数据保持特性、可擦写次数等可靠性机理,再进一步发展到涉及带尾性能的成品率优化机理;在性能研究方面,从读写基本性能的优化,到可靠性的优化,再进一步发展到相关性能成品率的优化;在优化手段方面,除了材料和器件工艺优化的相关方案之外,电路的辅助优化技术被提出,目的是通过可接受的优化成本和研发效率来改善 RRAM 的性能;研究的载体也从仅基于少量存储单元的实验数据过渡到必须基于大规模阵列和电路获得统计数据来验证。可以预测,在不远的将来,电路和工艺共同优化的策略是使 RRAM 走向实际产品应用的必经途径。

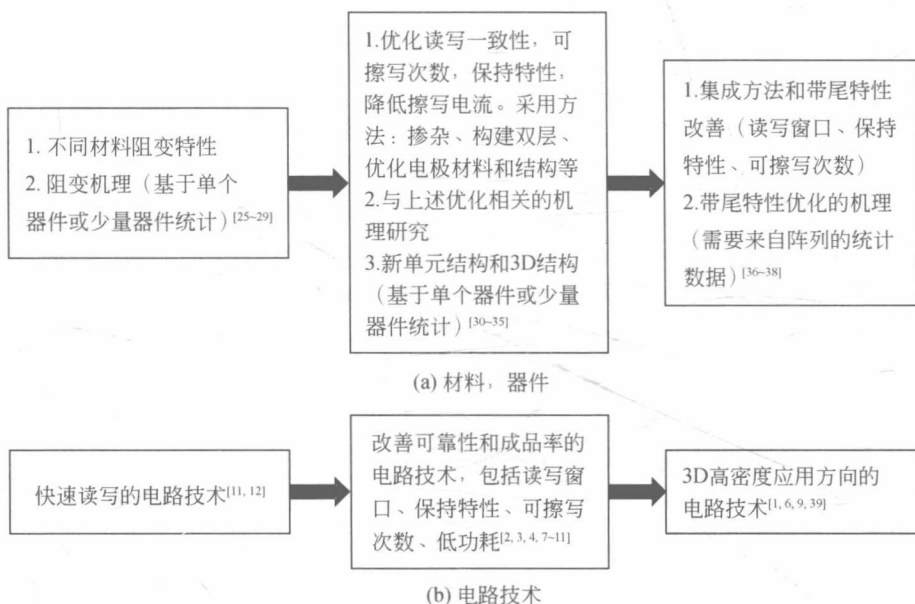


图 1-3 RRAM 近十年的发展趋势

参 考 文 献

- [1] Fackenthal R, Kitagawa M, Otsuka W, et al. A 16Gb ReRAM with 200MB/s write and 1GB/s read in 27nm technology//IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, 2014: 338,339.
- [2] Chang M F, Wu J J, Chien T F, et al. Embedded 1Mb ReRAM in 28nm CMOS with 0.27-to-1V read using swing-sample-and-couple sense amplifier and self-boost-write-termination scheme//IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, 2014: 332,333.
- [3] Chang M F, Kuo C C, Sheu S S, et al. Area-efficient embedded RRAM macros with sub-5ns random-read-access-time using logic-process parasitic-BJT-switch (OTIR) cell and read-disturb-free temperature-aware current-mode read scheme//Symposium on VLSI Circuits (VLSIC), Kyoto, 2013:C112,C113.
- [4] Song Y L, Meng Y, Xue X Y, et al. Reliability significant improvement of resistive switching memory by dynamic self-adaptive write method//Symposium on VLSI Technology (VLSIT), Kyoto, 2013:102,103.
- [5] Kawahara A, Kawai K, Ikeda Y, et al. Filament scaling forming technique and level-verify-write scheme with endurance over 107 cycles in ReRAM//IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, 2013:220,221.

- [6] Liu T Y, Yan T H, Scheuerlein R, et al. A 130.7mm^2 2-layer 32Gb ReRAM memory device in 24nm technology//IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, 2013;210,211.
- [7] Xue X Y, Jian W X, Yang J G, et al. A 0.13um 8Mb logic based $\text{Cu}_x\text{Si}_y\text{O}$ resistive memory with self-adaptive yield enhancement and operation power reduction//Symposium on VLSI Circuits (VLSIC), Honolulu, 2012;42,43.
- [8] Chang M F, Wu C W, Kuo C C, et al. A 0.5V 4Mb logic-process compatible embedded resistive RAM (ReRAM) in 65nm CMOS using low-voltage current-mode sensing scheme with 45ns random read time//IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, 2012; 434 ~ 436.
- [9] Kawahara A, Azuma R, Ikeda Y, et al. An 8Mb multi-layered cross-point ReRAM macro with 443MB/s write throughput//IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, 2012;432 ~ 434.
- [10] Hollmer S, Gilbert N, Dinh J, et al. A high performance and low power logic CMOS compatible embedded 1Mb CBRAM non-volatile macro//IEEE International Memory Workshop (IMW), Monterey, 2011;107 ~ 110.
- [11] Sheu S S, Chang M F, Lin K F, et al. A 4Mb embedded SLC resistive-RAM macro with 7.2ns read-write random-access time and 160ns MLC-access capability//IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, 2011;200 ~ 202.
- [12] Otsuka W, Miyata K, Kitagawa M, et al. A 4Mb conductive-bridge resistive memory with 2.3GB/s read-throughput and 216MB/s program-throughput//IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, 2011;210,211.
- [13] Wang M, Luo W J, Wang Y L, et al. A novel $\text{Cu}_x\text{Si}_y\text{O}$ resistive memory in logic technology with excellent data retention and resistance distribution for embedded applications//Symposium on VLSI Technology (VLSIT), Honolulu, 2010;89,90.
- [14] Chevallier C J, Chang H S, Lim S F, et al. A 0.13um 64Mb multi-layered conductive metal-oxide memory//IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, 2010;260,261.
- [15] Honigsmid H, Angerbauer M, Dietrich S, et al. A non-volatile 2Mbit CBRAM memory core featuring advanced read and program control//Symposium on VLSI Circuits (VLSIC), Honolulu, 2006; 110,111.
- [16] Seo S, Lee M J, Seo D H, et al. Reproducible resistance switching in polycrystalline NiO films. Applied Physics Letters, 2004, 85(23):5655 ~ 5657.
- [17] Lin C Y, Wu C Y. Bistable resistive switching in Al_2O_3 memory thin films. Journal of the Electrochemical Society, 2007, 154(9):G189 ~ G192.

- [18] Kim K M, Choi B J, Shin Y C, et al. Anode-interface localized filamentary mechanism in resistive switching of TiO_2 thin films. *Applied Physics Letters*, 2007, 91(1):012907.
- [19] Chen Y S, Lee H Y, Chen P S, et al. An ultrathin forming-free HfO_x resistance memory with excellent electrical performance. *IEEE Electron Device Letters*, 2010, 31(12):1473~1475.
- [20] Chien W C, Chen Y C, Chang K P, et al. Multilevel operation of fully CMOS compatible WO_x resistive random access memory (RRAM)//IEEE International Memory Workshop (IMW), Monterey, 2009:15,16.
- [21] Lv H B, Yin M, Fu X F, et al. Resistive memory switching of Cu_xO films for a nonvolatile memory application. *IEEE Electron Device Letters*, 2008, 29(4):309~311.
- [22] Zhuge F, Hu B, He C, et al. Mechanism of nonvolatile resistive switching in graphene oxide thin films. *Carbon*, 2011, 49(12):3796~3802.
- [23] Lin M H, Wu M C, Huang Y H, et al. High device yield of resistive switching characteristics in oxygen-annealed SrZrO_3 memory devices. *IEEE Transactions on Electron Devices*, 2011, 58(4):1182~1188.
- [24] Shkabko A, Aguirre M H, Marozau I, et al. Measurements of current-voltage-induced heating in the $\text{Al}/\text{SrTiO}[\text{sub } 3-x]\text{N}[\text{sub } y]/\text{Al}$ memristor during electroformation and resistance switching. *Applied Physics Letters*, 2009, 95(15):152109.
- [25] Jung S, Siddik M, Lee W, et al. Thermally-assisted $\text{Ti}/\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ ReRAM with excellent switching speed and retention characteristics//IEEE International Electron Devices Meeting (IEDM), Washington DC, 2011:59~62.
- [26] Yu W D, Li X M, Rui Y, et al. Improvement of resistive switching property in a noncrystalline and low-resistance $\text{La}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ thin film by using an Ag-Al alloy electrode. *Journal of Physics D-Applied Physics*, 2008, 41(21):215409.
- [27] Waser R, Dittmann R, Staikov G, et al. Redox-based resistive switching memories- nanoionic mechanisms, prospects, and challenges. *Advanced Materials*, 2009, 21(25,26):2632,2663.
- [28] Sawa A. Resistive switching in transition metal oxides. *Materials Today*, 2008, 11(6):28~36.
- [29] Chen A, Haddad S, Wu Y C, et al. Non-volatile resistive switching for advanced memory applications//IEEE International Electron Devices Meeting (IEDM), Washington DC, 2005:765~768.
- [30] Park S G, Yang M K, Ju H, et al. A non-linear ReRAM cell with sub-1uA ultralow operating current for high density vertical resistive memory (VRRAM)//IEEE International Electron Devices Meeting (IEDM), San Francisco, 2012:20.8.1~20.8.4.
- [31] Wang X P, Fang Z, Li X, et al. Highly compact 1T-1R architecture ($4F^2$ footprint) involving fully CMOS compatible vertical GAA nano-pillar transistors and oxide-based RRAM cells exhibiting excellent NVM properties and ultra-low power operation//IEEE International Electron

Devices Meeting (IEDM), San Francisco, 2012;20. 6. 1~20. 6. 4.

- [32] Kim D C, Lee M J, Ahn S E, et al. Improvement of resistive memory switching in NiO using IrO_2 . Applied Physics Letters, 2006, 88(23):232106.
- [33] Chen B, Lu Y, Gao B, et al. Physical mechanisms of endurance degradation in TMO-RRAM//IEEE International Electron Devices Meeting (IEDM), Washington DC, 2011;283~286.
- [34] Kim Y B, Lee S R, Lee D, et al. Bi-layered RRAM with unlimited endurance and extremely uniform switching//Symposium on VLSI Technology (VLSIT), Kyoto, 2011;52,53.
- [35] Baek I G, Park C J, Ju H, et al. Realization of vertical resistive memory (VRRAM) using cost effective 3D process//IEEE International Electron Devices Meeting (IEDM), Washington DC, 2011;738~740.
- [36] Wei Z, Takagi T, Kanzawa Y, et al. Demonstration of high-density ReRAM ensuring 10-year retention at 85°C based on a newly developed reliability model//IEEE International Electron Devices Meeting (IEDM), Washington DC, 2011;721~724.
- [37] Ninomiya T, Takagi T, Wei Z, et al. Conductive filament scaling of TaO_x bipolar ReRAM for long retention with low current operation//Symposium on VLSI Technology (VLSIT), Honolulu, 2012;73,74.
- [38] Wang Y L, Song Y L, Yang L M, et al. Algorithm-enhanced retention based on megabit array of $\text{Cu}_x\text{Si}_y\text{O}$ RRAM. IEEE Electron Device Letters, 2012, 33(10):1408~1410.
- [39] Zhang J, Ding Y Q, Xue X Y, et al. A 3D RRAM using a stackable multi-layer 1T1R Cell. IEICE Transactions on Electronics, 2010, E93C(12):1692~1699.

第2章 2D RRAM 的存储单元结构

依据 RRAM 是否采用多层堆叠的方式,将 RRAM 存储架构分为平面型和立体型,即通常所谓的 2D 和 3D 架构。有关 3D 架构的内容将在第 8 章中介绍,本章主要介绍 2D 架构下的存储单元。2D RRAM 存储单元结构中,代表性的有 1T1R(T 指晶体管型选通管)和 1D1R(D 指二极管型选通管)。本章除了介绍这些有代表性的存储单元的结构及其特点,也介绍了一些新型存储单元的研究进展,如双向导通型二极管作为选通管,具有自整流特性的 RRAM,互补型的 RRAM 等。表 2-1 比较了几种典型的采用不同选通器件的 RRAM 单元。

2.1 1T1R 单元

2.1.1 单元结构

1T1R 单元的最大优势是可以较为容易地集成在逻辑工艺上,这对于 SoC 应用非常有吸引力。

Wang 等在 2010 年的 Symposium on VLSI 上报道了第一款基于标准铜互联工艺、容量为 1Mb 的 1T1R RRAM 测试芯片^[1],这款芯片采用 $\text{Cu}_x\text{Si}_y\text{O}$ 存储介质,集成在后端互连线上。如图 2-1 所示,图(a)为选通管采用标准器件 NMOS 的 1T1R 单元的示意图;图(b)为 $\text{Cu}_x\text{Si}_y\text{O}$ 存储层的 HR-TEM 剖面图像, $\text{Cu}_x\text{Si}_y\text{O}$ 厚度为 20nm,上下电极分别为 TaN 和第一金属层 Cu(M1);图(c)为 4 个 16Kb 阵列构成的

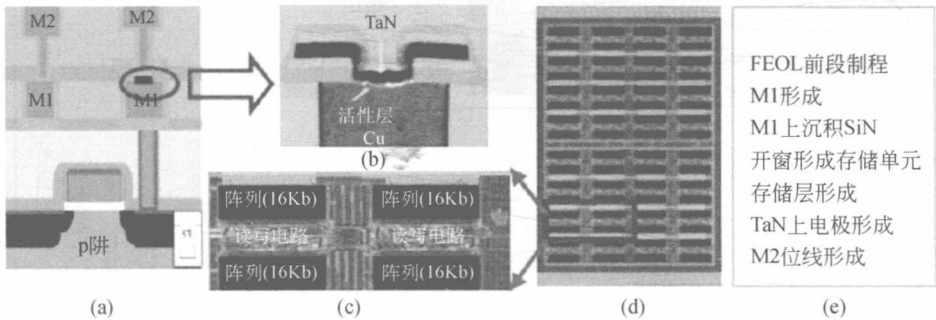


图 2-1 基于标准铜互联工艺,容量为 1Mb 的 1T1R RRAM 测试芯片^[1]