



“十三五”普通高等教育本科规划教材
高等院校电气信息类专业“互联网+”创新规划教材

集成电路EDA设计

——仿真与版图实例

主编 | 陆学斌

第 1 章



北京大学出版社
PEKING UNIVERSITY PRESS

高等院校电气信息类专业“互联网+”创新规划教材

集成电路 EDA 设计

——仿真与版图实例

主 编 陆学斌



北京大学出版社
PEKING UNIVERSITY PRESS

内 容 简 介

本书从集成电路设计的角度出发,简单而又全面地描述了集成电路的设计流程,内容主要包括集成电路设计必备的理论知识、设计流程、相关软件的操作方法、常用数字和模拟集成电路的设计、仿真和版图实例等。

通过对本书的学习,读者可以熟悉集成电路的完整设计流程,按照书中的操作步骤可以自己动手操作,提高实践动手能力。为了方便读者阅读和学习,本书采用“互联网+教材”模式,扫描相应位置二维码即可获得相关知识链接和知识扩展。

本书可作为高等学校集成电路设计、微电子等专业教学用书,也可作为集成电路设计人员和版图设计人员的培训和参考用书。

图书在版编目(CIP)数据

集成电路 EDA 设计:仿真与版图实例/陆学斌主编. —北京:北京大学出版社, 2018. 1
(高等院校电气信息类专业“互联网+ ”创新规划教材)

ISBN 978-7-301-28721-7

I. ①集… II. ①陆… III. ①模拟集成电路—电路设计—高等学校—教材 IV. ①TN431. 102

中国版本图书馆 CIP 数据核字(2017)第 219103 号

书 名 集成电路 EDA 设计——仿真与版图实例

JICHENG DIANLU EDA SHEJI——FANGZHEN YU BANTU SHILI

著作责任者 陆学斌 主编

策划编辑 程志强

责任编辑 李娉婷

数字编辑 刘 蓉

标准书号 ISBN 978-7-301-28721-7

出版发行 北京大学出版社

地 址 北京市海淀区成府路 205 号 100871

网 址 <http://www.pup.cn> 新浪微博: @北京大学出版社

电子信箱 pup_6@163.com

电 话 邮购部 62752015 发行部 62750672 编辑部 62750667

印刷者 三河市北燕印装有限公司

经 销 者 新华书店

787 毫米×1092 毫米 16 开本 14.25 印张 324 千字

2018 年 1 月第 1 版 2018 年 1 月第 1 次印刷

定 价 36.00 元

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究

举报电话: 010-62752024 电子信箱: fd@pup.pku.edu.cn

图书如有印装质量问题,请与出版部联系,电话: 010-62756370

前 言

集成电路产业是当今社会高速发展的高新科技产业，产品应用范围广泛，从手机、计算机、高清电视等电器到云计算、物联网甚至军工国防，各行各业都涉及集成电路的使用。集成电路的发展水平已经成为衡量一个国家科技水平的重要标志。

电子设计自动化（Electronic Design Automation, EDA）是利用计算机作为工作平台进行自动化设计的一项技术。EDA 技术可以为集成电路设计提供标准的程序化模型或模型库，模型和图形的背后往往具有深层次的物理含义。利用 EDA 技术可以提高集成电路设计的效率，熟练使用 EDA 技术进行集成电路设计是每个集成电路设计工程师必备的技能。

本书由浅入深、由简到难地介绍了集成电路设计的基本知识、设计方法、设计流程、相关软件操作和具体设计实例。本书的突出特点：设计软件采用目前业界最为广泛的 Cadence Virtuoso 系列，经典的 Dracula 物理验证工具，一目了然的流程化操作过程，真实的集成电路实例。通过学习本书，学生可提高实践动手能力。

本书主要讲授集成电路设计的基本原理、设计方法、设计流程和设计实例。全书共分为 10 章，建议各章节的学时安排如下：第 1 章讲解集成电路的设计基础，如果专业课程体系中已经包含相关课程，则应以介绍、复习为主，建议学时为 2 学时；第 2 章讲解 UNIX 和 Linux 操作系统，这是上机操作的必备知识，建议学时为 2 学时；第 3 章讲解集成电路设计软件 Cadence，这是本书主要使用的集成电路设计软件，熟练使用 Cadence 是本章讲解的目的，建议学时为 2 学时；第 4 章讲解集成电路的电路图设计，通过学习第 4 章，掌握集成电路的电路图设计流程，建议学时为 2 学时；第 5 章讲解集成电路的 ADE 仿真，通过学习第 5 章，掌握集成电路的仿真流程，建议学时为 2 学时；第 6 章讲解版图编辑大师 Virtuoso，通过学习第 6 章，掌握集成电路的版图设计流程，建议学时为 2 学时；第 7~9 章为具体的集成电路设计实例，每章内容均涉及电路图设计、电路仿真和版图设计，内容较多，每章的建议学时均为 4 学时；第 10 章介绍常用模拟和数字集成电路的版图实例，建议学时为 4 学时。本书总计学时为 28 学时，如果将第 7~9 章归为实验学时，那么理论学时为 16 学时，实验学时为 12 学时。

编者在编写本书过程中得到了哈尔滨理工大学崔林海教授、董长春副教授和哈尔滨铁道职业技术学院孙伟副教授的热心帮助。北京大学出版社的编辑在组织出版和编辑工作中给予了很大的支持，在此一并表示感谢。

由于编者水平有限，书中不妥之处在所难免，敬请读者批评指正。

编 者

2017 年 7 月

目 录

第 1 章 集成电路设计基础	1
1.1 集成电路设计的分类与特点	2
1.2 集成电路的设计与制造流程	3
1.3 必备的课程理论知识	4
1.4 计算机辅助设计工具	30
本章小结	34
习题与思考	35
第 2 章 UNIX 与 Linux 操作系统	36
2.1 UNIX 操作系统	36
2.2 Linux 操作系统	41
2.3 虚拟机	56
本章小结	66
习题与思考	66
第 3 章 集成电路设计软件 Cadence	67
3.1 Cadence 软件简介	67
3.2 Cadence 软件的启动	68
3.3 库、单元与视图	70
3.4 工艺库与工艺文件管理器	74
本章小结	77
习题与思考	77
第 4 章 集成电路的电路图设计	78
4.1 Composer - Schematic	78
4.2 菜单与快捷菜单	79
4.3 添加实例、编辑元器件的属性	82
4.4 电路图设计的一般流程	86
本章小结	86
习题与思考	86
第 5 章 集成电路的 ADE 仿真	88
5.1 ADE	88

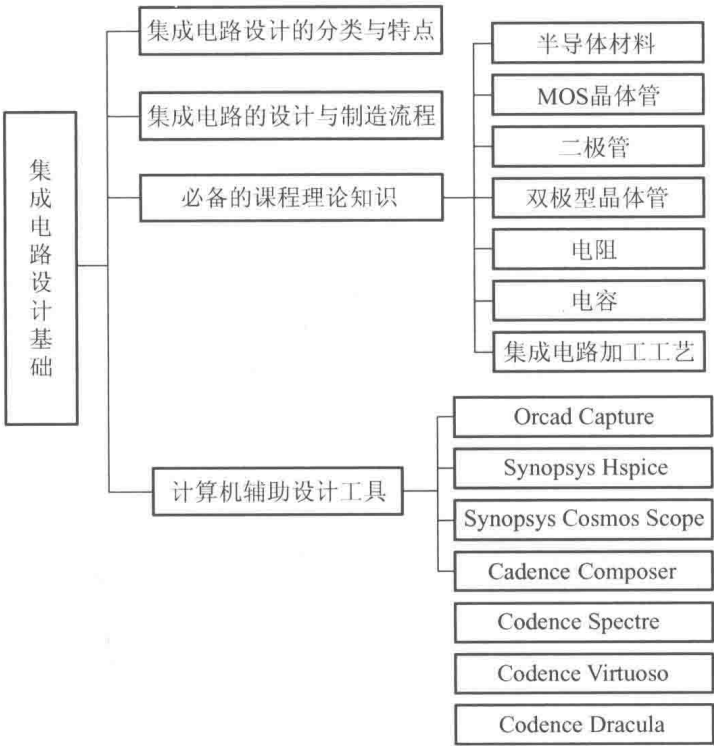


5.2 菜单与快捷菜单	90
5.3 ADE 仿真的一般流程	93
5.4 必要的操作	93
本章小结	97
习题与思考	97
第6章 版图编辑大师 Virtuoso	98
6.1 技术文件	99
6.2 Virtuoso 版图编辑大师	101
6.3 菜单与快捷菜单	104
6.4 版图设计规则	108
6.5 图形的建立与编辑	110
6.6 版图验证	115
6.7 棍棒图	117
6.8 常用元器件的版图	118
6.9 芯片的版图布局	134
6.10 版图设计技巧	135
本章小结	137
习题与思考	137
第7章 集成电路设计实例1——CMOS反相器的设计	139
7.1 CMOS反相器的电路设计	139
7.2 CMOS反相器的仿真	144
7.3 CMOS反相器的版图设计	149
7.4 CMOS反相器的版图验证	159
本章小结	170
习题与思考	171
第8章 集成电路设计实例2——CMOS两输入与非门的设计	172
8.1 CMOS两输入与非门的电路设计	172
8.2 CMOS两输入与非门的仿真	176
8.3 CMOS两输入与非门的版图设计	178
8.4 CMOS两输入与非门的版图验证	183
本章小结	185
习题与思考	185
第9章 集成电路设计实例3——CMOS运算放大器的设计	186
9.1 CMOS运算放大器的电路设计	186
9.2 CMOS运算放大器的电路仿真	190

9.3 CMOS 运算放大器的版图设计	194
本章小结.....	195
第 10 章 常用模拟和数字集成电路的版图实例	196
10.1 反相器.....	197
10.2 三态反相器.....	199
10.3 传输门.....	200
10.4 CMOS 两输入与非门和两输入或非门	200
10.5 多路选择器.....	202
10.6 D 触发器.....	204
10.7 二分频器.....	205
10.8 1 位全加器	205
10.9 静电保护电路.....	207
10.10 二级运算放大器	211
10.11 带隙基准源	213
本章小结.....	214
参考文献.....	215

集成电路设计基础

【知识架构】



【教学目标与要求】

- 了解集成电路设计的分类。
- 了解集成电路设计的特点。
- 熟悉集成电路的设计流程。
- 熟悉集成电路的制造流程。
- 熟悉集成电路设计必备的理论知识。
- 了解计算机辅助设计工具。



【引言】



【手机电路板图片】

人们日常生活中总会直接或间接地使用或接触各式各样的集成电路芯片，如手机、平板设备等，在这些设备的电路板上就有很多个方形的集成电路芯片，这些芯片以模块的形式出现在手机中，完成各种功能。

集成电路（Integrated Circuit，IC）芯片是利用半导体材料制成的，它把组成电路的元器件及相互之间的连线制作在同一个衬底材料上，然后封装在一个管壳内，整个电路在同一个芯片上。集成电路具有体积小、质量小、引线和焊接点少、寿命长、可靠性高、性能好、成本低、便于大规模生产等优点。

图 1.1 所示为封装好的集成电路模块。这些集成电路模块可以和其他模块或分立元件（电阻、电容等）一起在印制电路板（Printed Circuit Board，PCB）上工作，共同完成整体的电路功能。随着集成电路集成度的提高及系统级芯片（System on Chip，SOC）技术的发展，集成电路已经成为各类电子产品中重要的部件之一。



【SOC 技术简介】

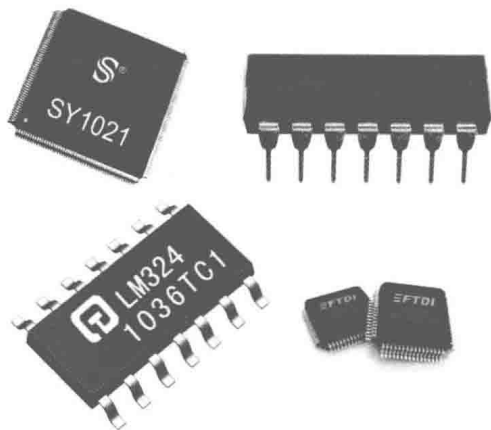


图 1.1 集成电路模块



【集成电路内部图片】

本章主要对集成电路的设计进行简要介绍，包括集成电路设计的分类与特点、集成电路的设计与制造流程、学习集成电路设计所必备的理论知识及相应的计算机辅助设计工具。

1.1 集成电路设计的分类与特点

1. 分类

集成电路设计的分类主要有以下几种：

1) 按电路类型分

集成电路设计按电路类型可分为数字集成电路设计、模拟集成电路设计和数模混合集成电路设计。



2) 按设计方法分

集成电路设计按设计方法可分为正向设计和反向设计。正向设计就是按照某个特定的要求由设计者设计出相应的电路结构,通过仿真和版图设计,再到具体的芯片实现和功能测试。而反向设计则是通过对具体的集成电路芯片实物进行刻蚀解剖,提取出其版图结构,然后通过软件或人工的方式完成电路结构的设计,在此基础上可以进行优化和改善。

3) 按器件结构分

集成电路设计按器件结构可分为双极型集成电路设计、金属-氧化物-半导体 (Metal - Oxide - Semiconductor, MOS) 集成电路设计和 Bi - CMOS (Bipolar - Complementary Metal Oxide Semiconductor) 集成电路设计。双极型集成电路是最早集成化的电路,主要以 NPN 和 PNP 双极型晶体管 (Bipolar Junction Transistor, BJT) 为基础。MOS 集成电路是以 MOS 场效应晶体管为主要元件构成的集成电路。Bi - CMOS 集成电路是把双极型晶体管 (BJT) 和 CMOS 器件集成在同一块芯片上的工艺技术。



【Bi - CMOS 工艺简介】

4) 按自动化程度分

集成电路设计按自动化程度可分为全定制和半定制两种。全定制集成电路是按照预期功能和技术指标而专门设计制成的集成电路,它对电路的结构、布局和布线等进行优化设计。缺点是制造周期长、成本高,制成后不易修改,优点是性能比较理想,芯片面积小,集成度高。半定制集成电路的设计通常是由厂家按照客户的要求,利用专门的设计软件将门阵列或标准单元进行必要的连接,设计出所需要的专用集成电路。优点是研制周期短、成本低、修改设计方便、易于大批量生产,缺点是芯片面积利用率低,性能通常不如全定制集成电路。

2. 特点

集成电路的设计与以往的普通电路设计最大的区别就在于版图设计。普通电路的设计通常是按照客户的要求,利用计算机完成电路原理图及印制电路板的设计,然后将各个电路模块和电阻、电容等分立器件焊接或连接在一起。而集成电路的设计是首先利用计算机完成电路原理图的设计与仿真,满足性能指标后,再进行版图设计,版图验证通过后,将版图数据发送至生产厂家,最后由厂家完成芯片的最终制作。通过版图设计,可以将立体的电路结构转变为二维的平面图形,再经过工艺加工使之转换为基于硅材料的立体结构。版图设计是集成电路设计过程中非常重要的环节,起到了连接电路设计与电路制作的桥梁作用。

1.2 集成电路的设计与制造流程

1. 集成电路的设计流程

集成电路的设计主要包括两个部分:电路设计和版图设计。集成电路的设计流程如图 1.2 所示。集成电路的设计流程就是根据具体的功能要求或性能指标完成电路设计;然后对设计的电路进行仿真,达到具体的功能要求或性能指标则仿真通过,可进行下一步的版图设计,若仿真未通过,则需要对电路进行修改;版图设计完毕后,需要进行版图验



证，版图验证通过后可提取寄生参数进行后仿真，并根据后仿真的结果对电路和版图进行优化设计。若版图验证未通过或后仿真结果不理想，则需要对版图进行修改。

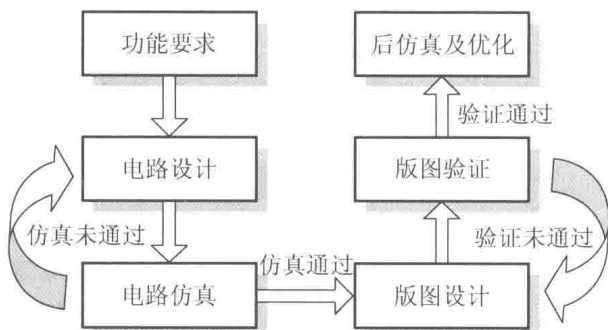


图 1.2 集成电路的设计流程

版图设计之前的电路仿真有时也称为前仿真，版图设计之后的仿真通常称为后仿真。集成电路的制作是一种平面工艺，需要经过氧化、离子注入、化学和物理气相沉积、光刻和刻蚀等多种工艺，加工完成后的电路结构中除了有设计的元器件外，还会有寄生的元器件（如寄生电阻和寄生电容），这些寄生的元器件可能会影响最终的芯片性能。因此，在版图数据提交生产厂家之前，通常在对版图提取寄生参数后进行后仿真，如果后仿真得到的性能指标也满足要求，那么该版图设计基本上就是成功的。

2. 集成电路的制造流程

图 1.3 所示为集成电路的制造流程。版图设计成功后，可将版图数据发送至生产厂家，厂家会按照版图数据进行掩膜版（有时也称为光刻掩膜版）的制备，然后经过复杂的多项制造工艺完成集成电路的芯片制造，芯片制造完毕后，对芯片进行测试和封装，最终提交至客户。

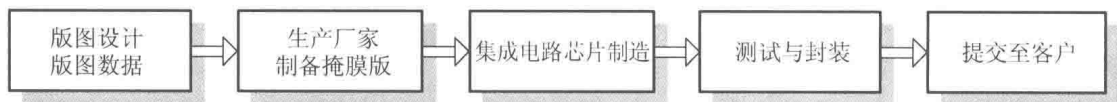


图 1.3 集成电路的制造流程

通过图 1.3 集成电路的制作流程可知，版图数据要提交至生产厂家用于制备掩膜版，因此版图设计必须严格按照生产厂家提供的设计规则完成，否则芯片将无法正确加工。



【集成电路
设计与制作】



知识要点： 版图设计过程中要严格按照生产厂家提供的设计规则来完成。不同的生产厂家、不同的集成电路制造工艺，其设计规则都可能不同。

1.3 必备的课程理论知识

通过前两个小节的学习可知，集成电路设计是一门综合性的学科，它包含了电路设计、电路仿真与分析、半导体器件与物理、半导体材料与加工工艺及版图设计与验证等多

门课程，在设计过程中还会涉及多种计算机辅助设计工具。下面对集成电路设计所必备的理论知识进行简要介绍。

这部分内容主要包括半导体材料的电学特性，MOS 晶体管的结构、工作原理和电流-电压特性，二极管和双极型晶体管的工作原理和电压特性，电阻、电容及其他元器件的特性，集成电路加工工艺等。

1. 半导体材料

固体按其导电性质可分为导体、绝缘体和半导体。导体（如金属）中含有大量的自由电子，如果在导体中存在电压，这些自由电子就可以自由运动，所以导体具有良好的导电性。绝缘体（如橡胶）中没有自由电子，电子被原子紧紧地束缚，不能自由运动。正是由于这些电子不能运动，所以绝缘体不导电，或者说其导电能力非常差（几乎不导电）。而半导体的导电能力介于导体和绝缘体之间，其英文名称为 semiconductor，semi 在英文中是准、半、部分的意思，conductor 是导体的意思，合起来就是半导体。重要的半导体材料主要有硅（Si）、锗（Ge）和砷化镓（GaAs）等。硅是集成电路制作中应用最广泛的半导体材料，占整个电子材料的 95% 左右，人们对它的研究最为深入，工艺也最为成熟，集成电路中大多使用硅材料来制备电子器件。



【砷化镓材料简介】

半导体材料的导电能力是可以控制和人为干预的，例如，可以通过向半导体材料中添加其他原子（称为杂质）来控制半导体材料的导电类型和电阻率。正是由于这个优点，半导体材料的应用越来越广泛。

本征半导体是指没有杂质和缺陷的半导体，其晶格结构是完美的，在其内部除了硅原子外没有其他任何原子，因此是纯净的。严格意义上的本征半导体并不存在，因为半导体的制备过程中，晶格结构的缺陷是不可避免的，当然可以通过改进工艺来将缺陷降低至很小；而且在制备过程中，其他杂质的掺入也是不可避免的，因此通常将无人为因素掺入杂质的半导体称为本征半导体。

在绝对零度附近，本征半导体的共价键是完整的、饱和的，无本征激发，自然没有电子和空穴；当温度升高时，本征激发过程产生了电子和空穴。由于电子和空穴是成对产生的，因此两者的浓度相等，用 n_0 表示电子的浓度，用 p_0 表示空穴的浓度，于是有

$$n_0 = p_0 = n_i \quad (1-1)$$

式中， n_i 为本征载流子浓度。实验表明，本征载流子浓度与禁带宽度、温度都有关。禁带宽度越大， n_i 越小，温度越高， n_i 越大。温度为 300K 时，硅的本征载流子浓度 $n_i = 1.5 \times 10^{10} \text{ cm}^{-3}$ ，这个浓度还是比较低的，因此本征半导体的导电能力很弱。而且由于本征载流子的浓度随温度的变化而迅速变化（指数次幂变化），因此采用本征半导体材料来制备集成电路，其性能是不稳定的，通常制备集成电路都是采用掺有适量杂质的半导体，即掺杂半导体。



【本征激发示意图】

实际的半导体材料中，总是含有一定量的杂质，这些杂质的掺入可以在单晶半导体材料的制备过程中直接完成，也可以在半导体材料制备完成后通过后续工艺来完成。由于掺入杂质的数量远大于硅的本征载流子浓度，因此这些半导体材料的导电性不是由本征激发



产生的载流子决定的，而是受控于材料中所掺入的杂质（包括杂质的数量和类型）。在半导体中可以掺入各种各样的杂质，但为了更好地控制半导体材料的导电性，通常掺入元素周期表中的Ⅲ、Ⅴ族元素。在元素周期表中，半导体材料属于Ⅳ族元素，Ⅲ、Ⅴ族元素与半导体材料在原子半径、外层电子数和原子量等方面都比较接近，因此通常掺入Ⅲ、Ⅴ族元素来控制半导体材料的导电性。



【空穴导电示意图】

用来掺杂的Ⅲ族元素主要包括硼（B）和铝（Al），Ⅲ族元素的杂质原子最外层只有3个价电子，其代替硅或锗原子形成4个共价键，就必须从其邻近的硅或锗原子的共价键上夺取一个电子，这样就产生了一个空穴，而该杂质原子由于接受了一个电子而成为带负电的离子。因为这种杂质在硅或锗中能接受电子从而产生空穴，所以称为受主杂质或P型杂质（P是英文Positive的首字母），而掺杂了P型杂质的半导体则称为P型半导体。

P型半导体是利用空穴来导电的。

用来掺杂的Ⅴ族元素主要包括磷（P）和砷（As），Ⅴ族元素的杂质原子最外层有5个价电子，其代替硅或锗原子形成4个共价键时，只需要拿出4个价电子同4个邻近硅或锗原子共用就可以了，这样在杂质原子的最外层还剩余一个价电子，而该杂质原子由于施放出了一个电子而成为带正电的离子。因为这种杂质在硅或锗中能施放电子，所以被称为施主杂质或N型杂质（N是英文Negative的首字母），而掺杂了N型杂质的半导体则称为N型半导体。N型半导体是利用电子来导电的。

电子和空穴两者的极性相反，电量相等。

用于制作集成电路芯片的半导体材料称为衬底（Substrate）材料，通常为圆形，也可称为晶圆，其掺杂类型和掺杂浓度是固定的。正是因为衬底的掺杂类型是固定的（P型或者N型），所以制作CMOS集成电路时，必须使用阱结构。阱结构通常与衬底掺杂类型相反，这样就可以在一个晶圆上同时制作PMOS晶体管和NMOS晶体管了。



知识要点：典型的CMOS集成电路制造工艺包括单阱、双阱和三阱工艺。

单阱工艺就是在集成电路制造工艺中只使用一种阱结构，N阱或者P阱。双阱工艺就是在集成电路制造工艺中同时使用N阱和P阱。三阱工艺就是在集成电路制造工艺中，在P阱的下方再制作一个N阱，该N阱的存在使得NMOS晶体管的衬底可以连接不同的电位。

2. MOS 晶体管

MOS场效应晶体管（Metal Oxidation Silicon Field Effect Transistor, MOSFET，简称MOS晶体管）是一种表面场效应器件，是靠多数载流子（电子或空穴）来传输电流的器件。根据导电类型的不同，如果MOS晶体管利用电子来传输电流，则该MOS管属于N型MOS晶体管，简称NMOS管；如果MOS管利用空穴来传输电流，则该MOS管属于P型MOS晶体管，简称PMOS管。二者的剖面结构如图1.4所示。MOS晶体管具有面积小、功耗低、器件尺寸可等比例缩小、制作成本低等优点，已经成为集成电路设计中最重要的一部分。

图1.4（a）为NMOS管的结构，NMOS管制作在P型硅衬底（P-substrate）上

(或 P 阱中), 有两个重掺杂的 N^+ 区, 分别称为源区 (source, S) 和漏区 (drain, D), 源区和漏区的物理结构是相同的, 两者的区别在于电位不同。在源区和漏区之间的 P 型硅上有二氧化硅薄层, 该二氧化硅薄层起到绝缘的作用, 称为栅氧化层。在二氧化硅上有一导电层, 称为栅极 (gate, G), 栅极通常用重掺杂的多晶硅制成。

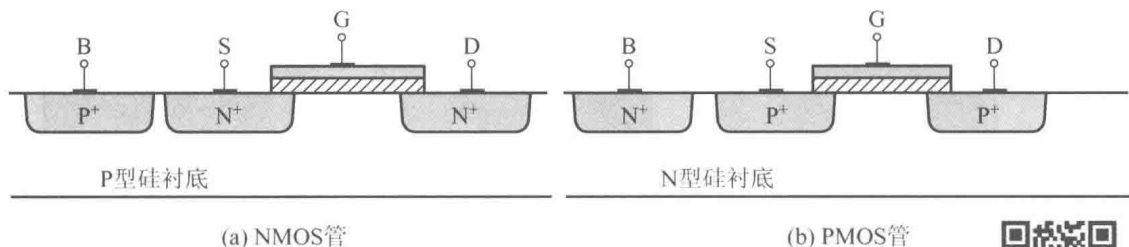


图 1.4 MOS 管的剖面结构

源区和漏区与衬底的导电类型相反, 这样源区、漏区与衬底交界处都存在 PN 结 (图中未画出), 这两个 PN 结的反向偏置是保证 MOS 晶体管正常工作的基础。源区和漏区之间的区域称为导电沟道 (简称沟道), 通常用 L 表示沟道的长度, 用 W 表示沟道的宽度。 W/L 称为宽长比, 这是集成电路版图设计中最重要参数。在 NMOS 管的源漏之间加偏压后, 将电位低的一端称为源区, 而电位较高的一端称为漏区, 电子由源区经过沟道流向漏区, 而电流方向由漏区流向源区。

图 1.4 (b) 为 PMOS 管的结构, PMOS 管制作在 N 型硅衬底 (N-substrate) 上 (或 N 阱中), 有两个重掺杂的 P^+ 区, 同样分别称为源区 (source, S) 和漏区 (drain, D), 源区和漏区也是靠电位来区别的。在 PMOS 管的源漏之间加偏压后, 将电位高的一端称为源区, 而电位低的一端称为漏区, 空穴由源区经过沟道流向漏区, 而电流方向也是由源区流向漏区。综合 NMOS 与 PMOS 管可知, 载流子从源区流出, 流入漏区。

在图 1.4 中, PMOS 管和 NMOS 管还分别存在一个重掺杂的 N^+ 区和 P^+ 区, 这两个区分别称为 PMOS 管和 NMOS 管的体区或衬底 (bulk or body, B), 其作用为控制 MOS 管的衬底电位。通过图 1.4 可知, MOS 管为四端器件, 存在源极 (S)、漏极 (D)、栅极 (G) 和衬底 (B) 共 4 个电极。



知识要点: 在进行 MOS 晶体管版图设计时, 千万不要忘记 MOS 晶体管的衬底电极。MOS 晶体管的版图结构包括源极、漏极、栅极和衬底 4 个部分。

MOS 场效应晶体管是把输入电压变化转化为输出电流变化的器件。场效应晶体管的增益用跨导衡量, 定义为输出电流变化与输入电压变化之比。场效应晶体管得名于利用它的栅极在绝缘层上施加电压来影响晶体管沟道中的电流流动。

为了更好地理解 MOS 场效应晶体管的工作原理, 我们首先分析一种比较简单的 MOS 电容器件。如图 1.5 所示, MOS 电容器件由两个电极组成: 一个是金属, 另一个是杂质硅, 它们之间通过一层薄氧化层分隔开。金属电极形成栅极, 而半导体区构成体区 (有时也称为背栅), 栅极与体区之间的绝缘氧化层称为栅绝缘。图 1.5 中所示器件的衬底是由轻掺杂的 P 型硅构成的。通过把衬底接地, 栅极接不同的电压, 来说明 MOS 电容的电学特性。



【MOS 晶体管的
四种分类表】

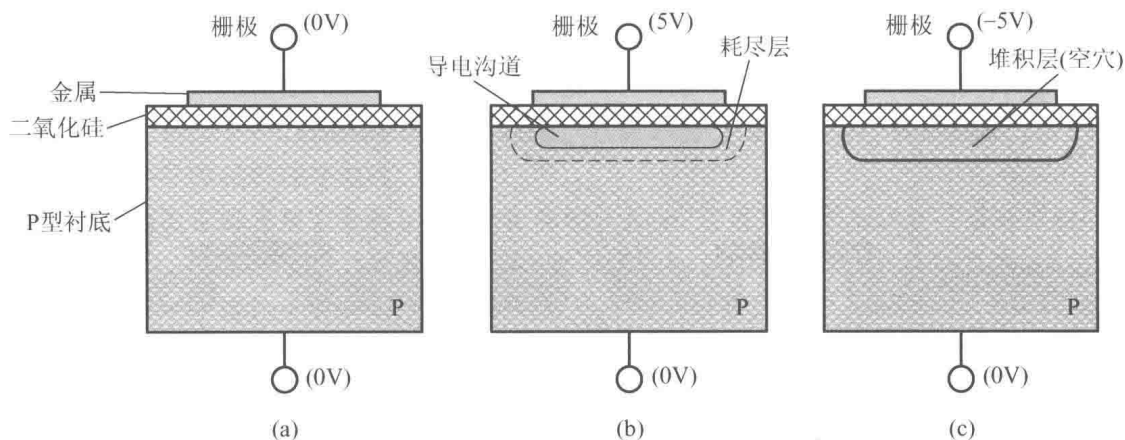


图 1.5 MOS 电容

图 1.5(a) 中 MOS 电容的栅极电压为 0V。如果忽略金属栅和半导体体区之间的电子势能差，则在绝缘氧化层中不存在电场。所以绝缘氧化层下的体区的载流子浓度基本不变。如果在栅极加上一正电压，即栅极相对于体区正偏的情况，如图 1.5(b) 所示，由于栅极上存在正电压，则在 MOS 电容器件中存在电场，方向从栅极指向体区。该电场的存在使得多子（空穴）被驱离体区的表面，形成耗尽层。随着偏压的进一步增加，少子（电子）将被拉至体区表面并出现一个薄层，就如同出现了一层掺杂类型相反的硅。这种掺杂极性的反转称为反型，而反型的硅层（简称反型层，inversion layer）构成导电沟道。随着栅电压的继续增强，更多的电子在体区表面积累，沟道的反型将加剧。沟道刚开始形成时的电压称为阈值电压。可以理解为当栅极与背栅之间电压差小于阈值电压时不会形成沟道，而栅极与背栅之间电压差大于阈值电压时将有沟道形成。图 1.5(c) 是 MOS 电容的栅极相对于体区反偏的情况。此时电场反向，它把空穴吸引至体区表面，而将电子驱离。此时硅表面的掺杂显得更重，因此器件处于堆积状态，堆积了大量的空穴。

将关于 MOS 电容特性的分析应用于 NMOS 场效应晶体管上。如图 1.6 所示，保持栅极、绝缘氧化层和体区不变。在栅极的两侧分别增加了重掺杂的区域，这两个区域一个构成源区，另一个构成漏区。假设源区、漏区和体区都接地，只要栅极和体区之间的电压差不超过阈值电压，就不会形成沟道。此时即使源区和漏区之间存在电压差，由于源区和漏区与体区形成的两个 PN 结是背靠背的，那么在源区和漏区之间也不会存在电流。如果栅极和体区之间的电压差超过阈值电压，那么在绝缘层下面就会形成沟道。这个沟道就像一个连接漏区和源区的 N 型硅薄层，此时如果在源区和漏区之间存在电压差，则导电沟道的存在将允许电子从源区通过沟道流向漏区，从而形成源漏电流 I_{DS} 。

同样，PMOS 管是由轻掺杂的 N 型体区和重掺杂的 P 型源区、漏区构成的。如果该晶体管的栅极相对于体区正偏，那么体区表面将吸引电子而排斥空穴。此时硅表面积累电子，不会形成沟道。如果栅极相对于体区偏压为负，那么空穴被吸引到表面，从而形成沟道，因此 PMOS 管的阈值电压为负。一般情况下，NMOS 管的阈值电压为正，而 PMOS 管的阈值电压为负。

对于 NMOS 管，当栅源电压 V_{GS} 大于阈值电压 V_T 时，器件开始导通；而对于 PMOS

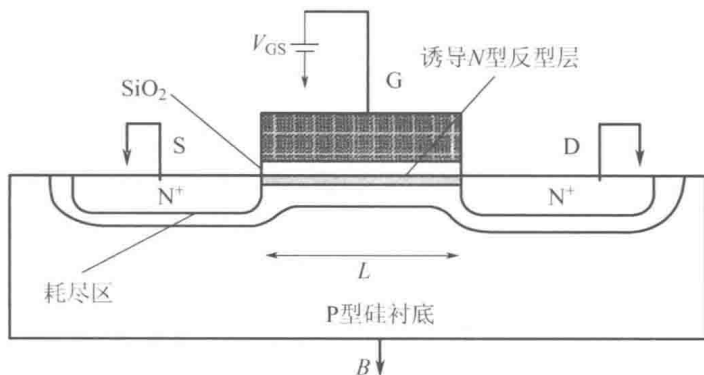


图 1.6 NMOS 管的导通状态

器件，当 V_{GS} 的绝对值大于阈值电压的绝对值时，器件开始导通。对于 MOS 管，阈值电压是非常重要的参数，控制着 MOS 管的导通与截止。MOS 管的阈值电压等于在衬底与源极相连的情况下形成沟道所需的栅源电压。如果栅源电压小于阈值电压，就不会形成沟道，MOS 管关闭。

衬底电位会影响阈值电压。以 NMOS 管为例，如果源极电位不等于衬底电位，就会发生体效应（也称背栅效应）。体效应会导致阈值电压的改变。

MOS 管的电流-电压特性指的是在不同的栅源电压 V_{GS} 条件下 MOS 管的源漏电流 I_{DS} 和源漏电压 V_{DS} 之间的关系。

根据不同的栅源电压和不同的源漏电压，MOS 管的工作区域可分为截止区、线性区和饱和区。以 NMOS 管为例，MOS 管在不同工作区域下的电流电压公式为

$$\begin{aligned}
 I_{DS} &= 0 & V_{GS} < V_{TH} & \text{截止区} \\
 I_{DS} &= \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] & V_{DS} < V_{GS} - V_{TH} & \text{线性区} \\
 I_{DS} &= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) & 0 < V_{GS} - V_{TH} \leq V_{DS} & \text{饱和区}
 \end{aligned} \quad (1-2)$$



【MOS 晶体管亚
阈值区特性】

式中， μ_n 为电子的迁移率； C_{ox} 为单位面积栅氧化层电容； $\frac{W}{L}$ 为 MOS 管的宽长比； V_{TH} 为 MOS 管的阈值电压； λ 为沟道长度调制系数。

对于模拟集成电路来说，MOS 管的宽长比是最重要的参数，通过调整不同的宽长比来使电路达到需要的性能指标，而且宽长比也是进行 MOS 管版图设计时需要考虑的第一要素。

由式(1-2)可知，对于 MOS 管来说，当栅源电压小于阈值电压时，MOS 管处于截止区，器件关闭，没有源漏电流。当栅源电压大于阈值电压时，MOS 管开启，在此基础上，如果 $V_{DS} < V_{GS} - V_{TH}$ ，则 MOS 管工作于线性区（也称为晶体管区或非饱和区），此时源漏电压较低，MOS 管表现出类似于电阻的特性，源漏电流随着源漏电压线性增加；如果 $V_{GS} - V_{TH} < V_{DS}$ ，则 MOS 管工作于饱和区，此时源漏电压较高，由于存在沟道夹断现象，源漏电流几乎稳定成一不变的值（忽略沟道长度调制效应，即 $\lambda = 0$ ）。当 MOS 管工作于饱和区时，源漏电流与源漏电压无关，此时完全可以通过栅极电压来控制 MOS 管



的源漏电流,这是非常方便的,因此在进行模拟电路的设计分析时通常都会要求 MOS 管工作于饱和区。

式(1-2)表示的是 NMOS 管的电流-电压特性,对于 PMOS 管也有类似的表达式。

NMOS 管的电流-电压特性曲线如图 1.7 所示。在图 1.7 中,共有 4 条曲线,对应 4 个不同的 V_{GS} , 从下到上 V_{GS} 不断增加。对于每一条曲线,当 $V_{DS} \leq V_{GS} - V_T$ 时, MOS 管处于线性区 (Linear Region), 即点画线的左侧; 当 $V_{DS} > V_{GS} - V_T$ 时, MOS 管处于饱和区 (Saturation Region), 即点画线的右侧。通过图 1.7 可以看出, 随着 V_{GS} 的增加, 电流 I_{DS} 增加; 当 V_{GS} 确定时, 随着 V_{DS} 的增加, 电流 I_{DS} 增加。如果不考虑沟道长度调制效应, 曲线在饱和区将是平的, 如图 1.7 中饱和区中的虚线所示。如果考虑沟道长度调制效应, 曲线在饱和区将是斜的, 而且这些斜线的反向延长线将与横坐标轴 (V_{DS}) 交于 $1/\lambda$ 点。

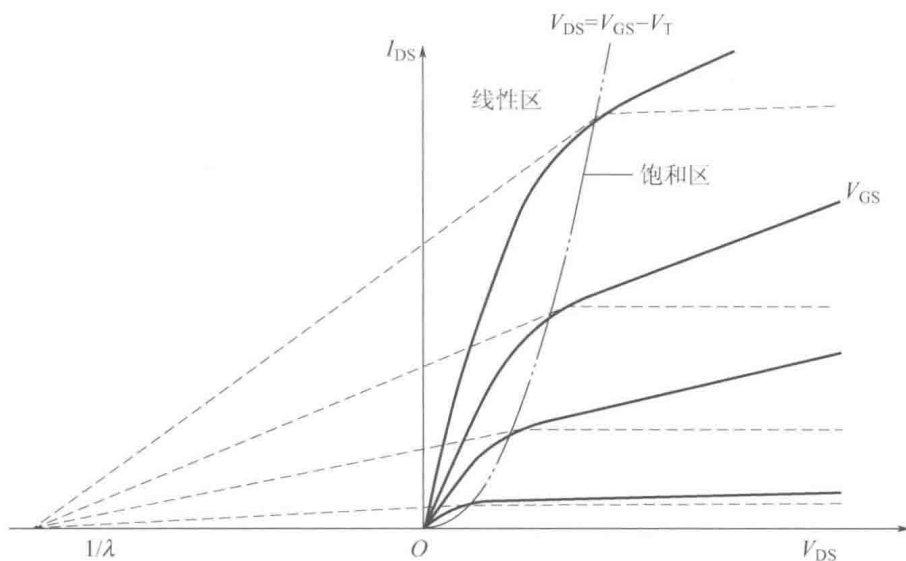


图 1.7 MOS 管的电流-电压特性曲线

3. 二极管

二极管的主要构成部分是 PN 结。PN 结是很多半导体器件的重要组成部分。例如, PN 结可以构成二极管; PN 结还可以实现 MOS 晶体管和衬底之间的隔离, 该隔离的有效性是保证 MOS 晶体管正常工作的基础。PN 结的性质集中反映了半导体导电性能的特点: 半导体内存在 N、P 两种类型的载流子, 载流子存在漂移、扩散和产生-复合三种运动形式。

如图 1.8 所示, 在一块半导体材料中, 如果一部分是 N 型区, 另一部分是 P 型区, 那么在 N 型区和 P 型区的交界面处就形成了 PN 结 (简称结)。图 1.8 (a) 表示 P 型区和 N 型区接触之前各自的状态, P 型区中有大量过剩的空穴, 而 N 型区中有大量过剩的电子。图 1.8 (b) 表示 P 型区和 N 型区接触后在交界面形成 PN 结。当 P 型区和 N 型区相接触时, 一些空穴就从 P 型区扩散到 N 型区中。同样, 一些电子也从 N 型区扩散到 P 型区中。需要注意的是, PN 结形成的必要条件是存在不同类型载流子的漂移与扩散。