

内 容 简 介

本书重点阐述了发生在半导体器件内部的，导致器件失效的各种物理及化学效应，亦即失效机理。全书共八章。前二章简要地叙述了半导体器件的工艺结构、参数及温度特性；后六章分别论述了热与热电反馈效应、界面效应、薄膜的高电流密度效应（电徙动）、静电效应、辐射效应以及化学和电化学反应（湿度效应）。对于各种器件（包括双极型器件、砷化镓场效应器件、CMOS、LSI及VLSI）的失效机理，也分别在有关章节中予以阐述。

本书可供从事半导体器件及集成电路设计、制造与应用的科研人员与工程技术人员阅读，也可作为大专院校有关专业高年级学生和研究生的教学参考书。

半 导 体 器 件 可 靠 性 物 理

高光渤 李学信 编著

责任编辑 魏 玲

科 学 出 版 社 出 版

北京朝阳门内大街 137 号

中国科学院印刷厂印刷

新华书店北京发行所发行 各地新华书店经售

1987年11月第一版 开本：787×1092 1/32

1987年11月第一次印刷 印张：19 1/4 插页：1

印数：0001—2,600 字数：438,000

统一书号：5031.879

本社书号：4858.15-7

定价：4.65元

目 录

第一章 半导体器件的结构、制造工艺及可靠性	1
1.1 硅平面工艺及其缺陷	1
1.1.1 外延	2
1.1.2 热氧化	6
1.1.3 光刻	10
1.1.4 扩散	12
1.1.5 金属化	18
1.1.6 离子注入	20
1.1.7 后道工序	23
1.2 半导体器件的结构	27
参考文献	38
第二章 半导体器件参数及其温度效应	39
2.1 半导体参数	39
2.1.1 禁带宽度 E_g	39
2.1.2 本征载流子浓度 n_i	40
2.1.3 漂移迁移率 μ	41
2.1.4 载流子的扩散系数 D	46
2.1.5 热导率 κ	48
2.1.6 少数载流子寿命 τ	49
2.2 半导体的重掺杂效应	52
2.2.1 重掺杂引起禁带宽度变窄	52
2.2.2 掺杂浓度对费米能级的影响	56
2.2.3 重掺杂半导体中的本征载流子浓度	57
2.2.4 重掺杂半导体中的少数载流子寿命 τ	58
2.3 双极型器件参数	59

2.3.1	pn结反向电流 I_R	59
2.3.2	pn结正向电流和电压.....	62
2.3.3	晶体管发射极电流.....	64
2.3.4	晶体管的集电极电流.....	65
2.3.5	晶体管的基极电流.....	65
2.3.6	电流增益.....	67
2.3.7	pn结的击穿电压.....	77
2.3.8	晶体管的击穿电压.....	80
2.3.9	晶体管的饱和压降 V_{CEs}	82
2.3.10	晶体管的交流参数.....	83
2.4	MOS场效应器件.....	90
2.4.1	有效迁移率 μ_{eff}	90
2.4.2	阈值电压 V_T	93
2.4.3	跨导 g_m	95
2.4.4	最高工作频率 f_m	96
2.5	肖特基势垒二极管.....	97
2.6	半导体器件的热噪声.....	100
	参考文献.....	102
第三章 热与热电反馈效应.....		106
3.1	热量的传递.....	106
3.2	芯片温度场.....	108
3.2.1	热传导方程.....	109
3.2.2	稳态温度场.....	114
3.2.3	热传导方程的数值求解.....	122
3.3	热阻.....	126
3.3.1	热阻的定义.....	126
3.3.2	热阻的计算.....	131
3.3.3	热阻的测试.....	139
3.3.4	瞬态热阻.....	144
3.3.5	热阻的温度关系.....	150

3.3.6	接触热阻	151
3.4	热电反馈效应	153
3.4.1	E-B折回特性	153
3.4.2	热稳定因子	157
3.4.3	稳定热斑	161
3.4.4	热稳定因子的修正	166
3.4.5	双单元功率晶体管的热不稳定性	167
3.5	二次击穿	170
3.5.1	概述	170
3.5.2	双极型器件产生二次击穿的机理	172
3.5.3	雪崩注入理论的定性描述	175
3.5.4	发射极电流夹紧时电流沿发射结的非均匀分布	177
3.5.5	在感性负载下晶体管中二维非等温载流子流	181
3.5.6	MOS器件的二次击穿	189
3.5.7	CMOS集成电路的寄生可控硅效应	197
3.6	安全工作区	203
3.6.1	正偏直流安全工作区的定义	204
3.6.2	关于安全工作区的几点讨论	208
3.6.3	功率MOS场效应晶体管的安全工作区	212
	参考文献	215
第四章	界面效应	219
4.1	硅-二氧化硅界面	219
4.1.1	氧化层电荷	220
4.1.2	可动离子电荷对器件可靠性的影响	225
4.1.3	界面陷阱电荷 Q_i 对器件可靠性的影响	228
4.1.4	热载流子注入效应	230
4.1.5	钝化	245

4.2	铝-二氧化硅界面	264
4.2.1	二氧化硅薄膜的击穿机理	265
4.2.2	与时间相关的介质击穿	270
4.2.3	热生长薄二氧化硅膜可靠性的改进	282
4.2.4	铝与二氧化硅的化学反应	285
4.2.5	铝金属化表面的再结构	286
4.3	铝-硅界面	291
4.3.1	硅向铝中的固态溶解	291
4.3.2	硅在铝中的电迁徙	295
4.3.3	铝在硅中的热电迁徙	295
4.3.4	防止铝-硅界面退化的措施	301
4.3.5	铝-多晶硅界面	303
4.3.6	铝-硅或铝-多晶硅界面引起的器件失效模式	306
4.4	金属间界面	314
4.4.1	金的多层金属化系统	314
4.4.2	金属硅化物	317
4.4.3	金-铝界面	322
4.5	芯片焊接界面	326
4.5.1	天然氧化物的影响	327
4.5.2	合金局部穿透	329
4.5.3	焊接层的热疲劳	329
	参考文献	336
第五章 电徙动		340
5.1	引言	340
5.2	电徙动物理	341
5.2.1	金属薄膜的缺陷和扩散	341
5.2.2	电徙动的离子流密度	346
5.2.3	离子流散度	349
5.2.4	电徙动平均失效时间MTF	354

5.3	金属薄膜的热效应	358
5.3.1	完整金属薄膜稳态下的温度分布	359
5.3.2	金属薄膜裂痕的影响	362
5.4	晶粒尺寸和几何形状效应	369
5.5	介质覆盖效应	375
5.5.1	介质覆盖的试验结果述评	376
5.5.2	介质覆盖的表面抑制与压强效应	379
5.5.3	介质覆盖的热沉效应	380
5.6	合金效应	388
5.6.1	铝-铜合金	388
5.6.2	铝-硅合金	393
5.6.3	铝-铜-硅合金	397
5.7	脉冲电流下的电徙动	401
5.8	超大规模集成电路金属化的电徙动	404
5.8.1	超大规模集成电路的尺度效果	404
5.8.2	超大规模集成电路中金属薄膜电徙动的 特点	407
5.8.3	超大规模集成电路中铝合金膜的 电徙动	409
5.9	微波功率晶体管的电徙动	414
5.9.1	与试验金属薄膜的差异	415
5.9.2	电徙动的试验研究	417
5.9.3	金铝之争	421
5.10	多晶硅薄膜与镍铬薄膜的电徙动	424
5.10.1	多晶硅薄膜的电徙动	424
5.10.2	镍铬电阻膜的电徙动	426
5.11	小结	428
	参考文献	431
第六章 静电效应		436
6.1	静电的产生和放电	436
6.1.1	静电的产生	436

6.1.2	静电源	438
6.1.3	静电放电	439
6.2	静电损伤模型	441
6.2.1	荷电人体的静电放电模型	442
6.2.2	荷电器件的静电放电模型	453
6.2.3	场感应静电放电模型	457
6.3	静电损伤的失效模式	458
6.3.1	突发性完全失效	459
6.3.2	潜在性失效	464
6.4	静电敏感性	466
6.5	静电保护	472
6.5.1	MOS器件的栅保护	472
6.5.2	双极型器件的静电防护	482
6.5.3	其他的防静电措施	483
	参考文献	485
第七章	辐射效应	487
7.1	辐射环境和材料的辐射效应	487
7.1.1	辐射环境	487
7.1.2	电离辐射效应	490
7.1.3	位移辐射效应	491
7.1.4	电磁脉冲	493
7.1.5	热辐射及其他效应	493
7.2	双极型半导体器件的辐射效应	494
7.2.1	二极管的辐射效应	494
7.2.2	晶体管的辐射效应	497
7.2.3	可控硅整流器的辐射效应	506
7.2.4	太阳能电池	507
7.3	双极型集成电路的辐射效应	509
7.3.1	电离辐射效应	509
7.3.2	中子损伤效应	511
7.3.3	双极型器件的电磁脉冲效应	513

7.4	双极型器件的核加固	514
7.4.1	双极型晶体管的核加固	515
7.4.2	双极型集成电路的核加固	518
7.5	场效应器件的辐射效应	520
7.5.1	结型场效应晶体管的辐射效应	521
7.5.2	MOS 场效应晶体管的辐射效应	522
7.5.3	MOS 集成电路的辐射效应	531
7.6	大规模集成电路和超大规模集成电路的软误差 (SER) 效应——封装材料 α 射线的影响	535
7.6.1	α 射线造成的软误差机理	536
7.6.2	影响软误差率的因素	540
7.6.3	降低软误差率的措施	545
7.7	MOS 器件的核加固	547
	参考文献	554
第八章 湿度效应		558
8.1	电化学腐蚀	558
8.1.1	电化学概念	559
8.1.2	半导体器件中的腐蚀电池	563
8.1.3	柯伐封装引线的电化学腐蚀	567
8.1.4	铝金属化的腐蚀	570
8.2	塑料封装的可靠性	575
8.2.1	封装树脂中的杂质	576
8.2.2	封装树脂的吸潮性	579
8.2.3	封装树脂对器件特性的影响	583
8.2.4	温度、湿度、偏压加速寿命试验	585
	参考文献	590
	主要符号表	592

第一章 半导体器件的结构、制造 工艺及可靠性

本章将半导体器件作为一个系统，论述了它的结构、制造工艺及过程缺陷对其可靠性的影响。

1.1 硅平面工艺及其缺陷^[1-3]

目前，多数硅器件，无论是双极型器件，还是场效应器件，都是采用平面工艺制造的。其所以被称为平面工艺，是因为整个器件有源区都是在硅片上表面内制成的。这一表面距表面仅有几微米或更短的距离，而硅片大部分厚度（100—250 μm ）仅起机械支承作用。

平面工艺起源于1960年，它包括外延、氧化、光刻、扩散、金属化、烧结、键合及封装等工艺，依据这些工艺的排列组合，采用不同的光刻掩膜，便可以制出性能各异的多种半导体器件。

器件制造过程中，必须进行各种加工。其中包括机械加工（硅片的切、磨、抛，引线的焊接等）、化学加工（硅的外延生长、 SiO_2 的生长与腐蚀、引线的电镀等）、物理加工（杂质的热扩散、离子注入、溅射、蒸发等）。在这些加工过程中，不可避免地要引入一些缺陷。所谓缺陷，就是指那些与理想结构发生偏差的区域。

在硅平面器件中，除了一般晶体结构的点、线和面缺陷外，尚有硅平面器件所特有的工艺缺陷。在器件可靠性物理

学中，习惯于将这种缺陷分为质量缺陷 (quality defect) 与潜在缺陷 (latent defect) 两类。凡是用一般质量控制的手段，而不是用对器件施加应力的试验程序就可以检查出来的缺陷，都称为质量缺陷。而用一般质量控制程序检查不出来的，需要对器件施加应力¹⁾使缺陷激活，导致器件失效，在失效蔓延的情况下才能检查出来的缺陷则称为潜在缺陷。简言之，只有靠应力激活的缺陷才叫潜在缺陷。正是这些潜在缺陷的相互作用，在不同应力下的不同激活才导致了半导体器件多种复杂的失效模式，也构成了半导体器件可靠性物理学的主要研究内容。

本章首先简要地叙述硅平面工艺的原理，并在此基础上讲述工艺缺陷及其对器件可靠性的影响。

1.1.1 外延

所谓外延，就是使原子有规则地排列在单晶衬底上，其所形成的薄膜晶格结构恰是衬底晶格结构的延续。在外延过程中可以掺杂，可在重掺杂衬底上形成轻掺杂区或反之，也可以在外延层与衬底间形成pn结。

目前有四种外延方法：气相外延 (VPE)、液相外延 (LPE)、金属有机物化学气相沉积 (MOCVD) 及分子束外延 (MBE)。硅平面工艺主要采用气相外延，而砷化镓异质结往往采用液相外延、分子束外延和金属有机物化学气相沉积外延。分子束外延是一种高真空半导体外延生长法，由贝尔实验室开创，此法优点是，可获得任意掺杂的极薄的

1) 所谓应力是指某一瞬时对器件施加的全部或部分的影响。这些应力有：温度 (T)、电压 (V)、电流 (I)、湿度 (H)、温度差 (ΔT)、冲击力、离心力等。从广义上讲，时间 (t) 也是一种应力。其中每个应力可视为一个应力矢量，诸应力矢量组成一个应力空间。

($\sim 10 \text{ \AA}$) 优质单晶膜, 金属有机物化学汽相淀积外延法是一种常压、低温 (500°C 左右) 的外延生长法, 可控制 50 \AA 外延层内的杂质浓度. 与分子束外延一样, 均可进行调制掺杂. 这两种方法主要用于 III-V 族化合物外延. 图 1.1 给出了硅气相外延的系统图.

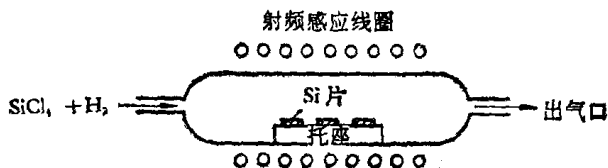
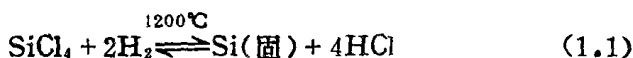


图 1.1 硅外延反应器

纯硅外延生长的基本化学反应是四氯化硅的氢还原:

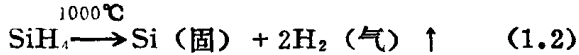


注意, 这个反应是可逆的, 正向为硅的薄膜生长, 反向为硅的腐蚀.

为了获得一定杂质类型和浓度的外延层, 可在外延生长过程中把适当比例的 III 族或 V 族杂质加到气流中去. 通常有两种掺杂方法, 即溶液掺杂和气体掺杂, 掺杂剂则有 PCl_5 、 POCl_3 、 PH_3 及 AsH_3 (对 N 型掺杂) 和 B_2H_6 (对 P 型掺杂) 等. 在高温下这些掺杂剂分解, 磷原子或硼原子进入正在生长的硅晶格点阵之中.

影响外延薄膜生长速率的主要因素是温度. 例如, 采用四氯化硅氢还原法, 在 1100°C 下, 生长速率小于 $0.1 \mu\text{m}/\text{min}$, 而在 1270°C 时, 便能以 $5 \mu\text{m}/\text{min}$ 的速率生长出良好的晶体. 另外, 反应气体中 SiCl_4 的含量也影响薄膜的生长速率. 随着 SiCl_4 浓度的增加, 存在一个最大的生长速率, 过大的 SiCl_4 浓度反而会使生长速率降低, 甚至导致硅表面的腐蚀.

由于衬底中杂质（一般为Sb、P、B、As）的反扩散，用四氯化硅氢还原法难于获得薄的突变的杂质分布，为此，必须采用硅烷（SiH₄）热分解低温外延法。SiH₄的热分解能在1000℃下进行，其反应式是：



为制备良好的半导体器件，要求外延薄膜具备下列性质：

（1）完整性。晶体结构完整，层错、位错密度低，氧、碳离子及金属离子含量少。

（2）精确性。薄膜厚度和电阻率依设计要求精确可控。

（3）均匀性。外延片各处厚度和电阻率均匀一致。

实际上，由于各种因素的限制，外延片的质量不能完全达到上述要求。外延层内存在晶体缺陷，破坏了晶体的完整性。这些缺陷是：

（1）裂纹。衬底在切、磨和抛光的过程中引入了裂纹。在外延生长时，裂纹延续，当其穿过器件有源区时将引起结的漏电、结特性退化、导电通路被切断形成断路、或者金属化沿裂纹迁移，导致结短路等等。对于VLSI及微波大功率晶体管，因为芯片面积大且薄，包含的器件数或子单元数多，硅片的微裂纹影响更大，所以在切、磨、抛工艺过程和芯片传递过程中，尤应注意，甚至装架后过大应力的引线焊接也会引入裂纹，导致器件失效。

（2）位错。位错是线缺陷，它与金属离子相互作用，引起金属杂质，尤其是重金属杂质（Fe、Mn、Ni、Cu、Au等）在位错线上的沉积，形成分散微粒，加强了对载流子运动的散射，使其迁移率降低。位错线处杂质的增强扩散，则

会产生杂质管道或扩散尖峰，造成结的局部穿透，以致形成过热点，或造成低压击穿、漏电流增加等等。对于VLSI，由于器件数目多，则pn结空间电荷区总体积大，同样的缺陷密度，漏电会更为严重。例如16KCMOS存储器，若轻微漏电（漏电为1nA）的晶体管仅占10%，则电路总漏电可达0.1 μ A（对于某些应用，将判为电路失效）。对于CCD摄像机这一漏电流将充入MOS电容器的位阱，使图象出现白线和光斑。

(3)层错。层错是由于衬底表面机械伤痕和微粒引起的原子排列的失配而形成的一种面缺陷，它对器件的影响同位错一样，也会引起杂质增强扩散和金属离子的聚集和沉积，从而导致低压击穿、结短路、电流集中、出现过热点等等。上述影响对于超大规模集成电路（VLSI）更为严重。

(4)微缺陷。包括外来杂质颗粒、腐蚀小丘、星形压力图形、漩涡缺陷（swirl defects）等。它们不仅降低了器件的成品率，而且与以后高温工艺中的热导生缺陷相互作用，可导致器件较高的失效率。

(5)硅尘（silicon dust）。是在衬底表面杂质上优先生长的单晶或多晶颗粒（见图1.2）。它损坏光刻掩模，使氧化层产生针孔，进而使扩散掩蔽失效，严重影响器件（尤其是功率器件）的成品率。

(6)点缺陷。包括杂质原子、点阵空位、间隙原子。碳、氧沾污及重金属离子沾污就是常见的点缺陷，这些点缺陷导致器件的低压击穿、微等离子击穿和饱和压降的增大，严重影响器件（尤其是VLSI）的成品率和可靠性。

综上所述，为获得一个高可靠器件，必须对外延片的缺陷加以控制，这就要求有晶格完整的、无补偿的、表面无划伤、体内无裂纹的洁净的衬底，并要求有高纯度的反应气体、气密的外延反应系统及精确的温度控制。

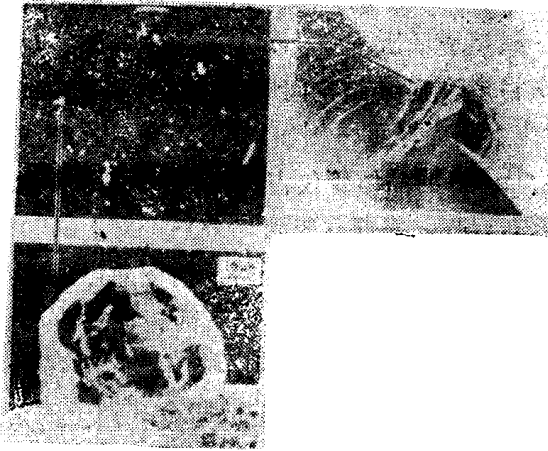


图 1.2 硅外延生长过程中表面硅尘^[4]

1.1.2 热氧化

热氧化是硅平面工艺中极为重要的部分。热生长的二氧化硅膜，不仅是器件表面的保护层和钝化膜，而且还是杂质选择扩散的掩蔽膜。恰是这种选择扩散，使在同一硅片上可以同时制造出千万个有源器件，这样，小规模集成电路(SIC)、中规模集成电路(MIC)、乃至大规模集成电路(LSI)及超大规模集成电路(VLSI)才有可能实现。

典型的热氧化装置如图1.3所示。

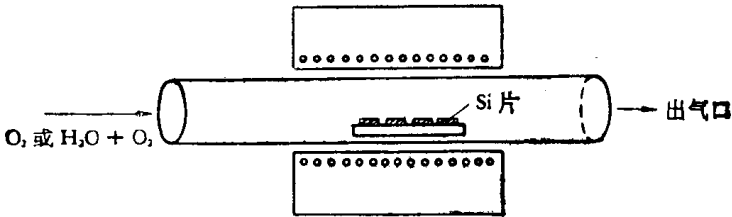
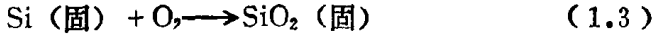


图 1.3 氧化装置

在高温下，将硅片放入高温炉内(温度为900—1200℃)，

在导致硅片氧化的气氛中，硅片表面生长SiO₂薄膜。氧化气氛可为水汽，湿氧或干氧。

(1) 干氧化。其机理是高温下的氧分子与硅片表面硅原子直接接触生成SiO₂膜（称初始层），其反应式为



此后，初始的SiO₂层阻止了氧分子与Si表面的直接接触，氧分子只有以扩散方式穿过SiO₂层，到达Si-SiO₂界面，与硅原子发生反应，生成新的SiO₂层。此时，SiO₂的生长速率受两个因素限制，一是氧分子在SiO₂中的扩散速率；二是Si-SiO₂界面处氧分子与硅原子的反应速率。

理论分析指出，氧化层厚度与时间的关系为

$$d_{\text{ox}} = \frac{A}{2} \left(\sqrt{1 + \frac{t + \tau}{A^2/4B}} - 1 \right) \quad (1.4)$$

式中， d_{ox} 是氧化层厚度， A 、 B 是取决于氧化温度的常数， t 是氧化时间， τ 是计入硅表面初始天然氧化层（100—200 Å）影响后对氧化时间的修正。对湿氧和水汽氧化， τ 可忽略。

对于长时间的氧化， $t \gg A^2/4B$

$$d_{\text{ox}} = (Bt)^{1/2} \quad (1.5)$$

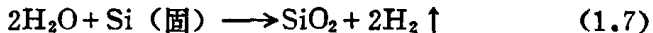
即氧化层厚度随时间的平方根增加。

对于短时间氧化， $t \ll A^2/4B$

$$d_{\text{ox}} = B/A(t + \tau) \quad (1.6)$$

即氧化层厚度随时间线性增加。

(2) 水汽氧化。其机理是高温水汽与硅片接触，水分子与硅表面反应生成SiO₂初始层，其反应式是



此后，水分子扩散穿过SiO₂初始层，在Si-SiO₂界面处与硅原子反应，使氧化层不断增厚。其厚度与时间的关系亦遵循式(1.4)的规律，所不同的仅是水分子在SiO₂中的扩散速

率大于氧分子的扩散速率，所以水汽氧化速率远大于干氧氧化速率。

(3) 湿氧氧化。它与干氧氧化不同之处是将干氧先通过加热的高纯去离子水，而后进入氧化系统。由于氧气中携带一定量的水汽，所以湿氧氧化既有干氧氧化的作用，又有水汽氧化的作用，氧化层的生长速率与氧化温度及氧气流中的水汽含量有关，其大小介于干氧和水汽氧化之间。

在热氧化过程中，在靠近生长氧化物的硅表面，杂质进行再分布，直至达到平衡为止。在硅中杂质的平衡浓度与二氧化硅中杂质平衡浓度之比称为分凝系数，常以 m 表示。不同杂质的分凝系数也不同，对于硼， $m < 1$ ；对于磷， $m > 1$ 。杂质在热氧化过程中的再分布直接影响器件特性。

伴随着热氧化的进行，出现了一系列影响器件特性和可靠性的缺陷，它们是：

(1) 氧化层错。它是一种工艺导生缺陷。硅片氧化后发现，在原硅片表面沾污及机械损伤处往往会 appear 很多火柴棍式的直线缺陷。这种缺陷被称为热氧化杆状层错，其特点是分布在表面，且长度均匀，如图1.4所示。



图 1.4 热氧化杆状层错

热氧化层错会使氧化膜出现针孔，造成MOS器件的栅击穿；它们与杂质的相互作用则会造成pn结反向软击穿；在Si与SiO₂界面处与载流子相互作用，使载流子迁移率下降，因而影响了MOS器件的跨导和开关速度以及器件的抗辐照能力。

(2) 裂纹。在热氧化过程中，由于热应力，或应力跳