

2004年上海大学博士学位论文 ⑥3

面向电机控制数字信号 处理器设计与测试研究

作者: 严 伟

专业: 控制理论与控制工程

导师: 龚幼民



上海大学出版社

· 上 海 ·

2004 年上海大学博士学位论文

面向电机控制数字信号 处理器设计与测试研究

作者：严 伟

专业：控制理论与控制工程

导师：龚幼民

上海大学出版社

• 上海 •

Shanghai University Doctoral Dissertation (2004)

Research on Design and Test of Motor Control Digital Signal Processor

Author: Yan Wei

Major: Control Theory and Control Engineering

Supervisor: Prof. Gong You-min

Shanghai University Press

• Shanghai •

上海大学

本论文经答辩委员会全体委员审查确认, 符合上海大学博士学位论文质量要求.

答辩委员会名单:

主任: 黄 道	教授, 华东理工大学信息学院	200233
委员: 曹家麟	教授, 上海大学	200072
冉 峰	教授, 上海大学微电子中心	200072
叶凡生	教授, 上海交大电气工程系	200030
郑华耀	教授, 上海海事大学仿真中心	200040
导师: 龚幼民	教授, 上海大学	200072

评阅人名单:

黄 道	教授, 华东理工大学信息学院	200233
何立民	教授, 北京航空航天大学	100015
邹雪诚	教授, 华中科技大学微电子系	430073

评议人名单:

王志英	教授, 国防科技大学计算机学院	410073
汤天浩	教授, 上海海事大学	200040
周又玲	教授, 华东理工大学电子工程系	200233
戴先中	教授, 东南大学自动控制工程系	210096
郑华耀	研究员, 上海海事大学仿真中心	200040

答辩委员会对论文的评语

严伟同学的博士学位论文“面向电机控制数字信号处理器设计和测试的研究”对数字信号处理器内核、电机控制电路、可测试设计的设计思想和设计方法进行了研究，论文选题具有重要的理论意义和实用价值。论文研究了满足电机控制的 16 位定点数字信号处理器内核设计方法；针对数字信号处理器问题求解方式到机器求解方式产生的行为间隙、指令相关过多造成的数字信号处理器效率降低等问题，提出了面向算法的并行功能指令的概念和规则；针对电机空间矢量控制和直流无刷电机 120 电角度换相控制算法的电路实现的要求，采用了控制状态机与 PWM 发生电路相结合的方法；采用了状态机与数据流相结合实现通信协议的方法；在边界扫描链设计中，采用了自定义的控制、数据、地址寄存器与指令寄存器相结合的访问 RAM 的方法，减少了硬件的开销；在单扫描链的设计中，将单扫描链分解为多条扫描链的方法，减少了测试应用时间；提出了一个信号处理器总体测试体系。作者将其设计方法应用于电机控制芯片的 DSP 内核、控制电机专用电路、通讯口电路、可测试性设计电路中，获得了良好的效果，表明该设计是成功、有效和先进的。论文选题具有前沿性，论文论点明确、论证充分，取得了一定的创新性的研究成果，并在实际工程中获得应用。论文表明作者具有坚实宽广的基础理论和系统深入的专业知识，具备较强的独立科研能力。

在答辩过程中，严伟同学叙述清楚，回答问题正确。

答辩委员会表决结果

经答辩委员会表决，全票同意通过严伟同学的博士学位论文答辩，建议授予工学博士学位。

答辩委员会主席：黄 道

2004 年 6 月 19 日

摘 要

本文以面向电机控制数字信号处理器设计和测试为依托,从理论和实践两方面对数字信号处理器内核、电机控制电路、可测试设计的设计思想和设计方法进行了研究.

(1) 在单发射系统下,实现了满足电机控制数字信号处理和控制算法的 16 位定点数字信号处理器内核设计.

(2) 在研究了指令并行性产生的数据相关、条件相关、转移相关的软件、硬件调度方法基础上,分析了数字信号处理器问题求解方式到机器求解方式产生的行为间隙,指令相关过多造成的数字信号处理器效率降低,首次提出了面向算法的数字信号处理器并行功能指令的概念、并行功能指令最小单位算子的概念,算子组成规则和实现并行功能指令流程.面向数字信号处理算法并行功能指令的设计,目的在于提高数字信号处理器的机器效率,方便软件编写者.

(3) 针对电机空间矢量控制和直流无刷电机 120 电角度换相控制算法的电路实现,采用了控制状态机与 PWM 发生电路相结合的方法.即状态机控制算法中状态的转变, PWM 电路产生状态的输出,该方法同样可以推广到其他变频电机控制算法.在整个电机控制电路中将成熟的算法以闭环回路的形式集成在电路中,减少使用者对复杂电机控制算法的了解,和编程的繁琐性;在以异步通讯口为例的通信电路的设计上,采用了状态机与数据流相结合实现通信协议的方法,该方法在通讯电路设计中具有共性.

(4) 建立一个统一的芯片测试和芯片诊断调试接口, 形成以边界扫描链为主体, 全扫描链为补充的芯片测试机制. 在边界扫描链设计中, 采用了自定义的控制、数据、地址寄存器与指令寄存器相结合的访问 ROM 和 RAM 等相应空间方法, 与原有的地址译码电路相结合, 减少了硬件的开销; 在单扫描链的设计中, 将单扫描链分解为多条扫描链的方法, 按照交迭测试体系排序, 采用特定的二选一单元, 先将控制信息扫入整个数字扫描, 选通不同扫描链, 再将所测试的数据扫入扫描链, 减少了测试应用时间. 本文对多种可测试性设计技术在不同电路的成功应用, 对于开展可测试性设计技术研究具有积极意义.

(5) 以面向电机控制数字信号处理器内核测试为例, 形成了一个信号处理器总体测试体系. 该体系包括了有向图、代码字、简单故障、复杂故障等概念, 在测试算法中将读、写寄存器指令 δ^+ 和 δ^- 作为测试的重点; 根据特殊控制 / 状态寄存器和通用寄存器堆的不同特点, 对特殊控制 / 状态寄存器实现按位测试的规则, 通用大寄存器堆 (包括片上 ROM 和 RAM) 按照 MARCH B 算法实现; 在流水线的测试上, 提出了按照“写后读”产生冲突的测试方法; 在指令的相关性分析上, 通过实际得到指令的微操作, 建立一个微操作与指令的矩阵, 分析了指令体系的相关性; 在中断体系的测试上, 采用全扫描链测试了中断体系.

关键词 电机控制, 并行结构, 可测试设计, 流水线, 中断, 指令并行性,

PWM

Abstract

In this thesis, on the basis of developing motor control digital signal processor (DSP), the design thoughts and methods on the core of DSP, special circuit for motor control, and testability design are studied from both theory and practice as follows:

(1) The 16 bits fixed-point DSP core that is the single emission and meets the algorithms of signal process and control was completed.

(2) On the basis of the research on software and hardware methods which schedule the instruction concurrency's data dependence, conditional dependence, sequence control dependence, and analyzing the gap between the question solution mode and machine solution mode in DSP, the instructions concurrency making the machine efficiency of DSP decreased, the new concept of concurrent function instruction of DSP are given. The thoughts include the operator which is the minimum unit of concurrent function instruction, the regulations composed of the concurrent function instruction, and the flow to realize the concurrent instruction to meet algorithms of DSP. The thoughts of concurrent function instruction are aimed at improving the efficiency of DSP machine and facilitating software compile.

(3) The method of finite state machine with PWM circuit is given to realize the algorithms of Voltage Space Vector control and 120 electrical angle changing phase control of DC brushless motor.

The finite state machine controls the changed states of algorithms, and the PWM circuit makes the controlled outputs of the states of algorithms. The method can be applied to other frequency conversion algorithms. The communication protocol stipulates the outputs of the data flow on the different communication protocol states, the finite state machine can control the changing states of the data flow, the outputs of finite state machine are used as data choosing and data allotting by the activation term, the common feature of such a method exists in communication circuits.

(4) A unite interface of chip test and debug which embodies the boundary scan and the full scan was established. The boundary scan adopts the address, data, and control register together with instruction register to access relevant space, utilizes original circuit of the core of DSP, and decreases the cost of hardware. The full scan link is decomposed into multi-scan links structure according to the crossover test system, the particular unit is chosen to firstly send controlling signals to turn on the different links, then the data are carried into the link, such a structure decreases the test applied time. Successful multi-testability technical methods to different circuits have positive meanings for development of testability design techniques.

(5) As a sample of test of motor control digital signal processor, the total test model of digital signal processor which covers each function of digital signal processor is given. The model includes a series of concepts such as S -graph, codeword, simple faults, complex faults. The emphasis is on δ^+ and δ^- faults models of the read and

write registers instructions in the instructions test; each bit of control/states registers has to be tested; MARCH B algorithm brought by software on boundary scan is used to test big registers stacks; the relation of instructions is studied with the matrix between the real micro-operators obtained from the design of the core of digital signal processor and instructions; the test algorithm is given of “read after write” in terms of data dependence, conditional dependence, and sequence control dependence in the pipeline of single emission; interruption section is tested in accordance with the interruption algorithm on the full scan link.

Key words motor control, concurrent structure, testability design, pipeline, interruption, instruction concurrency, PWM

目 录

第一章 绪 论	1
1.1 面向电机控制数字信号处理器研究背景	1
1.2 本文的主要工作和研究的问题	17
1.3 论文的安排	20
第二章 数字信号处理器内核的设计	22
2.1 面向电机控制数字信号处理器内核的体系结构	22
2.2 中央算术逻辑单元设计	27
2.3 乘法器单元设计	33
2.4 移法器单元设计	40
2.5 辅助寄存器算术设计	42
2.6 程序排序器设计	44
2.7 中断的设计	47
2.8 小 结	55
第三章 面向算法的并行功能结构的数字信号处理器 设计思想	58
3.1 问题的得出	58
3.2 数字信号处理器结构的发展	59
3.3 并行指令的相关性处理方法	60
3.4 面向算法的数字信号理器的功能指令设计	75
3.5 功能指令设计方法	82
3.6 小 结	88
第四章 电机控制电路设计	89
4.1 电机控制芯片设计综述	89

4.2 空间矢量和直流无刷电机 120 电角度 换相控制算法电路实现	92
4.3 电机闭环控制专用电路	110
4.4 状态机与数据流相结合的通讯电路设计	116
4.5 小 结	128
第五章 数字信号处理器可测试性结构设计	129
5.1 面向电机控制的数字信号处理器可测性设计策略	129
5.2 边界扫描结构的建立	130
5.3 全扫描链的建立	139
5.4 试验结果	147
5.5 小 结	148
第六章 数字信号处理器内核功能测试	150
6.1 有向图理论	151
6.2 测试算法	159
6.3 传输数据与运算数据的测试	168
6.4 寄存器的测试	172
6.5 指令相关性分析	176
6.6 流水线的测试	182
6.7 数字信号处理器内核中断测试	186
6.8 电机控制数字信号处理器测试统计结果	189
6.9 小 结	189
第七章 结论与展望	191
7.1 研究结果	192
7.2 展望	194
参考文献	195
致 谢	203

第一章 绪 论

本章是概论性质,在阐述了面向电机控制数字信号处理器的研究背景之后,介绍论文的工作、研究的问题、论文的安排.

1.1 面向电机控制数字信号处理器研究背景

1.1.1 数字信号处理器内核

数字信号处理是对离散信号和模拟信号数字化进行处理的技术,由于数字信号处理算法的特殊要求,促进了专门用于处理数字信号的微处理器的发展,这类微处理器称之为数字信号处理器.

数字信号处理研究内容有两个方面:一方面滤除有用信号中的噪声和干扰,采集信号中的有用信号,这就是数字滤波;另一方面为了分离两个或多个按照一定规则组合在一起的信号,增强或减弱一个信号或某一个分量,按照一定方法分解某一信号,由此产生的各类变换和算法.

计算机技术的出现,立即在数字信号处理领域得到应用,特别是 Cool-YuKey 提出的快速傅里叶算法,使数字信号处理速度加快.数字信号处理技术应用范围的不断扩大,要求信息处理速度的提高,推动了数字信号处理技术的发展.

数字信号处理器是针对数字信号处理的算法需要提供大量的、重复的密集数据的输入和运算的特点而设计,所以,数字信号

处理器与微处理器相比,具有以下的特点:

(1) 专门的硬件乘法器,乘-加单元.

(2) 多个执行单元,DSP 单元中包括若干个独立的并行执行单元.

(3) 专门的地址产生器.在地址产生器中除了支持间接寻址,基址+变址寻址以外,还有针对 FFT 运算的位反序、循环寻址,有的数字信号处理器有两个地址产生器.

(4) 程序控制器.除了提供要执行下一个指令的地址以外,还有与循环寄存器、条件寄存器相结合产生循环、调用、跳转、中断、等待等功能.

(5) 多总线、多存储器结构.每个存储器有自己的总线,甚至一个存储器有不同组总线.

(6) 专门的指令集.许多 DSP 的指令与算法有关,如在 TI 的 TMS320C54X 系列,有专门的 FIR、DMOV、LMS 指令,有的指令有很高的并行度.

对于微处理器的设计,就必须谈到 RISC(精简指令集微处理器)和 CISC(复杂指令集微处理器)的设计思想,RISC 与 CISC 的设计思想一直占据微处理器设计的主导地位.

数字信号处理器设计需要数据处理的高速、指令的高效与 RISC 技术特点相同,所以,绝大多数的数字信号处理器采用了基于类 RISC 的体系结构.

经过几十年的发展,为了达到更快处理高密度数据输入与运算数据目的,数字信号处理器的设计思想发生较大变化,按照 RISC 思想的设计,在每个时钟周期中,增加所完成的操作有两种方法:第一,增加每条指令执行的操作数目;第二,增加每周期的执行指令数目.在现代数字信号处理器的体系结构设计中,第二种设计

方法逐渐成为主流. 即以超长指令字 VLIW、超标量体系结构为代表的数字信号处理器所构成的先进数字信号处理器.

1.1.1.1 VILW 结构

许多 VLIW 结构的微处理器并不是用于今天的 DSP, 而是用于 WRAP、TRANCE MACHINE 等微处理器. 但是它的并行处理的特性符合大量数据处理的要求, 很快成为现代 DSP 最主要的设计结构, 例如 TI 的 TMS320C62XX 系列, AD 的 ADSP-21160 系列.

VLIW 可以在每个机器周期中, 将多个相互独立的指令装配到一个更大的指令字中. 指令装配在相应的位置上. VLIW 体系结构中设置了大量的互相独立的执行单元. 指令都是规整的、正交的, 类似于 RISC 的指令. 在 VLIW 结构的 DSP 处理器中, 一般都实现了统一的寄存器堆, 存放大量操作数据. 为了支持每个机器周期执行多条指令, VLIW 的数字信号处理器具有更宽的程序和数据总线.

VLIW 体系结构能够实现每个机器周期执行多条指令, 采用简单并且规整的指令集, 同传统结构的 DSP 处理器相比, 具有以下的特点:

- (1) 更多的并行性, 得到更高的处理性能;
- (2) 采用高级语言编译器, 得到更好的编译目标程序;
- (3) 程序编制相对简单;
- (4) 具有较好的可扩展性, 在 VLIW 体系结构中, 可以允许更多的指令被装配到 VLIW 指令字中.

下面介绍几种 VLIW 结构的数字信号处理器:

(1) TMS320C62XX

TMS320C62XX 为超长指令字, 工作频率 200 MHz, 指令周期 0.5 ns, 最大处理能力达到 1 600 MIPS, 包括: 8 个并行的功能模块