

北京市高等教育自学考试用书

计算机组织和结构

邵秉章 编



北京市高等教育自学考试用书

计算机组织和结构

邵秉章 编

北京大学出版社

北京市高等教育自学考试用书

计算机组织和结构

邵秉章 编

责任编辑：李怀玺

*

北京大学出版社出版

(北京大学校内)

北京市昌平环球印刷厂印刷

新华书店北京发行所发行 各地新华书店经售

*

850×1168毫米 32开本 7.75印张 170千字

1987年8月第一版 1991年8月第二次印刷

印数：9301—14800册

ISBN 7-301-00012-X/O·007

定价：2.40元

内 容 简 介

本书主要讨论了计算机硬件系统的组成原理和设计思想。各章节又分别介绍了组成计算机系统的各层次的部件工作原理及其在计算机中的应用。

本书是为参加北京市高等教育自学考试计算机软件专业的同志编写的，也可作大专院校计算机软件专业的教学参考书。

序 言

本书是为参加北京市高等教育自学考试软件专业的同志编写的一本计算机硬件自学教材。全书共分八章，分别讨论了门级逻辑电路和逻辑部件、总线、算术运算和逻辑运算、CPU 和指令系统、指令的执行和控制、主存贮器、中断结构和输入输出及其接口。其中，CPU 结构和指令系统、指令的执行和控制以及中断结构是本书的重点。门级逻辑电路和逻辑部件本属数字逻辑课程，把它们编入此书旨在使读者对计算机硬件层次结构有一个明确而完整的概念。编写本书的目的是为了帮助尚未学过计算机的同志了解和掌握计算机硬件系统的设计思想和通用计算机的一般操作原理及其建立硬件系统的整体概念。本书仅讨论了单机系统，尚未涉及多 CPU 系统和多机系统。

阅读此书时，需要着重注意下列几点：

1. 寄存器级部件的工作原理、功能和部件之间的关系以及它们在计算机中的作用。
2. 处理器级部件的组成、操作原理、功能和部件之间的关系以及在计算机中的应用。
3. 指令系统、指令形式和指令操作过程。
4. 中断的实现和中断的作用。

每章所列出的习题，除了个别题外均为一般性练习题，希望读者认真做好。

由于编者水平有限，书中难免出现缺点和错误，恳请读者批评指正。

编 者

目 录

第一章 逻辑门和逻辑部件.....	1
1.1 逻辑门和触发器	1
1.1.1 基本逻辑门	1
1.1.2 触发器	4
1.2 逻辑部件	7
1.2.1 组合部件	8
1.2.2 时序部件	18
1.3 寄存器网络	23
习题	28
第二章 总线.....	30
2.1 总线概念	30
2.1.1 组合结构	30
2.1.2 总线结构	31
2.2 总线类型	34
2.2.1 功能分类	34
2.2.2 传输方式分类	35
2.2.3 系统总线和接口总线	41
2.3 系统总线管理	43
2.3.1 链式总线管理	44
2.3.2 查询式总线管理	46
2.3.3 独立请求式总线管理	47
习题	48
第三章 算术运算和逻辑运算.....	49
3.1 数的形式	50

3.1.1 定点数和浮点数	50
3.1.2 数的补码表示	51
3.2 定点数运算和运算部件	56
3.2.1 加减运算	56
3.2.2 乘法运算	61
3.2.3 除法运算	66
3.3 浮点数运算	71
3.3.1 加减运算	71
3.3.2 乘法运算	75
3.3.3 除法运算	76
3.4 逻辑运算和运算部件	77
3.4.1 或运算(OR)	77
3.4.2 与运算(AND)	77
3.4.3 求反运算(NOT)	78
3.4.4 异或运算(XOR)	78
习题	81
第四章 CPU 和指令系统	83
4.1 CPU	83
4.1.1 CPU 基本功能	83
4.1.2 CPU 基本结构	84
4.2 指令形式	88
4.2.1 四地址指令形式	88
4.2.2 三地址指令形式	89
4.2.3 二地址指令形式	90
4.2.4 一地址指令形式	90
4.2.5 零地址指令形式	91
4.2.6 指令长度的考虑	91
4.3 寻址系统	92
4.3.1 寻址概念	92
4.3.2 直接寻址	93

4.3.3 间接寻址	95
4.3.4 变址寻址	97
4.3.5 基址寄存器寻址	99
4.4 指令类型	101
4.4.1 指令和微指令	101
4.4.2 指令分类	102
4.5 指令功能	103
4.5.1 数据传送指令	103
4.5.2 算术运算指令	105
4.5.3 逻辑运算指令	107
4.5.4 移位指令	107
4.5.5 转移指令和调用指令	108
4.5.6 输入输出指令	109
4.5.7 控制指令	110
4.5.8 浮点运算指令	110
习题	111
第五章 指令执行和控制	113
5.1 控制功能	113
5.2 控制部件	115
5.2.1 指令寄存器 IR	116
5.2.2 指令译码器 ID	116
5.2.3 程序计数器 PC	116
5.2.4 节拍时序及其线路	117
5.3 组合逻辑控制	121
5.3.1 数据传送指令的操作	121
5.3.2 算术运算指令的操作	124
5.3.3 转移指令的操作	126
5.4 微程序控制	130
5.4.1 微命令和微操作	131
5.4.2 微指令形式和类型	133

5.4.3 微程序存贮	136
5.4.4 微程序编制举例	138
习题	142
第六章 主存贮器	144
6.1 只读存贮器 (ROM)	144
6.1.1 掩膜式 ROM	145
6.1.2 PROM	148
6.1.3 EPROM	149
6.2 可读写存贮器 RAM	151
6.2.1 存贮元件	151
6.2.2 RAM 结构	154
6.3 存贮器管理	159
6.3.1 越界保护	159
6.3.2 页式管理	160
6.4 堆栈	162
6.4.1 堆栈设置和管理	162
6.4.2 堆栈应用	165
6.5 虚拟存贮器	168
6.5.1 存贮器系统层次结构	168
6.5.2 虚拟存贮概念	169
6.5.3 页式虚拟存贮	170
习题	174
第七章 中断结构	176
7.1 中断概念	176
7.1.1 中断和中断服务程序	176
7.1.2 中断源设置	177
7.2 中断管理	179
7.2.1 中断优先权	179
7.2.2 程序裁决优先权	181
7.2.3 静态分配优先权	182

7.2.4 动态分配优先权	183
7.2.5 二维多级中断源管理	184
7.3 中断响应	186
7.3.1 程序状态字 (PSW)	186
7.3.2 响应过程	187
7.4 中断处理	190
7.4.1 硬件裁决优先权的中断处理	190
7.4.2 程序裁决优先权的中断处理	191
7.4.3 二维多级优先权的中断处理	192
7.5 多重中断	192
习题	193
第八章 输入输出和接口	194
8.1 输入输出(I/O)概念	194
8.1.1 输入输出功能	194
8.1.2 同步方式与异步方式	195
8.1.3 并行传送和串行传送	196
8.1.4 远距离数据传输	198
8.2 输入输出设备和接口	199
8.2.1 输入输出设备	199
8.2.2 接口	202
8.3 程序控制输入输出	205
8.3.1 查询方式	205
8.3.2 中断方式	208
8.4 硬件(DMA)控制输入输出	209
8.4.1 DMA 控制器基本结构	210
8.4.2 DMA 方式	211
8.5 通道方式	213
8.5.1 通道概念	213
8.5.2 选择通道和多路通道	214
8.5.3 通道操作	214

习题.....	217
总结.....	219
参考文献.....	231

第一章 逻辑门和逻辑部件

计算机系统是一个由电子线路和机械装置两者组合而成的极其复杂的逻辑综合体。如今，尽管应用于各领域的计算机种类繁多，型号各异，但是，从本质上讲，它们都是有限类型逻辑元件的集成；尽管计算机的功能五彩缤纷，光辉夺目，但就本质而言，它们均是几个可数的基本逻辑操作的组合。

操作简单的逻辑元件可以组成具有完整的独立功能的逻辑部件，而逻辑部件又是构成计算机的基本部件。因此深刻理解、牢固掌握并能熟练应用逻辑门和逻辑部件是极为必要的。

1.1 逻辑门和触发器

计算机中的二进制基数“0”或“1”是以电位的高低来表示的，通常有两种方法描述逻辑值：高电位表示“1”，低电位表示“0”；或低电位表示“1”，高电位表示“0”。前者称为正逻辑，后者称为负逻辑。正逻辑用得较为普遍，所以本书也采用正逻辑。在 TTL 逻辑线路中，逻辑值“1”对应于约 3V 电位，逻辑值“0”对应于零电位。

1.1.1 基本逻辑门

1 或门(OR)

在若干个输入中只要有一个输入为“1”，则输出必为“1”的逻辑线路称为或门，它的符号如图 1-1 所示。A、B 是两个输入电位，Z 是输出电位，那么 Z 与 A、B 之间的关系为

$$Z = A + B$$

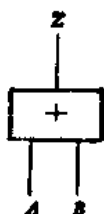


图 1-1 或门

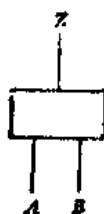


图 1-2 与门

仅当 A, B 同时为“0”时, Z 才为“0”, 否则为“1”。一个或门可以有几个输入端。

2. 与门 (AND)

所有输入均为“1”时, 其输出才为“1”的逻辑线路称为与门, 其符号如图 1-2 所示。 A 和 B 是与门的两个输入电位, Z 是输出电位, 则有

$$Z = AB$$

从关系式可知, 仅当 A, B 皆为“1”时, Z 才为“1”, 否则 Z 为“0”。一个与门可以有几个输入端。

3. 非门 (NOT)

输出电位与输入电位相反的逻辑线路称为非门, 它的符号示于图 1-3。 A 是非门的输入电位, Z 是输出电位, 则有

$$Z = \bar{A}$$

若 $A = 0$, 则 $Z = 1$; 若 $A = 1$, 则 $Z = 0$ 。



图 1-3 非门

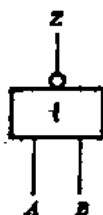


图 1-4 或非门

4. 或非门(NOR)

或非门是由或门和非门组合而成的逻辑门,如图1-4所示。 A, B 是或非门的两个输入电位, Z 是输出电位,则 Z 与 A, B 之间的关系为

$$Z = \overline{A + B}$$

仅当 $A = B = 0$ 时, $Z = 1$, 否则 $Z = 0$ 。一个或非门可以有几个输入端。

5. 与非门(NAND)

与非门是由与门和非门组合而成的逻辑门,如图1-5所示。 A 和 B 是与非门的两个输入电位, Z 是输出电位,那么 Z 与 A 和 B 之间的关系是

$$Z = \overline{AB}$$

仅当 $A = B = 1$ 时, $Z = 0$, 否则 $Z = 1$ 。一个与非门可以有几个输入端。



图 1-5 与非门

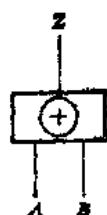


图 1-6 异或门

6. 异或门(XOR)

异或门示于图1-6, A 和 B 是两个输入电位, Z 是输出电位, Z 与 A, B 的关系是

$$Z = A \oplus B$$

当 $A = B$ 时, $Z = 0$; 当 $A \neq B$ 时, $Z = 1$ 。

7. 三态门

图 1-7 表示三态门的符号。三态门的输出有三个状态即 0, 1 和高阻抗。A 是三态门的输入电位, Z 是输出电位, C 是控制电位, 三者的关系是

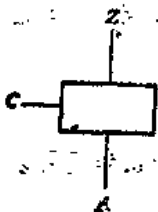


图 1-7 三态门

$$Z = CA$$

当 $C = 1$ 时, $Z = A$; 当 $C = 0$ 时, Z 呈现高阻抗。三态门在总线结构中是一个非常重要的控制器件。

1.1.2 触发器

1. 双稳态

双稳态线路示于图 1-8, A, B 是它的两个输入电位, Q 和 $\bar{Q}$ 是两个输出电位。双稳态线路有两个稳定的状态和两个互补输出。两个稳定状态是: Q 为高电位, $\bar{Q}$ 为低电位; 或者 $\bar{Q}$ 为高电位, Q 为低电位。若无外界信号的激励, 其状态始终保持不变。假设 Q 为高电位, 则称双稳态存“1”; 若 $\bar{Q}$ 为高电位, 则称双稳态存“0”。通常 A 和 B 均为高电位, 若要改变它的状态, 只要把 A 或 B 变为低电位即可。A, B 不能同时为低电位。

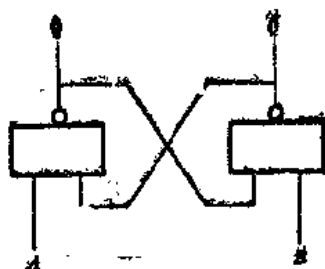


图 1-8 双稳态线路

一个触发器是由存储线路即双稳态线路和输入线路两部分组成。由于输入线路的不同结构, 就产生了不同类型的触发器。

2. SR 触发器

图 1-9 表示 SR 触发器的符号, S 为“1”输入端, R 为“0”输入端, P 为置初态“1”输入端, C 为置初态“0”输入端, CL 为工作脉冲输入端, Q 和 $\bar{Q}$ 是两个互补输出端。S, R 两端不能同时为高电

位。 P 和 C 通常是高电位，欲置初态时，其中之一才变为低电位。 CL 通常是低电位，它的正沿即低电位变为高电位期间的瞬时电位才能打入数据。在 CL 作用期间， S, R 两端的电位不能改变。

设 $Q(t)$ 是 SR 触发器的目前状态， $Q(t+1)$ 是下次状态，则有下面逻辑表达式

$$Q(t+1) = S(t) + \bar{R}(t)Q(t)$$

且 $R(t)S(t) = 0$ 。

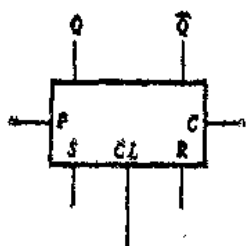


图 1-9 SR 触发器

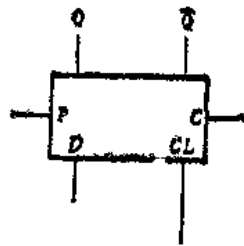


图 1-10 D 触发器

3. D 触发器

图 1-10 表示 D 触发器的符号， D 是“1”或“0”输入端，高电位表示“1”，低电位表示“0”， P 和 C 分别用来置初态“1”或“0”。若 $Q(t+1)$ 表示 D 触发器的下次状态，则有

$$Q(t+1) = D(t)$$

若 D 输入端与 $\bar{Q}$ 输出端相连，则 D 触发器处于计数工作方式。

4. JK 触发器

JK 触发器的符号示于图 1-11，它有五个输入端：

P 预置初态为“1”，负沿有效。通常为高电位。负沿是指从高电位变为低电位期间的瞬时电位。

C 预置初态为“0”，负沿有效。通常为高电位。

J “1”输入端。

K “0”输入端。

CL 时钟脉冲,正沿有效。通常处于低电位。

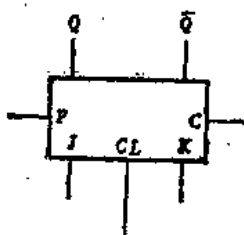


图 1-11 JK 触发器

J, K 电位在时钟脉冲 CL 正沿的作用下,可改变 JK 触发器的状态:

(1) 若 $J = 1, K = 0$, 则 CL 置 JK 触发器为“1”态。

(2) 若 $J = 0, K = 1$, 则 CL 置 JK 触发器为“0”态。

(3) 若 $J = 0, K = 0$, 则 JK

触发器的状态不变。

(4) 若 $J = 1, K = 1$, 则 JK 触发器处于计数态,任何一个时钟脉冲 CL 的作用,均将改变它的状态。

设 $Q(i+1)$ 为下次状态, $Q(i)$ 为本次状态,则有下面逻辑表达式

$$Q(i+1) = Q(i)\overline{K(i)} + \overline{Q(i)}J(i)$$

5. T 触发器

图 1-12 表示 T 触发器的符号, P 和 C 分别为置初态“1”和“0”的输入端, CL 为时钟脉冲。 T 为控制端,若 $T = 0$, 则 CL 的作用不会改变它的状态;若 $T = 1$, 则任何一个 CL 的作用,均要改变 T 触发器的状态。所以 T 触发器只能用作计数元件。

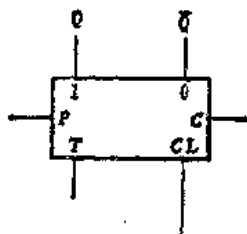


图 1-12 T 触发器

设 $Q(i+1)$ 为 T 触发器的下次状态, $Q(i)$ 为本次状态,则有下列逻辑表达式

$$Q(i+1) = Q(i) \oplus T(i)$$

6. MS 触发器