

APPLE II

微电脑硬体技术

电路解析、故障修理、介面电路制作与应用

大众电子杂志社

1/2 TP36
144

1

致讀者

「APPLE II 微電腦硬體技術」是 **大眾電子** 叢書之一，這是 **大眾電子** 雜誌編輯部全部同仁，為答謝社會各界的愛護，而特別編印的一本專集，本書的內容包括了下面三大部份：

第一部份是專門討論 APPLE II 的系統，內容包括了 APPLE II 電路分析，以及電路的故障與修理的方法。

第二部份是專門討論周邊電路，內容包括了 APPLE II 標準介面卡、EPROM 燒錄器……等十多個實用介面電路的原理、製作與應用。

第三部份是屬於附錄之資料部份，內容包括了 APPLE II 主機板上各 IC 之內部結構與接腳圖。另外尚有三色印製之 APPLE II 系統方塊圖、零件配置圖以及電路全圖。

本書當初企劃編寫之目的，主要是想協助一般電子技術人員，以及電子科系在校同學，希望藉著本書而對微電腦硬體技術方面，能夠比較快速而又有系統化的瞭解，期以提升讀者對微電腦方面的實力，以便大家共同攜手為政府推展科技工作，各人都能貢獻一點力量，使我們的國家更富強，更壯大！

本書主要內容部份過去在 **大眾電子** 連載期間，廣受海內外愛好 APPLE II 微電腦人士的高度讚賞，現在經過整理後印製成本書，惟在內容方面如有疏漏之處，尚祈各界先進惠予指正，以便作為未來在編務方面努力改進之參考！藉以對社會作更佳之回饋！

梁 超

敬識於 **大眾電子** 雜誌編輯部

目 錄

A、系統部份

APPLE II 微電腦電路分析與故障修理

(一)系統方塊圖及CPU電路	7
(二)記憶結構和I/O電路	13
(三)主機板上RAM的組成	19
(四)系統時脈與影像控制電路	27
(五)故障檢修(一)	35
(六)故障檢修(二)	41
6502 監督器程式製作	44
APPLE 監督程式特殊技巧與遊戲磁帶的解法(一)	57
" " " " (二)	68
給APPLE製作一個卡帶式的Mini Assembler	71
INTEGER BASIC 和 APPLESOFT BASIC 之差異與轉換	85
APPLE II 高解析度彩色	103
APPLE DOS 與磁碟機之用法	106

B、周邊硬體電路製作與使用

APPLE 標準界面電路	119
APPLE 6809 CARD 原理與製作	130
A/D、D/A 界面卡原理與製作	147
6522 多用途I/O界面卡之製作	161
A/D、D/A 界面應用實例	177
製作一個EPROM 燒錄器	189
COMMUNICATION INTERFACE CAR 介紹	204
APPLE 週邊插槽轉接器製作	209
GAME I/O 應用① GAME I/O 的應用	215
②電話自動撥號	219
③機器裝置定時控制	222
全電子式顯像開關設計	225
使APPLE說話的方法	229
音頻波形的觀測與記憶	240

C、附 錄

(一)APPLE II 主機板各IC之內部結構與接腳圖	253
(二)APPLE II 系統方塊圖	280
(三)APPLE II 零件配置圖	281
(四)APPLE II 電路全圖	282

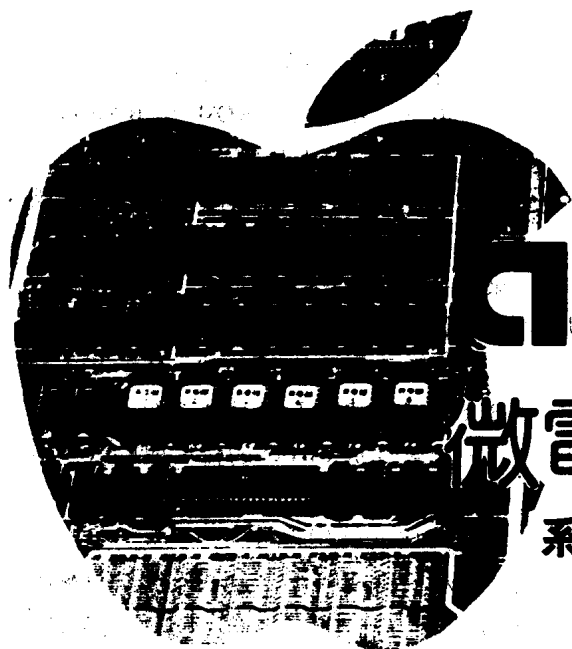
系統 部 份

30

31

32

33



Apple II

微電腦電路分析

系統方塊圖及CPU電路

前言

自從APPLE II 微電腦引進國內以後，受到社會各階層人士的喜愛，連帶的對有關APPLE II 的技術資料，各方需求甚殷，大眾電子雜誌社的同仁，為秉持服務社會的理想，乃集合了多人的力量，首先對APPLE II 加以了解，然後，依據各方人士的建議，以深入淺出的方式，將一部APPLE II 微電腦，作有系統的介紹。大體上我們分作兩大部份，第一個部份，是有關APPLE II 的系統部份，其次就是周邊電路的製作與應用。

我們為了行文方便起見，每一篇文章都以獨立的形態與各位見面，實際上這些文章之間互有關連，如果整個加以瀏覽後，當能讓你對APPLE II 的硬體有比較實用性的了解，下面我們就由APPLE II 系統方塊談起。

APPLE II 系統方塊圖介紹

現在開始為各位介紹APPLE 的方塊圖，因為要了解整個線路，必須要先建立一個系統的整體觀念，在下面的說明中，僅介紹每一小方塊的主要功用，至於各系統之間的關係在討論電路時再詳為介紹。

下面就來看看APPLE II 這部微電腦系統的組成方塊圖，如附圖所示。

電源供應器

本機所需之電源是由外加的交換式電源器 (High Frequency Switching type) 所供應，此種電源供應器能提供相當穩定的電壓，所提供的電壓有 +5V (5A)，-5V (1A)，+12V (2A)，-12V (1A) 共 4 種。這些電壓分別供應到各個電路去。

時鐘脈波產生器

本機的時鐘脈波系統，一共產生四種不同的脈波，這些脈波控制了整個系統的動作及各個單元之間的同步，而這些脈波主要包括了 14.318MHz 及 7.159MHz，彩色參考 3.58MHz 及 1.023MHz 之 ϕ_1 、 ϕ_2 、 Q_1 等各種時鐘脈波，14.318MHz 是本系統的主要振盪頻率，其它頻率的脈波都是由它轉換而來的。7.159MHz 是供應影像處理電路，3.58MHz 是彩色信號 (BURST) 控制時脈。1.023MHz Q_1 、 Q_2 是系統時脈輸出， Q_1 與 Q_2 相位相反。 Q_3 是控制 PERIPHERAL CONNECTOR 上，供應

Interface Card用，其頻率為 ϕ_1 ， ϕ_2 之兩倍。

6502處理器

處理器是微電腦的中樞，它包含三類信號，一個控制各個電路的控制信號，一個是資料信號及選擇儲存資料位置的位址信號，這些信號都利用三種不同的接線送出或者輸入，這三種傳送線都稱為BUS，由圖上可以看到在CPU 6502左邊虛點圖為 $A_0 \sim A_{15}$ 共有十六條線，稱為ADDRESS BUS，它是專門傳送位址資料，用來指定記憶器或選擇I/O的位置，CPU的右邊是 D_0 和 D_7 共有8條線，專門傳送資料(Data)，稱為Data BUS，它是雙向的，可以將CPU處理完的資料送出到Memory儲存，或送到I/O介面電路，也可以將Memory或I/O的資料送回到CPU，至於控制線(Control BUS)由於它要接的元件太多而且分散，若要全部繪出時，則整個方塊圖會顯得很複雜，所以本方塊圖暫時將全部控制線省略不畫，等將來在解析電路時，再作詳細的介紹。

DATA BUS上的各個系統

DATA BUS上的各個小方塊之功能：

- ① Data Buffer，稱為資料緩衝器，它是一個雙向的緩衝器，作為CPU的資料輸出，輸入控制，這個電路一般都由 $R/\overline{W}$ 信號來控制。
- ② PERIPHERAL SOCKETS，這是介面電路板(card)的插座，共有50根腳，幾乎包括了CPU所有的信號。在本機內一共有8個這種插座，可以接很多介面電路，藉以擴充系統的功能，所以使用起來非常方便。
- ③ KEYBOARD SOCKET/INTERFACE，為鍵盤連接插座，也就是鍵盤的信號由此插座連接進來的。
- ④ RAM/KBO MULTIPLEXER，是RAM記憶器與鍵盤Data的多工器(選擇器)，即Data BUS上的信號是要從RAM裏或從鍵盤的資料取得，當我們由按鍵輸入資料時，此多工器，是

連接到鍵盤資料線上，則鍵盤資料可以送到Data線上，可以把RAM的Data送到Data BUS上，以利CPU之取用。

- ⑤ 記憶器，記憶器有ROM及RAM區域。

⑥ ROM AREA，ROM之資料只能送出到Data BUS上，而無法再寫入。本機ROM區有6只2716共12 KByte，由ROM SELECT來選擇CHIP。

⑦ RAM AREA，RAM共有48Kbyte，由24只4116動態RAM來組成，是單Bit輸出及單Bit輸入，24只IC分成3組，每組8只並聯在一起，構成8bit的輸出與輸入，由RAM ADDRESS MULTIPLEXER及RAM SELECT來選擇位址及Chips。

⑧ DATA LATCH，RAM的資料輸出後由一個門鎖器(Latch)門鎖住，然後送到圖形產生器及圖形顯示電路，另一方面也送回RAM/KBO多工器，經多工器選擇而送到Data BUS上。

ADDRESS BUS上的各個系統

① ADDRESS Buffer，CPU送出ADDRESS後，進入位址緩衝器，再送出到ADDRESS BUS上。但，當DMA時(直接存取記憶器時)CPU不能控制Memory，即此時緩衝器將CPU與ADDRESS BUS隔開，其它時間ADDRESS BUS跟CPU是互相連通的。

② I/O SELECT，由ADDRESS來控制8個PERIPHERAL中的一個，來做輸入或輸出的工作。一般PERIPHERAL電路，如COMMUNICATION INTERFACE，EPROM Writer，INTEGER BASIC，DISK II INTERFACE，PRINTER INTERFACE……等。

③ DEVICE SELECT，選擇8個PERIPHERAL中之一，作I/O的動作。例如要PRINTER則會選擇到PRINTER Card。

④ ON BOARD I/O SELECT，此I/O SELECT並無外接之電路板(Card)，而是在主機板上面，用來選擇卡式錄音機之輸入/

輸出及 GAME 輸入／輸出連接插座。

⑤ CASSETTE SOCKET/INTERFACE, 卡式錄音機介面電路, 到錄音機存、取資料都要經過此電路。

⑥ GAME I/O SOCKET/INTERFACE, 利用 APPLE II 玩 TV GAME 時, 可利用此電路連接到操縱桿來擔任遊戲動作的控制。

⑦ ROM SELECT, 本機 ROM 區有 6 個 EPROM, 可用 ROM SELECT 來選擇看那個 CHIP 來作資料輸出到 Data BUS 上。

⑧ RAM SELECT, 本機 RAM 有 48K, 它是用 24 個 4116 來組成的, 每 8 個為一排, 構成 16KByte 共有 3 排, 由選擇器來選擇 0~16K, 17~32K, 32~48K 等。

⑨ RAM ADDRESS MULTIPLEXER, 4116 RAM ADDRESS 只有 $A_0 \sim A_6$, 而 CPU 之 ADDRESS BUS 是從 $A_0 \sim A_{15}$ 共 16 條線, 必須轉換成 4116 適用的位址, 所以 ADDRESS 必須經此多工器來解碼。

彩色影像電路的構成

APPLE II 的影像產生電路的構成, 包括了 PATTERN 產生器, PARALLEL IN/SERIAL OUT 介面, 資料選擇/多工器, 高解析度選擇器及 GRAPHIC DISPLAY 等電路。一般顯示在電視螢幕上的資料來源有兩種可能, 一種是鍵盤上的文字或符號, 它們大都被設定在一個 ROM 裏, 需要利用到時再取出來顯示, 這是個固定的資料。另一種就是繪圖, 這是不定形狀的圖形, 要顯示時就必須一一從 RAM 裏拿出來, 下面就來看看它們的組成。

① PATTERN GENERATOR, 即圖形產生器, 它是一個 ROM, 用來儲存鍵盤上各種文字及符號的形狀, 當我們按下一個文字或符號鍵時, 經鍵盤電路解碼後, 成為 ASCII 碼, 出現在 Data BUS 上, 把它存入記憶體 RAM 裏, 並且將此 ASCII 碼, 送到 PATTERN 產生器 ROM 的位址 BUS 上, 當作 ROM 位址的一半資料, 而另一半資料由同步信號產生器送來, 這樣就可以選到你所按鍵的文字圖形了。然後將並聯的圖形資料送到並聯→串聯電路。

② PARALLEL IN/SERIAL OUT INTERFACE, 此電路是一個 8 Bit SHIFT REGISTER, 它的功用是將 PATTERN 產生器送來的並聯圖形資料改變成串聯方式的輸出(以符合視頻信號傳送的方式), 然後將圖形資料送至 DATA SELECT 選擇器。

③ SHIFT REGISTER FOR GRAPHIC DISPLAY, 要顯示美麗的圖案前, 必須先將圖案資料一個個存在 RAM 記憶體內, 當 CPU 下達顯示指令時, 便依照順序將 Data 從 RAM 取出來, 經過 GRAPHIC DISPLAY 電路, 可作左移或右移, 處理圖形顯示是 GR 或 HGR 的工作, 然後送到 DATA SELECT 輸出。

④ Hi-RES SELECTOR, 高解像度選擇電路, 控制著影像的解析度, 在低解像度時, 畫面圖案線條很粗, 但在高解像度時線條就可以很細膩了。

⑤ DATA SELECTS/MULTIPLEX, 是選擇 PATTERN 資料或 GRAPHIC 的資料。

⑥ VIDEO OUTPUT CKT, 視頻輸出電路, 它將同步信號(SYNC), 彩色同步信號(BURST)及圖形資料等三種信號混合成為標準的視頻信號, 直接加到 MONITOR CRT 電視視頻電路, 另外還可以加 RF 變頻器, 經過混頻後送到家用電視的天線端。

APPLE II 微電腦

中央處理器實際電路分析

下面就開始為各位詳細的解析 APPLE II 電腦系統各部份的結構與動作:

電源部份

由附圖知, 6502 之電源輸入 V_{CC} (腳 8) 是接 +5V, V_{SS} (腳 1 和腳 21) 是接地 (GND)。

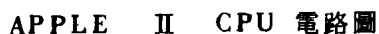
位址匯流排

為了方便說明起見, 這裏先介紹一下什麼是三態裝置, 所謂三態裝置之簡單電路結構如下圖所示:



(b) 控制線接
L 時導通

CONTROL	A	B	
L	L	L	
L	H	H	→三態裝置致能
H	A, B間	處於高阻抗狀態	→三態裝置失效



有了三態裝置的觀念後，下面就來說明一下位址匯流排是如何被三態裝置控制，首先如圖所示 6502 CPU 之 $R/\overline{W}$ 線和資料匯流排是分別接到三態裝置之輸入端，在此輸入端之信號（0 或 1）能否送到輸出端，則完全由三態裝置之控制線（CONTROL 或稱 STROBE）來控制。從圖上知直接記憶存取（DMA）控制線被接到反相器（C11 74LS04）的輸入端第 13 腳，然後由反相器的第 12 腳輸出來控制三態裝置為致能（enable）或失效（disable），其控制方式如下所述：

- ① 當 $\overline{DMA} = H$ 時（即週邊裝置沒有對 CPU 發出直接記憶存取之要求），C11 反相器之輸出為 L，所以三態裝置被致能，此時 CPU 便能正常的執行工作，例，當 CPU 在送出 $R/\overline{W} = H$ （即作記憶器讀取之控制信號）之同時，也送出位址信號（ $A_0 \sim A_{15}$ ，可選擇 $2^{16} = 64K$ 的記憶空間）。或 CPU 在送出 $R/\overline{W} = L$ （即作記憶器寫入之控制信號）之同時，也送出位址信號（ $A_0 \sim A_{15}$ ）。
- ② 當 $\overline{DMA} = L$ 時（即週邊裝置對 CPU 發出直接記憶存取之要求），C11 反相器之輸出為 H，所以三態裝置失效，此時 CPU 之 $R/\overline{W}$ 控制線及位址匯流排為浮接（高阻抗）狀態。也就是說這時候 CPU 無法對記憶器作讀出／寫入（ $R/\overline{W}$ ）的動作，而是由週邊裝置（如磁碟機）來直接存取記憶器。這裏所謂的直接記憶存取，是因為在這種情形下，CPU 是處於浮接（高阻抗）的狀態，即週邊裝置直接進行對記憶器的存取而不經過 CPU 的控制。如此一來便可以極快的速度，對記憶器存取大量的資料（通常磁碟機即採用此種方式）。

時鐘輸入 ϕ_0 。

由圖上知直接記憶存取（DMA）和主機板上產生的時鐘脈衝信號（ ϕ_0 ）同時加到一個及閘（B11 74LS08）的輸入，然後由輸出來控制 CPU 之時鐘輸入 ϕ_0 （37 腳）。其控制方式如下。

- ① 當 $\overline{DMA} = H$ 時（週邊裝置沒有對記憶器發出

直接記憶存取的要求），CPU 之 ϕ_0 輸入完全是由主機板上時鐘脈波信號來控制整個 CPU 的工作時序，即 CPU 處於一般的工作狀況下。

- ② 當 $\overline{DMA} = L$ 時（週邊裝置對記憶器發出直接記憶存取的要求），此時 CPU 之 ϕ_0 輸入恒為 L，也就是說主機板上之時鐘脈波產生器的信號不能送到 CPU，在這時候 CPU 已將整個控制權交給週邊裝置。

資料匯流排和讀寫控制線

資料匯流排（ $D_0 \sim D_7$ ，8 位元）和位址匯流排一樣是連接到三態裝置，但資料是雙向而位址是單向，由圖上知雙向資料匯流排之控制線具有雙向控制作用。例，當控制線為 H 時，則資料由外部向 CPU 送（而由 CPU 向外的三態則處於浮接狀態）。當控制線為 L 時，則資料由 CPU 向外送（而由外向 CPU 的三態裝置則處於浮接狀態）。上面已說明雙向資料匯流排之資料傳送方向（向外或向 CPU）是由控制線（CONTROL）來控制，下面就來說明一下控制線的信號是如何決定是 H 或 L。

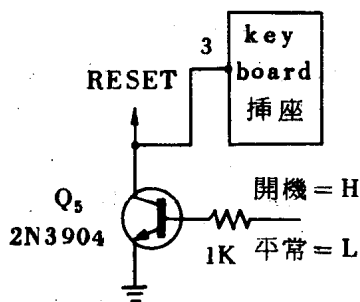
由圖上知 CPU 之讀／寫（ $R/\overline{W}$ ）控制線和時脈輸出 ϕ_1 被接到或閘 C14 74LS32 之輸入，而或閘之輸出即作為雙向三態裝置的控制信號。

- ① 當 $R/\overline{W} = H$ （CPU 對記憶器作讀取之動作）時，則雙向三態裝置之控制信號為 H，則是由外向 CPU 方向之三態裝置致能（而方向向外之三態裝置失效），也就是說此時資料是由記憶器向 CPU 送。
- ② 當 $R/\overline{W} = L$ （CPU 對記憶器作寫入之動作）且時脈輸出 $\phi_1 = L$ 時，則雙向三態裝置之控制失效，也就是說此時資料是由 CPU 向記憶器送。

控制匯流排

控制匯流排主要是由一些控制線所組成，下面就來說明 6502 CPU 控制線，在 APPLE II 主機板電路上的接法：

- ①重置 ($\overline{\text{RESET}}$) 線，是用來啓始 (initialize) 微處理器在開機後之動作。即如圖所示。平時 $\overline{\text{RESET}} = \text{H}$ ($\because$ 經由排電阻接至 +5V) 時，RESET 失效，所以不產生重置之作用。當開機後 $\overline{\text{RESET}} = \text{L}$ (如圖所示)。 $\overline{\text{RESET}}$ 線是接到 Q_5 的集極上。當開機時， Q_5 座極瞬間加入一個 +5V 之脈波，因此 Q_5 導通，使得 Q_5 集極電壓下降，故 $\overline{\text{RESET}}$ 成為 LOW 狀態，則產生重置作用，另一方面鍵盤上有一個 RESET 鍵，當您按下此鍵時，也會送出一個 LOW 脈衝 (由 key Board 插座接到 RESET 線上)，也會發生 RESET



作用。此時 6502 CPU 既不能傳送資料亦無法接收資料，一等到 $\overline{\text{RESET}} = \text{H}$ 時，CPU 即將位址 FFFC 和 FFFD 兩記憶位址之內含值，取入程式計數器 (PC) 中，然後跳到 PC 之內含值所指的位址去執行。

- ②備妥 ($\overline{\text{RDY}}$) 線，是用來控制 CPU 和某些速度較慢之週邊裝置 (如記憶器及 I/O) 同步。由圖上知 $\overline{\text{RDY}}$ 線平常是經由排電阻接到 +5V 去 ($\overline{\text{RDY}} = \text{H}$)，當 $\text{R}/\overline{\text{W}} = \text{H}$ 時即 CPU 對週邊裝置發出讀取之信號，此時若週邊裝置資料尚未備妥，(因為速度較慢，以致在收到讀取信號後，無法及時將資料送到資料匯流排去) 則 $\overline{\text{RDY}} = \text{L}$ ，此時 CPU 暫時停在那兒等待著，不執行讀取之週期，直到週邊裝置將資料備妥即 $\overline{\text{RDY}}$ 由 L 變成 H 時，CPU 才執行讀取之動作，這樣一來利用 $\overline{\text{RDY}}$ 線之控制，使得 CPU 可以和慢速之週邊裝置同步。

- ③中斷要求 ($\overline{\text{IRQ}}$) 控制線，由圖知此控制線平常是經由排電阻接到 +5V，即平時沒有週邊裝置對 CPU 發出中斷要求時 $\overline{\text{IRQ}} = \text{H}$ ，所以 CPU 可以到記憶器去提取一連串的指令來執行。當週邊裝置 (例，I/O) 要 CPU 作某些特殊的控制工作時，會對 CPU 發出中斷信號 ($\overline{\text{IRQ}} = \text{L}$)，則 CPU 在收到 $\overline{\text{IRQ}} = \text{L}$ 之信號後，即暫時停止程式之執行而去執行週邊裝置之工作，有一點要注意的是對於 6502 而言， $\overline{\text{IRQ}} = \text{L}$ 只有在狀態暫存器之中斷禁止位元 (I) 被清除為 0 時，中斷要求才會被 CPU 接受。當 6502 CPU 接受中斷請求時，會自動將記憶器最頂端的 FFFE 和 FFFF 兩記憶位址之內含值取入 PC 中，然後 CPU 即跳到 PC 之內含值所指的位址去執行要作 IRQ 前必須做的工作。例如將暫時停止的程式位址及執行結果儲存起來，然後再去執行 IRQ，等 IRQ 完成後，再跳回原來程式去。

- ④不可遮罩的中斷要求 ($\overline{\text{NMI}}$) 控制線，由電路圖知 $\overline{\text{NMI}}$ 和 $\overline{\text{IRQ}}$ 一樣，平常是 $\overline{\text{NMI}} = \text{H}$ ，有中斷要求時 $\overline{\text{NMI}} = \text{L}$ ，但它和 $\overline{\text{IRQ}}$ 之最大不同是當 $\overline{\text{NMI}} = \text{L}$ 時，CPU 將會無條件的接受這個腳上的中斷要求，而 $\overline{\text{IRQ}}$ 之中斷信號只有在在中斷禁止位元被清除為 0 時，CPU 才會接受，所以通常 $\overline{\text{NMI}}$ 都是用在電源快要中斷時，用以通知 CPU 的。對 6502 CPU 而言，當 $\overline{\text{NMI}} = \text{L}$ 時，CPU 會將位址 FFFA 和 FFFB 之內含值存入 PC 中，然後 CPU 即跳到 PC 之內含值所指的位址去執行。

- ⑤置定溢位旗號 (SO) 控制線，由於在 APPLE II 中沒有使用到，所以在電路圖上被接地。



Apple II

微電腦電路分析

記憶結構和I/O電路

羅維

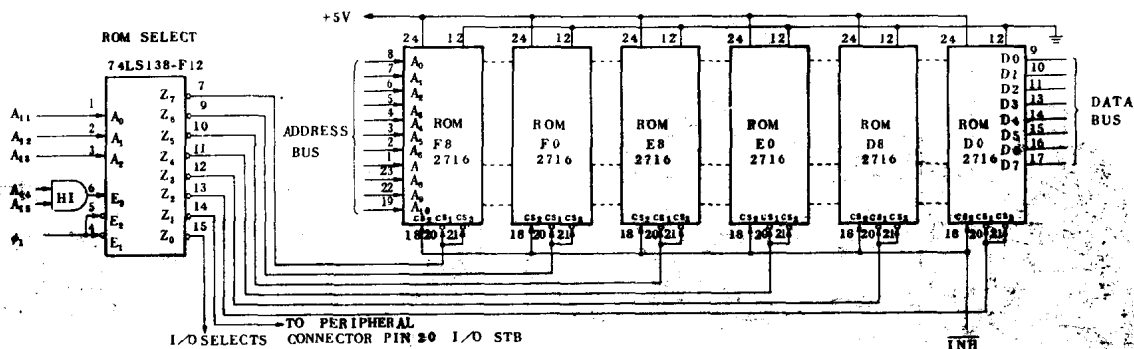
APPLE II主機板上的6502微處理器，由於具有 $A_0 \sim A_{15}$ 共十六條位址線，所以能直接定址到65,536（即 $2^{16} = 64K$ ）個不同的記憶位置，一般爲了方便，所以將65,536個記憶位置分成256頁（pages），而每個頁即包含256個記憶位置，例如，“page \$3 ϕ ”是表示\$3 $\phi\phi\phi$ 至\$3 ϕ FF的256個記憶位置。

APPLE II共有256頁記憶，主要可分成三大類：隨意存取記憶（RAM）僅讀記憶（ROM），和輸入／輸出位置（I/O locations），這些不同的記憶區在系統上均有其特定的功能，在APPLE II系統上它的65,536（64K）個記憶位置（即256 pages）之分配情形如下面的系統記憶圖（System Memory Map）所示：

ROM和I/O之位址解碼

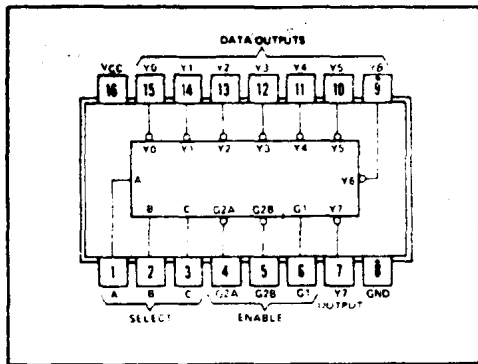
ROM SELECT 如圖一所示，（74LS138 - F12）IC是個3至8線的解碼器，其內部結構如圖二，此解碼IC之致能輸入（ $E_3E_2E_1$ ）是由位址信號 $A_{15}A_{14}$ 和時序信號 ϕ_1 來決定

系統記憶圖			
頁編號：			
十進位		十六進位	
ϕ	\$ $\phi\phi$	RAM (48K)	
1	\$ $\phi 1$		
2	\$ $\phi 2$		
...	...		
19 ϕ	\$BE		
191	\$BF		
192	\$C ϕ	I/O (2K)	
193	\$C1		
...	...		
198	\$C6		
199	\$C7	I/O ROM (2K)	
2 $\phi\phi$	\$C8		
2 $\phi 1$	\$C9		
...	...		
2 $\phi 6$	\$CE		
2 $\phi 7$	\$CF		
2 $\phi 8$	\$D ϕ	ROM (12K)	
2 $\phi 9$	\$D1		
...	...		
254	\$FE		
255	\$FF		

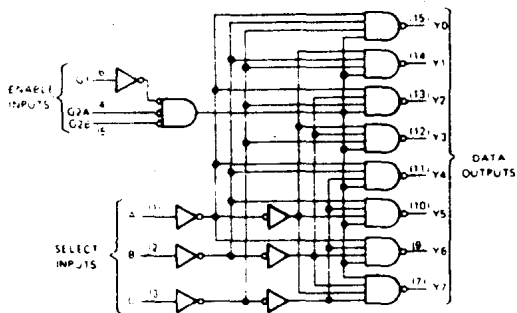


ROM SELECT

SN54LS138, SN54S138 . . . J OR W PACKAGE
SN74LS138, SN74S138 . . . J OR N PACKAGE
(TOP VIEW)



'LS138, 'S138



INPUTS					OUTPUTS							
ENABLE		SELECT										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	L	H	H	H
H	L	H	H	L	H	H	H	H	H	L	H	H
H	L	H	H	H	H	H	H	H	H	H	L	H

致能 (enable) 與否，即當 $A_{15}A_{14} = 11$ 且 $\phi 1 = 0$ 時此解碼 IC 被致能，其輸出則由輸入端之 $A_{13}A_{12}A_{11}$ 來決定。例如：當 $A_{15}A_{14} = 11$ 且 $\phi 1 = 0$ (解碼 IC 被致能) 時，若 $A_{13}A_{12}A_{11} = 000$ 則在第 15 腳 Z_0 輸出端產生一個 0(L) 的信號，其它輸出端則為 1(H)；若 $A_{13}A_{12}A_{11} = 001$ 則在 Z_1 輸出端產生一個 0(L) 的信號，其它輸出端則為 1(H)。依此類推當 $A_{13}A_{12}A_{11} = 111$ 時則在 Z_7 輸出端產生一個 0(L) 的信號，其它輸出端則為 1(H)。以下就來說明 ROM SELECT 之輸出和其對應的記憶位置之範圍：

當 $\phi_1 = 0$ (就 APPLE II 而言, 6502 CPU 僅有在時序 $\phi_0 = 1$ 時, 傳送位址或資料信號, $\phi_1 = 1$ 時僅作 CPU 內部的工作) 且 $A_{15} A_{14} = 11$, 若 $A_{13} A_{12} A_{11} = 010$ 則 ROM SELECT 會在 Z_2 輸出端產生一個 0(L) 的信號 (此時其它輸出端為 1), 由電路上知此時 ROM $D\phi$ 之晶片選擇 CS1 和 CS3 被致能, CS2 是接到週邊 $\overline{INH}$ (即 INHIBIT 禁止之意), 若將週邊的 $\overline{INH}$ 切換成 L 時, 則所有在 APPLE 主機板上的 ROM 都被關閉, 當 $\overline{INH} = H$ 則 CS2 被致能。故當 ROM D0 之 CS1、CS2、CS3 都被致能時, D0 記憶體內之資料就可以被送到 Data BUS 上。也就是這個時候經由 $A_0 \sim A_{10}$ 的位址信號, 可選擇到 ROM $D\phi$ 所含之 2 K 位置中的任一位置, ROM $D\phi$ 的 2 K 個位置可分成 8 個 pages ($\$D\phi \sim \$D7$)

每個 pages 含 256 個記憶位置 (\$φφ~\$FF)，其關係如下所示：

$A_{15}A_{14}A_{13}A_{12}$	$A_{11}A_{10}A_9A_8$	$A_7A_6A_5A_4$	$A_3A_2A_1A_0$		
1 1 0 1	0 0 0 0	0 0 0 0	0 0 0 0	$A_8 \sim A_7$	$2^1 = 256$
\$Dφ				256 個位置	\$D000
1 1 0 1	0 0 0 1	1 1 1 1	1 1 1 1		\$D0FF
\$D1				256 個位置	\$D100
1 1 0 1	0 0 1 0	0 0 0 0	0 0 0 0		\$D1FF
\$D2				256 個位置	\$D200
1 1 0 1	0 0 1 1	1 1 1 1	1 1 1 1		\$D2FF
\$D3				256 個位置	\$D300
⋮					\$D3FF
1 1 0 1	0 1 1 1	0 0 0 0	0 0 0 0	256 個位置	\$D700
\$D7					\$D7FF

當 $φ1=0$ 且 $A_{15}A_{14}=11$ ，若 $A_{13}A_{12}A_{11}=011$ 則 ROM SELECT 會在 Z_7 輸出端產生一個 0(L) 的信號 (此時其它輸出端為 1)，由圖一上知此時 ROM D8 之晶片選擇 CS1 和 CS3 被致能 (且當 $\overline{INH}=H$ 時，CS2 被致能)。即此時經由 $A_0 \sim A_{10}$ 的位址信號，可選擇到 ROM D8 所含之 2K 位置中的任一位置。ROM D8 的 2 K 個位置可分成 8 個 pages (\$D8~\$DF)，每個 pages 含 256 個記憶位置 (\$φφ~\$FF)，其關係如下所示：

$A_{15}A_{14}A_{13}A_{12}$	$A_{11}A_{10}A_9A_8$	$A_7A_6A_5A_4$	$A_3A_2A_1A_0$		
1 1 0 1	1 0 0 0	0 0 0 0	0 0 0 0	$A_8 \sim A_7$	$2^1 = 256$
\$D8				256 個位置	\$D800
1 1 0 1	1 0 0 1	1 1 1 1	1 1 1 1		\$D8FF
\$D9				256 個位置	\$D900
1 1 0 1	1 0 1 0	0 0 0 0	0 0 0 0		\$D9FF
\$DA				256 個位置	\$DA00
⋮					\$DAFF
1 1 0 1	1 1 1 1	0 0 0 0	0 0 0 0	256 個位置	\$DF00
\$DF					\$DFFF

由上面的說明可推出當 $φ1=0$ 且 $A_{15}A_{14}=11$ 時，若 $A_{13}A_{12}A_{11}=100$ 則會選擇 (SELECT) 到 ROM Eφ (即 \$Eφ~\$E7，8

個 pages) 的 2 K 記憶位置。依此類推，當 $φ1=0$ 且 $A_{15}A_{14}=11$ 時，若 $A_{13}A_{12}A_{11}=111$ 則會選擇到 ROM F8 (即 \$F8~\$FF，8 個 pages) 的 2 K 個記憶位置，也就是經由 ROM SELECT 的輸出即可選擇到電路圖上所示 ROM Dφ~ROM F8，6 個 2 K Byte (2716) 共 12K 的記憶位置，為了清楚起見，將 ROM 之定址列表如下：

	$A_{15}A_{14}A_{13}$	ROM SELECT IC 輸出端	由 ROM SELECT 選擇到之 ROM	Pages	記憶大小
$φ1=0(L)$	0 1 0	Z_6	ROM Dφ	\$Dφ~\$D7	2K
$A_{15}A_{14}=11$	0 1 1	Z_6	ROM D8	\$D8~\$DF	2K
	1 0 0	Z_5	ROM Eφ	\$Eφ~\$E7	2K
$\overline{INH}=1(H)$	1 0 1	Z_5	ROM E8	\$E8~\$EF	2K
	1 1 0	Z_4	ROM Fφ	\$Fφ~\$F7	2K
	1 1 1	Z_4	ROM F8	\$F8~\$FF	2K

上面已經討論了 ROM SELECT 之六個輸出端 ($Z_2 \sim Z_7$) 分別選擇到 APPLE II 主機板上的六個 ROM 之情形，下面就來說明 ROM SELECT 之另兩個輸出端 (Z_0 和 Z_1) 被用來選擇 I/O 位置的情形。

I/O 之定址

APPLE II 的 I/O 有兩種，一種在主機板上 (ON board) 的 I/O，另一種是在周邊板的 I/O，由圖一系統記憶圖上可以看到由 \$C0~\$CF 共 16 pages 4K Byte 的記憶區為 I/O 所佔據，其中 \$C0 為主機板上 I/O 所用掉，而其餘為周邊板 I/O 用到的，下面來看看它們位置之選擇。

由圖三知當 $φ1=0(L)$ 且 $A_{15}A_{14}=11$ 時，若 $A_{13}A_{12}A_{11}=001$ 則在 ROM SELECT 的 Z_1 輸出端會產生一個 0(L) 的輸出，其它的輸出端為 1(H)，ROM SELECT Z_1 輸出端所產生的 0(L) 信號，被送到 APPLE II 主機板上之週邊連接器 (peripheral connector) 的 $\overline{I/O} \text{ STB}$ (I/O 激發) 輸入端，這樣一來即可定址到週邊卡上的 2 K 個記憶位置 (\$C8φφ~CFFF)，列表如下：

$A_{15}A_{14}A_{13}A_{12}$	$A_{11}A_{10}A_9A_8$	$A_7A_6A_5A_4$	$A_3A_2A_1A_0$	
1 1 0 0	1 0 0 0	0 0 0 0	0 0 0 0	256 個位置
§C8				
1 1 0 0	1 0 0 1	1 1 1 1	1 1 1 1	256 個位置
§C9				
1 1 0 0	1 0 1 0	1 1 1 1	1 1 1 1	256 個位置
§CA				
...				
1 1 0 0	1 1 1 1	0 0 0 0	0 0 0 0	256 個位置
§CF				
1 1 1 1				

週邊卡有很多種如 PRINTER CARD、DISK DRIVE CARD，……等，在 APPLE II 主機板上共具有 8 個（如圖三上電路上所示的週邊界面連接器（插座），用來連接這些週邊卡。

由電路上 ROM SELECT 之輸入端知，當

$\phi 1=0(L)$ 且 $A_{15}A_{14}=11$ 時，若 $A_{11}A_{12}A_{11}=000$ 則在 ROM SELECT 的 Z_0 輸出端會產生一個 0(L) 的信號，其它輸出端為 1(H)。從電路圖上知 ROM SELECT 之 Z_0 輸出端是連接到 I/O SELECT (74LS138-H12) 之致能 (E_1, E_2) 輸入端，另一致能輸入 (E_3) 是連接到 USER1 (平常 USER=H 即 E_3 被致能，當 USER=L 時，則 I/O SELECT 失效)，將整個 I/O SELECT 之定址列表說明如下：

$A_{10}A_9A_8$	I/O SELECTS 之輸出
1 1 1	$\overline{I/O} 7=L$ (其他輸出端為 H)
1 1 0	$\overline{I/O} 6=L$ (")
1 0 1	$\overline{I/O} 5=L$ (")
1 0 0	$\overline{I/O} 4=L$ (")
0 1 1	$\overline{I/O} 3=L$ (")
0 1 0	$\overline{I/O} 2=L$ (")
0 0 1	$\overline{I/O} 1=L$ (")

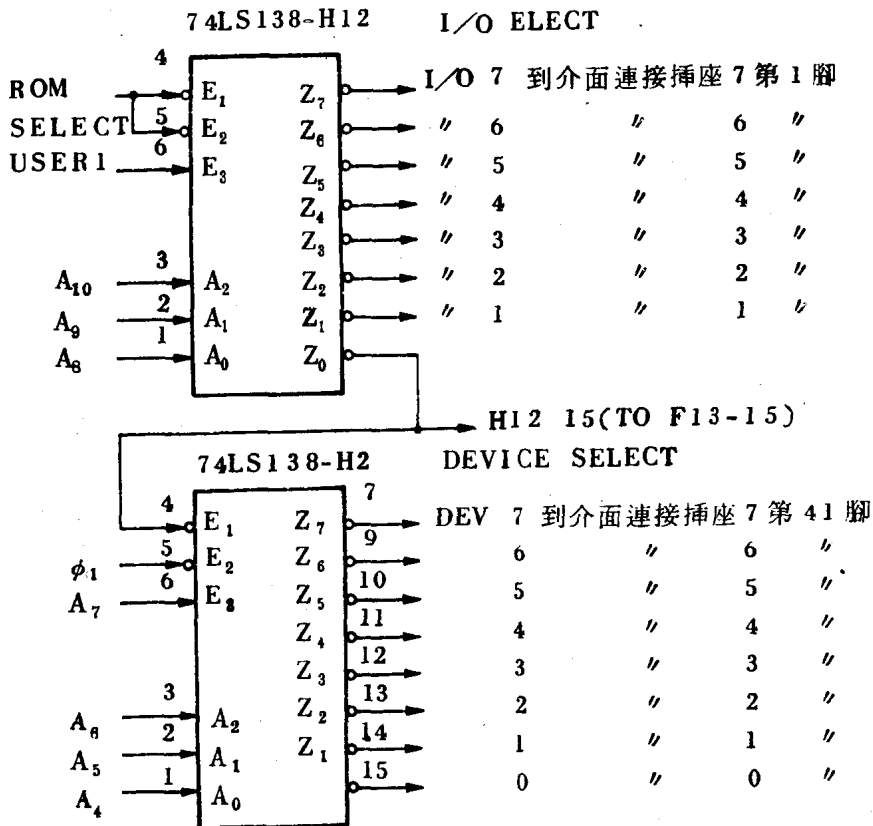


圖 三