



普通高等教育“十一五”国家级规划教材

EDA

EDA 技术实用教程

—— Verilog HDL 版 (第四版)

潘松 黄继业 潘明 编著



免费提供
教学资源

- 讲技术 授技能 求职就业的帮手
- 布情景 述过程 教学改革的能手
- 举示例 重实践 能力培养的强手

 科学出版社
www.sciencep.com

普通高等教育“十一五”国家级规划教材

EDA 技术实用教程

——Verilog HDL 版

(第四版)

科学出版社

北京

内 容 简 介

本书根据课堂教学和实验操作的要求,以提高实际工程设计能力为目的,深入浅出地对 EDA 技术、VerilogHDL 硬件描述语言、FPGA 开发应用及相关知识作了系统和完整的介绍,读者通过学习本书并完成推荐的实验,能初步了解和掌握 EDA 的基本内容及实用技术。

全书包括 EDA 的基本知识、常用 EDA 工具的使用方法和目标器件的结构原理、以情景导向形式和实例为主的方法介绍的多种不同的设计输入方法、对 Verilog 的设计优化以及基于 EDA 技术的典型设计项目。各章都安排了习题和针对性较强的实验与设计项目。书中列举的大部分 Verilog 设计实例和实验示例实现的 EDA 工具平台是 Quartus II 9.0,硬件平台是 Cyclone III 系列 FPGA,并在 EDA 实验系统上通过了硬件测试。

本书可作为高等院校电子工程、通信、工业自动化、计算机应用技术、电子对抗、仪器仪表、数字信号或图像处理等学科的本科生或研究生的电子设计、EDA 技术和 Verilog HDL 硬件描述语言的教材及实验指导书,同时也可作为相关专业技术人员的自学参考书。

图书在版编目 (CIP) 数据

EDA 技术实用教程: Verilog HDL 版/潘松,黄继业,潘明编著. —4 版. —北京:科学出版社,2010

(普通高等教育“十一五”国家级规划教材)

ISBN 978-7-03-027853-1

I. ①E… II. ①潘…②黄…③潘… III. ①电子电路-计算机辅助设计-应用软件-高等学校-教材②硬件描述语言, Verilog HDL-程序设计-高等学校-教材 IV. ①TN702②TP312

中国版本图书馆 CIP 数据核字 (2010) 第 103672 号

责任编辑:赵卫江/责任校对:耿 耘

责任印制:吕春珉/封面设计:耕者设计工作室

科学出版社出版

北京东黄城根北街 16 号

邮政编码:100717

<http://www.sciencep.com>

强生印刷厂印刷

科学出版社发行 各地新华书店经销

*

2002 年 10 月第 一 版 开本:787×1092 1/16

2005 年 2 月第 二 版 印张:26 1/4

2006 年 9 月第 三 版 字数:596 000

2010 年 7 月第 四 版 印数:1—5 000

2010 年 7 月第一次印刷

定价:39.00 元

(如有印装质量问题,我社负责调换(环伟))

销售部电话 010-62136131 编辑部电话 010-62138017(H101)

版权所有,侵权必究

举报电话:010-64030229; 010-64034315; 13501151303

前 言

在现代电子设计领域，Verilog HDL 作为 IEEE 标准的两大主流 HDL 之一，相比于 VHDL，具有易学易用和享有 ASIC 设计领域的主导地位等诸多优势。在全球范围内其用户覆盖率一直处于上升趋势。统计资料表明，Verilog HDL 的行业覆盖率现已超过 80%，在美国和日本则更高，已占绝对优势。例如美国使用 Verilog HDL 的工程师占 HDL 设计行业工程师的 90% 左右，并仍有上升趋势。由此势必导致我国 Verilog HDL 工程师和相关就业领域人才需求的不断增加。本书以 Verilog HDL 作为基本硬件描述语言来介绍 EDA 技术。作为教科书，与科学出版社出版的《EDA 技术实用教程——VHDL 版》构成了姐妹篇。

为了适应 EDA 技术在高新技术行业的需求和高校教学的要求，突出 EDA 技术的实用性，以及面向工程实际的特点和学生自主创新能力的培养，作者力图将 EDA 技术最新的发展成果、现代电子设计最前沿的理论和技術、国际业界普遍接受和认可的 EDA 软硬件开发平台的实用方法，通过本书合理的综合和萃取，奉献给读者。

本书所有的理论阐述和实践精解，包括示例和实验所基于的 EDA 软硬件平台分别是 Quartus II 9.x、Synplify、ModelSim、SOPC Builder 等和 Cyclone III 系列 FPGA。

随着 EDA 技术的发展和应用领域的扩大，EDA 技术在电子信息、通信、自动控制及计算机应用等领域的重要性日益突出。同时，随着技术市场与人才市场对 EDA 技术需求的不断提高，产品的市场效率和技术要求也必然会反映到教学和科研领域中来。以最近的十届全国大学生电子设计竞赛为例，涉及 EDA 技术的赛题从未缺席过。对诸如斯坦福大学、麻省理工学院等美国一些著名院校的电子与计算机实验室建设情况的调研表明，其 EDA 技术的教学与实践的内容也十分密集，在其本科和研究生教学中有两个明显的特点：其一，各专业中 EDA 教学实验课程的普及率和渗透率极高；其二，几乎所有实验项目都部分或全部地融入了 EDA 技术，其中包括数字电路、计算机组成与设计、计算机接口技术、数字通信技术、嵌入式系统、DSP 等实验内容，并且更多地注重创新性实验。这显然是科技发展和市场需求双重影响下自然产生的结果。

在业界，目前似乎有三个关键词与大学生的就业和发展关系密切，这就是数字技术、创新精神和实践能力。近年来，我国大学生特别是本科生就业形势一直难有起色，其中自有诸多因素。但有一点值得关注，即高职高专学生和研究生的就业情况都好于本科生。其中原因十分明显，也值得深究：即社会就业市场更青睐有实践能力的人才。

高职高专院校对学生的培养虽只有三年，但专业设置聚焦明确，完全根据就业市场需求设置教学与实践内容，且大比例课时数放在既定专业的实践训练和技能培训上。许多学校甚至在第一年就完成了诸如高等数学、数字电路、EDA 技术类基础和专业基础类课程的教学，此后两年几乎都放在工程实训上。至于研究生，除了书面学历高外，在实践训练的环境条件、时间跨度、内容强度、层次，以及与工程实际的结合度上也明显优于本科生。相比之下，本科生的大部分时间都在应付不断增加的各类课程的课堂学习

上, 实践安排相对较少。要论动手能力和实践经验, 本科生自然屈居第三, 就业形势必然严峻。然而就业的大军仍然是本科生! 如何来破解这一难题呢? 所谓以管窥豹, 略见一斑, 这里仅以本科数字电路课程教学为例, 来窥视分析本科生就业问题之一斑。

在本科电子、计算机、通信类等专业的课程中, 特别是工科类专业, 作为实质上的专业基础课, 大都是实践性强, 且需通过大量实践活动的反馈才能真正学好的课程, 而数字电路及其后续的 EDA 技术课程的教学和实践安排对于讨论就业问题具有代表性。

统计表明, 目前多数高校的数字电路课程授课课时数是 64 学时, 实验课时数是 16 学时, 实践课与理论课课时数的比例仅为 1 : 3; 课程多安排在二年级下或三年级上。这不难看出存在两个严重的问题: 首先, 重理论讲授轻实践训练(而其中的所谓“理论”多数也不过是过时的手工数字设计技术)。这个 1 : 3 的比例最终导致多数学生只会并只注重书面应试。其次, 基础课程安排的时间太晚。在现代数字技术高速发展的今天, 本科电子、计算机、通信类专业中大量重要课程都以数字电路为基础课。就是说诸如 EDA 技术、硬件描述语言、单片机技术、DSP 技术、嵌入式系统应用技术、计算机组成与设计技术、计算机接口技术、数字通信技术等公共专业基础课, 还有与具体专业直接相关的课程, 如工业自动化、网络安全、软件无线电、蓝牙技术、仪器仪表、生物信息工程、数字电子对抗、神经网络系统、数字电磁兼容技术等, 统统都必须放在数字电路课之后。然而现在, 待数字电路课学完(还谈不上已学好)已经是三年级了, 而四年级后半段基本属于四面出击求职求业的一年, 多已无心向学, 这是不争的事实。

美国斯坦福大学教授 Nigel P. Cook 在其 *Practical Digital Electronics* 一书中指出: 第二次世界大战以来, 电子学对世界的发展所做的贡献超过了所有其他学科, 电子工业已超过了汽车和石油工业成为世界上最大的工业。而且这个巨型工业中的一个重要趋势是从模拟技术向数字技术的转化, 数字技术将曾经毫不相干的领域融为一体, 导致 90% 以上电子产品采用了数字技术, 数字电子技术还将继续整合整个工业体系, 促进人类在各个不同领域的进步。

这个 90% 说明什么? 这不就是告诉我们, 在业界, 与数字技术相关的就业领域的口径占整个就业领域的 90% 之宽吗! 然而我们想问, 以上的那些与数字技术相关的、极其重要且与未来的深造、发展、创业、就业甚至再就业(考虑下岗)关系重大的课程能在余下的一年甚至不到一年的时间内学完吗? 如果可能, 那也只能停留在课堂上的听听课而已, 至于实践机会恐已成了奢侈品, 更不用提什么融会贯通、培养自主创新能力了。其结果一定是常从毕业学生口中听到的那句让人愕然又无奈的话: 老师, 我感到什么都学了, 但还什么都不会。因为在他们求职的道路上, 除了一张似是而非的成绩单, 对招聘者的盘问基本没有底气去接招。

何谓学术? 就是学有所长, 术有专攻。仅仅是听听讲课, 动动笔头, 敲敲键盘, 无论是理论还是实践都是蜻蜓点水, 浅尝辄止, 致使学不深, 业不精, 就业自然困难。显然, 要从根本上改变这一现象, 必须抓住核心课程数字电路课及其后续课 EDA、DSP 等, 解决三个问题: 第一, 什么时候学; 第二, 学什么; 第三, 如何学。

对于第一个问题, 就是数字电路课程的教学改革, 它作为我校 EDA 技术国家级精品课程的延伸内容之一, 考虑到将此课程提前上的重要性, 并通过数年的试点教学实践和经验总结, 现已成功地将部分本科学生的数字电路课授课时间从原来的第四学期甚至

第五学期逐步提前到了第二学期，其他相关课程，如 EDA、单片机、计算机接口等也顺次提前。这样，学生到二年级时就有了培养工程实践和自主开发能力的条件了。

第二个问题涉及教学内容。数字电路课程的大幅提前必定要以改革教学内容为前提，否则一味提前，教学效果也将归于失败。首先是推出适应新需求的教材（科学出版社出版的《数字电子技术基础》），对于目前长期作为数字技术教学重点的且已过时的、基于纯手工数字技术的内容仅作为现代数字技术教学的阶梯和过渡内容，强化基于现代数字技术的教学和实践训练，并适当引入低层次的 EDA 技术，如基于原理图的输入设计方法，不涉及 HDL，使教学和实践训练的内容更有效地面向后续课程。而传统数字电路的内容是纯手工技术，根本无法满足如今高速变化的各实际工程专业相关课程的需求。

第三个问题最重要，如何学包括如何教，既是个方法问题，更是个认识问题。以我校的数字电子技术和 EDA 技术的授课情况为例，对于前者不仅仅是课程设置的提前，更重要的是瞄准人才市场的需求和电子科技发展的现状，强化实践训练，强调工程实际与基础理论相结合，重点鼓励学生的自主设计意识和首创精神。将数字电路授课学时数压缩到 40 学时，而实验学时数扩至 80 学时，其中包括与之相关的课内实验（16 学时）、独立实验（32 学时）和课程设计实验（32 学时）。具体内容包括验证性实验、基础实验、自主设计性实验和综合创新性实验。最后一类实验要求学生必须给出可硬件验收的设计项目和论文，然后参加答辩（在一年级第二学期结束时进行）。

作为紧密相关的后续课程，EDA 技术课的总学时数是 48 学时，实验与授课学时数之比是 1:1。同时，为了有效倍增学生的实践和自主设计的时间，每一个上 EDA 课的学生都可借出一套 EDA 实验开发板，使他们能利用自己的计算机在课余时间完成自主设计项目，强化学习效果。实践表明，这种安排使得实验与授课的等效学时数之比最大可达 3:1，成效非常明显。

基于同样重视实践能力和创新意识培养的理念，单片机教学实验和授课学时数之比已近 $x:0$ ，即不单独安排授课学时数，第一课就在实验室中进行，边讲授、边学习、边实践。如此高强度的实践磨砺何虑找不到工作！

基于以上的讨论和认识，我们对本书各章节作了相应的安排，其特点有以下三个。

1. 注重实践、实用和创新能力的培养

除在各章中安排了许多习题外，绝大部分章节都安排了针对性较强的实验与设计项目，使学生对每一章的课堂教学内容和教学效果能及时通过实验得以消化和强化，并尽可能地从学习一开始就有机会将理论知识与实践、自主设计紧密联系起来。

全书总共给出约 60 个实验及其相关的设计项目，这些项目涉及的技术领域宽，知识涉猎密集、针对性强，且自主创新意识的启发性好。与本书的示例一样，所有的实验项目都通过了 EDA 工具的仿真测试并通过 FPGA 平台的硬件验证。每一个实验项目除给出详细的实验目的、实验原理和实验报告要求外，还含 2~5 个子项目或子任务。它们通常分为：第一（层次）实验任务是与该章某个阐述内容相关的验证性实验，通常提供详细的并被验证的设计源程序和实验方法，学生只需将提供的设计程序输入计算机，并按要求进行编译仿真，在实验系统上实现即可，使学生有一个初步的感性认识，这也

提高了实验的效率；第二（层次）实验任务是要求在上一实验基础上作一些改进和发挥；第三个层次的实验通常是提出自主设计的要求和任务；第四、第五个实验层次则在仅给出一些提示的情况下提出自主创新性设计的要求。因此，教师可以根据学时数、教学实验的要求以及不同的学生对象，布置不同层次、含不同任务的实验项目。

2. 注重速成和学习效率

一般认为 EDA 技术的难点和学习费时的根源在于硬件描述语言。对此，全书做了有针对性的安排：根据专业特点，摒弃流行的计算机语言的教学模式，打破目前 HDL 教材通行的编排形式，而以电子线路设计为基点，从实例的介绍中引出 Verilog 语句语法内容。同时为了尽快进入 EDA 技术的实践阶段，熟悉 EDA 开发工具及其相关硬件的使用方法，及时安排了大量有针对性的实验项目，以便读者能尽早进入数字系统设计经验的积累和能力提高阶段，并能通过这些面向实际的实践和实验活动，快速深化对硬件描述语言的理解和掌握对应的设计技巧。

本书通过数则简单而典型的 Verilog HDL 设计示例（电路情景）和电路模型，从具体电路和实用背景下引出相关的可综合的 Verilog HDL 语言现象和语句规则，并加以深入浅出地说明，读者仅通过前期一些章节的学习便能迅速了解并掌握 Verilog HDL 描述与逻辑电路间的基本关系，从而极大地降低了 HDL 的学习难度，大幅提高了学习效率，快速实现了学以致用目的。多年的实践已证明这是一种高效学习硬件描述语言和 EDA 技术的好方法。这种学习流程还是目前国外流行的基于情景和工作过程的教学模式，是一种自顶向下的高效的学习模式。

这种方法对于学时数极少的极端情况更显其有效性。例如，这些内容可分别在约 10 个授课学时加 10 个实验学时，即约三至四天的时间内完成，其教学效果在与许多高校联合举办的 EDA 研习班上已得到了充分的证明。

3. 注重相对独立性与系统性、完整性的有机结合

本书定位是教科书而非参考书，因此无论各章节的理论讲述安排还是实验配置都有很好的内在联系性，同时又具有一定的相对独立性。教师可以根据学时设置情况、专业特点和具体的教学要求仅选择其中某些章节来讲授，这并不会破坏系统性和知识的连贯性。例如，若不足 20 个学时，可以只学前四章，前两章只需安排 2 个学时，这是速成的最低要求。学习完成后同样能较好地掌握 Verilog 语言、EDA 软件工具和 FPGA 开发技术。如果学时数再多一点，可以只讲授前八章，这样，学生的 EDA 技术功力还能向前再跨一步，也为参加诸如全国大学生电子设计竞赛类赛事奠定了基础。

然而，就已编排的授课内容以及对应的实验配置，本书所含的内容都大大超过了通常的 EDA 课程学时数（如 44 学时）。这似乎有悖于以上对本书作为教材的定位。这是因为我们考虑到，任何学科都有其内在的系统性和完整性，EDA 技术及其紧密相连的硬件描述语言也一样，自有其完整的体系结构和独具特色的知识系统构架。它的基本内容、外延内涵、知识涉猎和基础构架的完整性绝不会随某个学校的学时数限制而有所改变或随意切割和裁剪。本书之于 EDA 技术构建了一个不容割裂和裁剪的有机整体，最低限度地保证了 EDA 技术与 HDL 知识构架内在的系统性和完整性。从这个意义上讲，

对于将要学习 EDA 课程的学生而言，本书中所有章节的内容都是十分重要而不可或缺的。因此，本书作为一本教科书的定位既不是为了适应某课程的学时数限制，也非仅对应某个专业学科的需求。

本书的唯一定位目标是，基于全书给出的完整的知识结构，注重实践第一的观念，强化创新意识的培养，通过课堂合理的教学安排，结合学生明晰的求知觉悟和踏实的实践精神，为了即将离开学校面向招聘者、面向研究生导师、面向社会、面向未来的同学能多一份自信、多一点信心和多一线希望。

由此可见，为了速成，为了满足有限的学时数，课程中裁剪一些教学的内容只是权宜之计，是手段，而非目的。无论学时数是多少，无论专业特点是什么，我们建议应该积极鼓励学生利用课余时间尽可能学完本书的全部内容，掌握本书介绍的所有 EDA 工具软件和相关开发手段，并尽可能多地完成本书配置的实验和设计任务。

对于完全没有机会获得老师直接指导或授课的自学者，只要有数字电路的基础，并按以下步骤学习本书，也同样能在较短的时间内掌握 EDA 技术：

(1) 通读第 1 章和第 2 章，尽可能地记住其中的一些名词、概念和重要解说。对于一时不理解的内容尽可放过，不要停留，完全可以“不求甚解”地去阅读。

(2) 精读第 3 章。对于实在弄不懂的内容可暂时放下，不必急于弄清，待步骤 (3) 后，即完成基于 Quartus II 的相关仿真和硬件实验后再回过头来阅读，自然就明白了。

(3) 精学第 4 章中 4.1 节和 4.5 节。这些内容的学习必须有计算机和 Quartus II 软件的帮助，边阅读边上机验证，特别注意学习对 Verilog 程序设计的仿真技术。

(4) 利用步骤 (3) 学到的仿真技术对第 3 章所有示例进行仿真验证，排除疑点。

(5) 精读第 5 章，并在计算机上对所有示例进行仿真验证，以便深入理解。

(6) 如果有 FPGA 实验板，精读并硬件验证第 4 章中 4.2 节至 4.11 节的示例。

(7) 精读并硬件验证第 6 章全部示例，完成部分实验。再次通读第 1 章和第 2 章。

(8) 精读第 8 章并尽可能完成全部实验。注意此章介绍的内容十分实用。

(9) 最后分别学习第 7、9、10 和 11 章，根据实际情况完成相应的实验。

现代电子设计技术是发展的，相应的教学内容和教学方法也应不断地改进，还有许多问题值得深入探讨，其中包括以上提出的有关 EDA 教学的一家之言。我们真诚地欢迎读者对书中的错误及有失偏颇之处给予批评指正 (eda82@hznc.com)。

为了本书的顺利出版，杭州康芯电子有限公司高级工程师徐生和姜兆刚先生在 IP 核的应用、大量实验设计项目的验证、各种 EDA 软件工具的安装以及 SOPC 软硬件项目的调试等方面完成了大量的无可替代的工作，在此对他们表示诚挚的谢意！

为了尽可能降低成本和售价，本书未配置光盘。与本书相关的资料，包括配套课件、实验示例源程序、相关设计项目的参考资料和附录中提到的 MIF 文件编辑生成软件等文件资料可免费索取，网址是 www.kx-soc.com，也可直接与科学出版社 (www.abook.cn) 联系。

作 者

2010 年 7 月

于杭州电子科技大学

目 录

第 1 章 EDA 技术概述	1
1.1 EDA 技术及其发展	1
1.2 EDA 技术实现目标	3
1.3 硬件描述语言 Verilog HDL	4
1.4 其他常用 HDL	5
1.5 HDL 综合	6
1.6 自顶向下的设计技术	8
1.7 EDA 技术的优势	11
1.8 EDA 设计流程	12
1.8.1 设计输入（原理图/HDL 文本编辑）	12
1.8.2 综合	14
1.8.3 适配	14
1.8.4 时序仿真与功能仿真	14
1.8.5 编程下载	15
1.8.6 硬件测试	15
1.9 ASIC 及其设计流程	15
1.9.1 ASIC 设计简介	15
1.9.2 ASIC 设计一般流程简述	17
1.10 常用 EDA 工具	18
1.10.1 设计输入编辑器	18
1.10.2 HDL 综合器	19
1.10.3 仿真器	20
1.10.4 适配器	21
1.10.5 下载器	21
1.11 Quartus II 概述	21
1.12 IP 核	23
1.13 EDA 技术发展趋势管窥	24
习题	26
第 2 章 FPGA 与 CPLD 的结构原理	27
2.1 PLD 概述	27
2.1.1 PLD 的发展历程	27
2.1.2 PLD 分类	28
2.2 简单 PLD 结构原理	29
2.2.1 逻辑元件符号表示	29

2.2.2	PROM 结构原理	30
2.2.3	PLA 结构原理	32
2.2.4	PAL 结构原理	32
2.2.5	GAL 结构原理	34
2.3	CPLD 的结构原理	36
2.4	FPGA 的结构原理	39
2.4.1	查找表逻辑结构	39
2.4.2	Cyclone III 系列器件的结构原理	40
2.5	硬件测试	45
2.5.1	内部逻辑测试	45
2.5.2	JTAG 边界扫描	46
2.5.3	嵌入式逻辑分析仪	49
2.6	大规模 PLD 产品概述	49
2.6.1	Lattice 公司的 PLD 器件	49
2.6.2	Xilinx 公司的 PLD 器件	51
2.6.3	Altera 公司的 PLD 器件	53
2.6.4	Actel 公司的 PLD 器件	56
2.6.5	Altera 的 FPGA 配置方式	56
2.7	CPLD/FPGA 的编程与配置	57
2.7.1	CPLD 在系统编程	57
2.7.2	FPGA 配置方式	58
2.7.3	FPGA 专用配置器件	59
2.7.4	使用单片机配置 FPGA	60
2.7.5	使用 CPLD 配置 FPGA	62
	习题	62
第 3 章	Verilog 设计入门	63
3.1	组合电路的 Verilog 描述	63
3.1.1	2 选 1 多路选择器及其 Verilog 描述	63
3.1.2	4 选 1 多路选择器及其 case 语句表述方式	67
3.1.3	4 选 1 多路选择器及其数据流描述方式	72
3.1.4	4 选 1 多路选择器及其 if 语句描述方式	75
3.1.5	加法器及其 Verilog 描述	77
3.2	时序模块及其 Verilog 表述	82
3.2.1	边沿触发型触发器及其 Verilog 表述	82
3.2.2	电平触发型锁存器及其 Verilog 表述	83
3.2.3	含异步复位/时钟使能型触发器及其 Verilog 表述	85
3.2.4	同步复位型触发器及其 Verilog 表述	85
3.2.5	异步复位型锁存器及其 Verilog 表述	86
3.2.6	Verilog 的时钟过程表述的特点和规律	87

3.2.7 异步时序模块的 Verilog 表述	88
3.3 二进制计数器及其 Verilog 设计	89
3.3.1 4 位二进制计数器及其 Verilog 表述	89
3.3.2 功能更全面的计数器设计	91
习题	93
第 4 章 EDA 工具应用初步	95
4.1 硬件逻辑电路的一般设计和测试流程	95
4.1.1 编辑和输入设计文件	95
4.1.2 创建工程	96
4.1.3 全程编译前约束项目设置	98
4.1.4 全程综合与编译	99
4.1.5 仿真测试	100
4.1.6 RTL 图观察器应用	103
4.2 引脚锁定与硬件测试	104
4.2.1 引脚锁定	104
4.2.2 编译文件下载	105
4.2.3 AS 直接编程模式	106
4.2.4 JTAG 间接编程模式	106
4.2.5 USB-Blaster 编程配置器件使用方法	108
4.2.6 图形方式设置引脚锁定	108
4.2.7 利用引脚属性定义方式锁定引脚	108
4.3 嵌入式逻辑分析仪使用方法	109
4.4 编辑 SignalTap II 的触发信号	114
4.5 原理图编辑输入设计流程	115
4.5.1 基于原理图的层次化设计流程	116
4.5.2 应用宏模块设计频率计	119
4.5.3 宏模块逻辑功能查询	123
4.6 keep 属性应用	123
4.7 SignalProbe 使用方法	125
4.8 Settings 设置	126
4.9 Fitter Settings 项设置	126
4.10 HDL 版本设置及 Analysis & Synthesis 功能	127
4.11 功能块 Chip Planner 应用	128
4.11.1 Chip Planner 应用流程说明	128
4.11.2 Chip Planner 说明	129
4.11.3 利用 Change Manager 检测底层逻辑	130
4.12 Synplify 的应用及接口方法	131
4.12.1 Synplify 使用流程	132
4.12.2 Synplify 与 Quartus II 接口	134

习题	136
实验与设计	137
4-1 计数器设计实验	137
4-2 多路选择器设计实验	138
4-3 8 位全加器设计实验	138
4-4 原理图输入法设计频率计	139
4-5 十六进制 7 段数码显示译码器设计	139
4-6 数码扫描显示电路设计	140
第 5 章 Verilog 设计深入	142
5.1 过程中的两类赋值语句	142
5.1.1 阻塞式赋值	142
5.1.2 非阻塞式赋值	143
5.1.3 深入认识阻塞赋值和非阻塞式赋值的特点	144
5.2 过程结构总结	148
5.3 移位寄存器设计	151
5.3.1 含同步预置功能的移位寄存器设计	152
5.3.2 模式可控的移位寄存器设计	153
5.3.3 使用移位操作符设计移位寄存器	154
5.4 乘法器设计及相关语句应用	155
5.4.1 参数定义关键词 parameter	155
5.4.2 整数型寄存器类型定义	155
5.4.3 for 语句用法	156
5.4.4 repeat 语句用法	157
5.4.5 while 语句用法	157
5.4.6 Verilog 循环语句的特点	158
5.5 if 语句一般用法	158
5.6 三态与双向端口设计	161
5.6.1 三态控制电路设计	162
5.6.2 双向端口设计	162
5.6.3 三态总线控制电路设计	164
5.7 模可控计数器设计	166
5.7.1 同步加载模型设计	166
5.7.2 异步加载模型设计	168
5.7.3 异步清 0 加载模型设计	168
5.7.4 同步清 0 加载模型设计	169
5.8 半整数与奇数分频电路设计	170
5.9 Verilog 的描述风格	171
5.9.1 RTL 描述	172
5.9.2 行为描述	172

5.9.3 数据流描述	174
5.9.4 结构描述	174
习题	175
实验与设计	175
5-1 半整数与奇数分频器设计	175
5-2 模可控计数器设计	176
5-3 VGA 彩条信号显示控制电路设计	176
5-4 移位相加型 8 位硬件乘法器设计	179
5-5 移位寄存器设计	181
5-6 串行静态显示控制电路设计	181
第 6 章 EDA 工具应用深入	182
6.1 LPM 计数器模块调用	182
6.1.1 计数器 LPM 模块文本文件的调用	182
6.1.2 LPM 计数器程序与参数传递语句	184
6.1.3 创建工程与仿真测试	185
6.2 流水线乘法累加器设计	186
6.2.1 LPM 加法器模块设置	187
6.2.2 LPM 乘法器模块设置	188
6.2.3 仿真乘法累加器	188
6.2.4 乘法器的 Verilog 文本表述和相关属性设置	189
6.3 LPM_RAM 模块的设置	191
6.3.1 初始化文件生成	191
6.3.2 LPM_RAM 设置和调用	193
6.3.3 测试 LPM_RAM	195
6.3.4 存储器的 Verilog 文本描述及相关属性应用	195
6.4 LPM_ROM 的定制和使用示例	199
6.4.1 LPM_ROM 定制和测试	199
6.4.2 LPM 存储器模块取代设置	200
6.4.3 正弦信号发生器设计	200
6.4.4 硬件实现和测试	201
6.5 在系统存储器数据读写编辑器应用	202
6.6 FIFO 定制	204
6.7 嵌入式锁相环 ALTPLL 调用	205
6.7.1 嵌入式锁相环参数设置	205
6.7.2 锁相环调用和测试的注意事项	207
6.8 数控振荡器核使用方法	208
6.9 FIR 核使用方法	211
6.10 单片机 IP 核应用	213
6.11 DDS 实现原理与应用	215

6.11.1	DDS 原理	215
6.11.2	DDS 信号发生器设计	217
	习题	218
	实验与设计	218
6-1	查表式硬件运算器设计	218
6-2	正弦信号发生器设计	220
6-3	8 位数码显示频率计设计	220
6-4	简易逻辑分析仪设计	221
6-5	DDS 正弦信号发生器设计	222
6-6	移相信号发生器设计	223
6-7	4×4 阵列键盘键信号检测电路设计	224
6-8	VGA 简单图像显示控制模块设计	226
6-9	8051 单片机 IP 核 SOC 片上系统设计实验	227
6-10	基于 8051 核的数字温度器件 DS18B20 测控电路设计	227
第 7 章	系统设计优化	228
7.1	资源优化	228
7.1.1	资源共享	229
7.1.2	逻辑优化	230
7.1.3	串行化	231
7.2	速度优化	232
7.2.1	流水线设计	232
7.2.2	寄存器配平	234
7.2.3	关键路径法	235
7.2.4	乒乓操作法	235
7.2.5	加法树法	236
7.3	优化设置与分析	236
7.3.1	增量布局布线控制	236
7.3.2	检查设计可靠性	237
7.3.3	时序设置与分析	237
7.3.4	查看时序分析结果	239
7.3.5	适配优化设置	240
7.3.6	LogicLock 优化技术	242
	习题	242
	实验与设计	243
7-1	SPWM 脉宽调制控制系统设计	243
7-2	基于 DES 数据加密标准的加解密系统设计	245
7-3	采用流水线技术设计高速数字相关器	246
7-4	线性反馈移位寄存器设计	246
7-5	步进电机细分控制电路设计	247

7-6	基于 FT245BM 的 USB 通信控制模块设计	250
7-7	直流电机综合测控系统设计	250
7-8	VGA 动画图像显示控制电路设计	252
7-9	AM 幅度调制信号发生器设计	252
第 8 章	有限状态机设计技术	254
8.1	Verilog 状态机的一般形式	254
8.1.1	状态机的特点与优势	255
8.1.2	状态机的一般结构	256
8.1.3	初始控制与表述	259
8.2	Moore 型状态机及其设计	261
8.2.1	多过程结构型状态机	261
8.2.2	序列检测器及其状态机设计	265
8.3	Mealy 型状态机设计	266
8.4	SystemVerilog 的枚举类型应用	270
8.5	状态机图形编辑设计	270
8.6	不同编码类型状态机	272
8.6.1	直接输出型编码	273
8.6.2	用宏定义语句定义状态编码	275
8.6.3	宏定义命令语句	276
8.6.4	顺序编码	276
8.6.5	一位热码编码	277
8.6.6	状态编码设置	277
8.7	安全状态机设计	279
8.7.1	状态导引法	280
8.7.2	状态编码监测法	280
8.7.3	借助 EDA 工具自动生成安全状态机	281
8.8	硬件数字技术排除毛刺	281
8.8.1	延时方式去毛刺	281
8.8.2	逻辑方式去毛刺	283
8.8.3	定时方式去毛刺	284
	习题	285
	实验与设计	285
8-1	序列检测器设计	285
8-2	ADC 采样控制电路设计	286
8-3	数据采集模块设计	287
8-4	五功能智能逻辑笔设计	288
8-5	比较器加 DAC 器件实现 ADC 转换功能电路设计	290
8-6	通用异步收发器 UART 设计	290
8-7	点阵型与字符型液晶显示器驱动控制电路设计	291

8-8	串行 ADC/DAC 控制电路设计	292
8-9	硬件消抖动电路设计	292
8-10	数字彩色液晶显示控制电路设计	292
8-11	状态机控制串/并转换 8 数码静态显示	293
8-12	基于 CPLD 的 FPGA PS 模式编程配置控制电路设计	294
第 9 章	Verilog 语言规则	295
9.1	文字规则	295
9.2	数据类型	297
9.2.1	net 网线类型	297
9.2.2	register 寄存器类型	298
9.2.3	存储器类型	298
9.3	操作符	298
9.4	基本语句	299
9.4.1	initial 过程语句	299
9.4.2	forever 循环语句	300
9.4.3	编译指示语句	301
9.4.4	任务和函数语句	302
9.5	用库元件实现结构描述	305
	习题	306
	实验与设计	307
9-1	乐曲硬件演奏电路设计	307
9-2	等精度频率/脉宽/占空比/相位多功能测试仪设计	311
9-3	正交幅度调制与解调系统实现	317
9-4	基于 UART 串口控制的模型电子琴设计	319
9-5	基于 M9K RAM 型 LPM 移位寄存器设计	321
9-6	单片全数字型 DDS 函数信号发生器综合设计实验	321
9-7	乒乓球游戏电路设计	321
9-8	PS2 键盘控制模型电子琴电路设计	322
9-9	GPS 应用的通信电路设计	323
第 10 章	Verilog 行为仿真	324
10.1	Verilog 行为仿真流程	324
10.2	ModelSim 应用向导	327
10.3	Verilog 系统任务和预编译语句	332
10.3.1	系统任务、系统函数	332
10.3.2	预编译语句	338
10.4	基本元件与用户自定义元件 (UDP)	339
10.4.1	基本元件及其用法	339
10.4.2	用户自定义元件 (UDP)	342
10.5	延时模型	346

10.5.1	#延时	346
10.5.2	门延时	347
10.5.3	延时说明块	348
10.6	其他仿真语句	348
10.6.1	initial 语句	348
10.6.2	fork-join 块语句	349
10.6.3	wait 语句	351
10.6.4	force、release 语句	351
10.6.5	deassign 语句	352
10.7	仿真激励信号的产生	352
10.8	Verilog 测试基准	354
10.9	Verilog 数字系统仿真	355
	习题	356
	实验与设计	357
10-1	在 ModelSim 上进行 4 位计数器仿真	357
10-2	在 ModelSim 上进行 16 位累加器设计仿真	357
第 11 章	SOPC 系统开发技术	358
11.1	32 位 Nios II 嵌入式核	358
11.1.1	Nios II 结构	358
11.1.2	Nios II 系统的优势	359
11.2	SOPC 系统设计流程	361
11.2.1	Nios II 系统设计流程	361
11.2.2	Avalon 总线外设	362
11.2.3	DMA 结构	364
11.2.4	定制指令	365
11.3	SOPC 系统设计示例	366
11.3.1	Nios II 硬件系统设计流程	366
11.3.2	Nios II 软件设计流程	370
11.4	SOPC 系统接口设计	376
11.4.1	用户自定义组件设计	376
11.4.2	用户自定义指令设计	378
11.4.3	IDE Flash 编程下载	379
11.5	SOPC 系统综合设计	382
	实验与设计	385
11-1	多功能数字钟	385
11-2	彩色液晶显示控制电路设计	386
11-3	基于 Nios II 的直流电机控制	387
11-4	定制硬件乘法器	387
11-5	乐曲演播控制	388