

电子计算机

译文集

3083

2

科学出版社

电子计算机译文集

《国外电子计算机动态》编辑部翻译

科学出版社

1971

内 容 简 介

本书共收入英、日杂志近期刊载的有关电子计算机方面的文章十五篇,其中包括:超大型集成电路计算机的整体设计,缓冲存储器的设计,晶体管脱基二极管集成电路,微秒电流开关,晶体管设计与制造,大型磁膜存储器,金属-氧化物-半导体存储矩阵以及集成电路计算机的结构工艺、布线、热设计。此外,还收集用计算机设计集成电路的文章。

本书可供从事这方面工作的工人、科技人员以及有关专业师生参考。

2490/13

电 子 计 算 机 译 文 集

《国外电子计算机动态》编辑部翻译

*

科学出版社出版

北京西直门外三里河路2号

北京市书刊出版业营业登记证出字第061号

中国科学院印刷厂印刷

新华书店北京发行所发行 各地新华书店经售

*

1971年2月第 一 版

开本: 787×1092 1/32

1971年2月第一次印刷

印张: 7 1/2

字 数: 167,000

统一书号: 15031·274

本社书号: 3626·15-8

定 价: 0.55 元

毛主席語录

我們不能走世界各国技术发展的老路，跟在別人后面一步一步地爬行。我們必須打破常規，尽量采用先进技术，在一个不太长的历史时期內，把我国建設成为一个社会主义的現代化的强国。

一切外国的东西，如同我們对于食物一样，必須經過自己的口腔咀嚼和胃腸运动，送进唾液胃液腸液，把它分解为精华和糟粕两部分，然后排泄其糟粕，吸收其精华，才能对我們的身體有益，决不能生吞活剥地毫无批判地吸收。

中国人民有志气，有能力，一定要在不远的将来，赶上和超过世界先进水平。

译 者 的 话

在伟大领袖毛主席“中国应当对于人类有较大的贡献”的伟大号召鼓舞下，在“独立自主、自力更生”的伟大方针指引下，我国工业、农业、科学技术等各个战线，革命和生产捷报频传，呈现出一派热火朝天的大好局面。计算机事业也正以前所未有的速度飞跃发展。“我们正在做我们的前人从来没有做过的极其光荣伟大的事业。”

遵照毛主席“洋为中用”的教导，我们选译了十五篇国外近期有关电子计算机方面的文章，供大家参考。

本书内容包括五个部分：超大型电子计算机结构和部件的逻辑设计；新元件和线路的设计和制造；几种内存存储器的研制；集成电路计算机的结构工艺；计算机的应用等。

应该指出，由于反动腐朽的资本主义制度的束缚和扩军备战的影响，资本主义国家的科学技术是畸形发展的。同时，帝国主义正处在内外交困、财政经济危机日益加深之中，其计算技术的发展，也是困难重重，设计指标往往一降再降。如美帝大肆吹嘘的伊利阿克 IV 计算机，原设计为 256 台处理机，现只做 64 台；原定采用中规模集成电路，现被迫改用普通的单块集成电路，因而整机速度与性能大大降低，由所谓“十亿次”降为两亿次，而成本则成倍地提高。此外，书中有的文章，作者从资产阶级商业观点和唯心主义观点出发，吹捧垄断资产阶级或自吹自擂，如多处突出某家公司或自认为所论述的方法和工艺是“最完善的”或“唯一可行的”；有的文章还有理论脱离实际、烦琐哲学等弊病。总之，我们对于这些外国资

• i •

料，“**决不能生吞活剥地毫无批判地吸收**”，要打破洋框框，走自己发展的道路，正如伟大领袖毛主席教导我们：“**外国有的，我们要有，外国没有的，我们也要有。**”

原文中明显谬误之处，我们已作了删节。由于我们活学活用毛泽东思想不够，译文中还会有错误，希望读者提出宝贵意见。

目 录

伊利阿克-IV 计算机	(1)
360 系统 85 型机的缓冲存储器	(19)
采用微微秒电路的大规模集成乘法器	(29)
晶体管肖脱基势垒二极管集成逻辑电路	(39)
亚毫微秒电流开关及其晶体管的设计与制造	(64)
用锗集成电路设计微微秒计算机	(79)
用集成电路驱动长线	(91)
大容量磁膜存储器研制的进展	(111)
MOS 随机取数矩阵	(125)
集成电路计算机的结构设计	(132)
多层印制板与插头座设计中的高性能技术	(142)
采用集成电路的电子计算机的散热设计	(156)
IBM 360/91 型计算机的散热设计	(174)
集成逻辑电路组装的设计自动化	(195)
计算机辅助设计 MOS 集成电路	(211)

伊 利 阿 克-IV 計 算 机

1. 引 言

对一系列已经公式化但计算量很大的问题的研究,受到目前可用的或提出的计算机的计算能力的限制。其中包括很大的矩阵(即线性规划)的处理,有大量网格点的偏微分方程组的解(即气象模型),还有要求极快的数据相关技术(相位方阵信号处理)。这些领域的重大进展要求计算速度比普通计算机高几个数量级。

同时,信号传送速度成为提高按严格时序的计算机速度的严重障碍。因此,最近几年为了重迭在时序处理时的功能,引入若干技术,即多相存储器、程序先行部件及流水线运算器。这样,速度提高了,但设备成本费用大量增加,并且使机器校验和可靠性方面随之而来的问题复杂化。

用操作的高度的并行化而不是各个部分操作的重迭,可以使速度随门的数量线性增加,因此曾在几个设计中进行了探索。“所罗门”(SOLOMON)计算机在其结构中采用高度的并行化,它有下列四个特点:

1. 运算器的大方阵可由一个信号控制器控制,以使用一条指令流为多条数据流排次序;
2. 所有数据处理共用的存储器地址和数据由中央控制器播散(broadcast);
3. 每台处理机的某些局部控制是由允许每台处理机按照局部测试使共用指令能否执行来得到的;

4. 方阵中的处理机与邻近的处理机连接, 提供数据交换的适当耦合。

对最初的“所罗门”计算机的研究表明, 这种并行方法对一些重要的计算领域是易行的和可用的。大规模集成电路(至少是中规模集成电路)的出现(门时延为2至5毫微秒量级)表明, 所罗门型方阵有可能实现每秒 10^3 字的运算。此外, 存储器的工艺已进展到可以生产200—500毫微秒工作周期 10^6 字的存储器, 而且成本也不高。

2. 伊利阿克-IV 综述

伊利阿克-IV 的主要结构是由256台处理机组成, 这些处理机组成4个“所罗门”型方阵, 每个方阵有64台处理机。单个处理机对64位操作数的加法时间为240毫微秒, 乘法时间为400毫微秒。每台处理机约需要 10^4 射极耦合逻辑门, 并且各有一台2048字、工作周期为240毫微秒的磁膜存储器。

2.1. 指令及地址控制

伊利阿克-IV 方阵有一个公用控制器, 它将指令译码, 并产生控制方阵中各处理机的信号。因此, 省去各处理机的译码和定时线路所需的费用以及因而造成的复杂性。

此外, 每台处理机都各有一个变址寄存器及地址加法器, 对于处理机 i , 操作数最终地址 a_i 按下式决定:

$$a_i = a + (b) + (c_i)$$

式中 a 是指令中指定的基本地址, (b) 是控制器中的中央变址寄存器的内容, (c_i) 是处理机 i 的局部变址寄存器的内容。操作数地址的这种独立性对处理矩阵的行与列运算及其它多维数据结构是非常有效的。

2.2. 方式控制及带有条件的数据操作

虽然设计伊利阿克-IV 结构的目的是能够用一个指令流控制若干数据流的处理,但有时也有必要分出某些数据流或以不同方式对它们进行处理。为此,每台处理机有一个“授能”触发器,该触发器的值控制处理机一级指令的执行。

在每台处理机中,这种“授能”位是测试结果寄存器的一部分,它存放带有条件的局部数据的测试结果。因此,普通计算机中数据的条件转移,在伊利阿克-IV 中是用处理机测试的方法来完成的,指令流中顺序的指令能否执行依测试结果而定。

2.3. 传送

在伊利阿克-IV 中,每台处理机 i 与其相邻的 4 台处理机,即 $i+1$ 、 $i-1$ 、 $i+8$ 、 $i-8$,有数据传送连接。终端与终端是循环传送的,因此,各方阵中,把处理机 63 与处理机 0、62、7 及 55 连接起来。

处理机之间任一距离的数据传送是在一条指令内进行一系列传送来完成的。就 64 台处理机的方阵来说,所需的最大传送距离为 7,平均距离为 4,在实用的程序中,最常见的传送距离为 1,距离大于 2 的很少。

2.4. 共用操作数的播散

各处理机共用的常数或其他操作数由中央控制器取出并存储,然后根据使用它们的指令播散到各处理机。这有几个优点: 1. 减少了用于存储程序中各常数的存储量; 2. 允许共用操作数的取出与其他操作重迭。

2.5. 处理机的划分

许多计算不需要处理机的 64 位精度。为了更有效地使用设备和加速计算,每台处理机可以划分成两台 32 位或八台 8 位的子处理机,使整个伊利阿克-IV 机组成 512 台 32 位或 2048 台 8 位的子处理机。

就各子处理机共用一台公用变址寄存器和 64 位数据传送通道来看,它们不是完全独立的。32 位子处理机有各自的说明能否变址与数据传送的工作方式,但 8 位子处理机没有。

2.6. 方阵划分

伊利阿克-IV 的 256 台处理机组成各有 64 台处理机的 4 个方阵,各方阵都有其自己的控制器,并能独立处理。这类方阵可以动态地连接以形成两个各有 128 台处理机的方阵或一个 256 台处理机的方阵。其优点如下:

1. 有适当维数的向量或矩阵变量的程序,可以更有效地与方阵大小匹配。

2. 任一方阵发生故障不会妨碍其他方阵的继续处理。

本文综述整个伊利阿克-IV 系统的结构。伊利阿克-IV 的程序技术及数据结构可见参考资料。

3. 伊利阿克-IV 的结构

图 1 示出伊利阿克-IV 系统的结构。各处理机 (PE_s) 组成 4 个方阵,每个方阵有 64 台处理机及一部控制器 (CU)。4 个方阵可在程序控制下连接在一起以便进行多重处理或单处理操作。系统程序放在一台通用计算机 B6500 之内,该机管理程序输入、方阵结构的改变和伊利阿克-IV 系统内部与机外

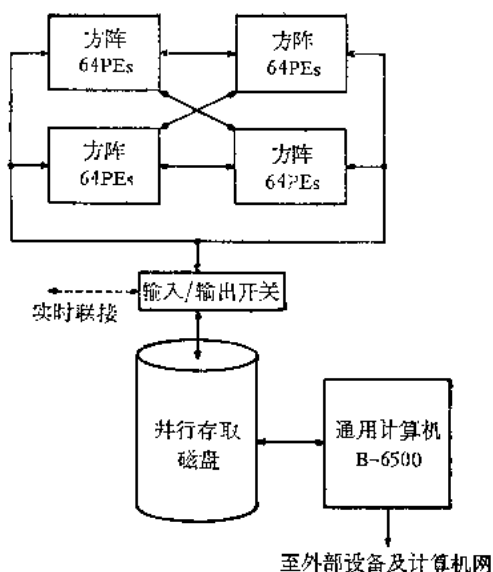


图1 伊利阿克-IV 的系统结构

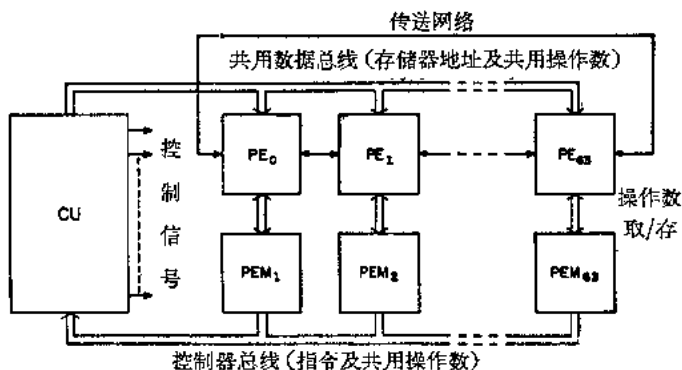
的输入/输出操作。为了提供伊利阿克-IV 方阵的后援存储，把一台大型并行存取的磁盘系统(10^9 位,存取速率 10^9 位/秒,最大等待时间 40 毫秒)直接连接到方阵。此外,还提供实时数据直接连到伊利阿克-IV 方阵的设备。

3.1. 方阵结构

图 2 示出方阵的内部结构。每个方阵的 64 台处理机排成一串,并由控制器控制。控制器接收指令序列,产生适当的控制信号和指令的地址参数,并将它们传送到单个处理机去执行。此外,每个控制器都可经过公共数据总线传送共用的操作数(即常数)。

处理机之间为交换信息而进行的全字长(64 位)通讯,是由沿着处理机串的字有组织传送来完成。对于距离最近和

距离为 8 的处理机可直接传送连接。中等距离的传送是通过 +1、-1、+8、-8 的传送序列来进行。处理机串的终端是循环连接的,但系统由某一多方阵结构组成时,可断开这个连接处,而接到其他方阵的终端。



方案的多样化使存储器定地址变得复杂化，这一点在后面将进行讨论。

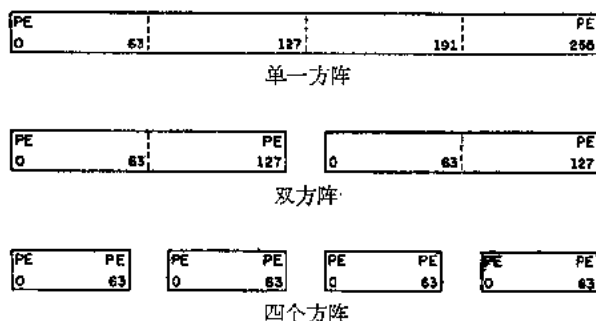


图3 多方阵结构

3.3. 控制器

方阵的控制器具有下述五项功能:

1. 指令流的控制及译码。
2. 产生控制脉冲,并传送到处理机以便执行指令。
3. 产生并播散所有处理机共用的存储器地址的那些分量。
4. 处理并播散所有处理机计算时共用的数据字。
5. 接收并处理处理机中运算器的误操作、内部输入输出操作及 B6500 产生的中断信号。

图4示出控制器的结构。控制器的主要部分是两个快速存取的缓冲器,每个64个字;一个是按内容定地址,存放当前的或未定的指令(PLA),另一个是局部数据缓冲器(LDB)。4个64位的累加寄存器(CAR)是控制器内部传送的核心,并存放地址变址信息和逻辑处理或播散用的现用数据。控制器的运算器(CULOG)完成加、减及布尔运算;更复杂的数据处理交给处理机完成。为了表示和控制各种方阵的结构,有

3 个 4 位的结构控制寄存器,其用途在另一节中叙述。

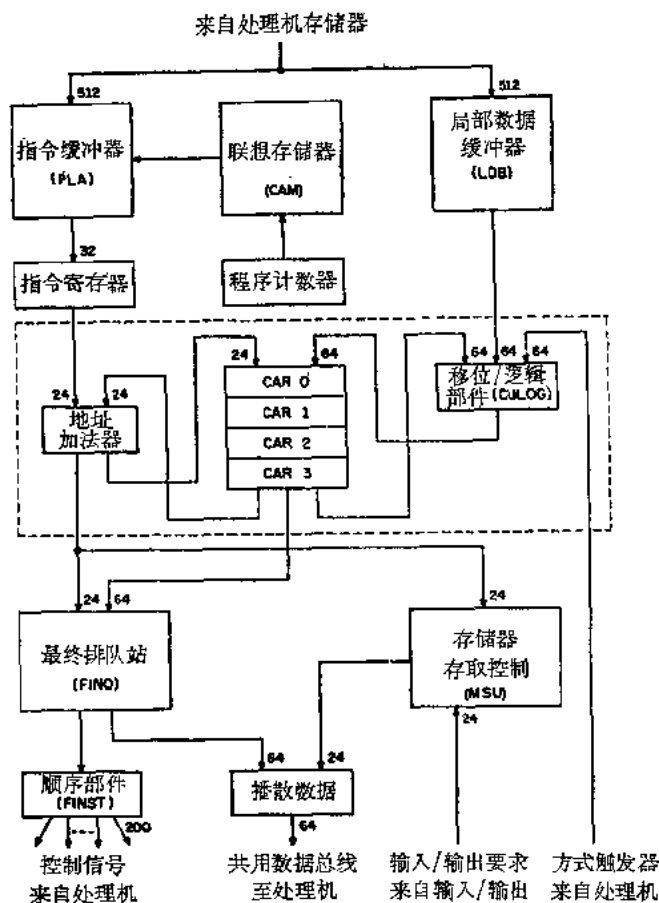


图 4 控制器框图

3.4. 指令处理

所有指令都是 32 位长,共分成两类:产生控制器内部操作的控制器指令(即变址、转移等)和处理机指令,后者在控制器内译码,然后以控制脉冲传送到所有处理机。指令根据要

求以 8 个字为一组 (16 条指令) 由方阵的存储器送入指令缓冲器。在进行控制时,个别指令由指令缓冲器取出,送入指令站 (ADVAST), 后者将其译码,并在控制器内执行这些指令。处理机指令的情况是指令站构成必要的地址或操作数,将结果堆积在排队站 (FINQ) 等待向处理机传送。处理机指令由排队站的底部取出送至最终指令站 (FINST), 最终指令站控制地址或数据的播散,并在执行周期内保存处理机指令。

处理机指令排队站的应用使得控制器指令与处理机指令的执行相重迭;重迭的数量当然取决于控制器指令及处理机指令的分布。正如所有重迭的思路一样,由程序设计者或编译程序精心安排指令的次序可使程序的执行大大加快。

指令缓冲器最多可存 128 条指令,足以存下许多程序的内循环。对于这种循环,经初始输入之后,指令以最小的延迟由缓冲器取出。

指令缓冲器输入的各种思路曾考查过,但采用了下述的直接法。当指令计数器处于 8 个字一组 (16 条指令) 的中途,下一组就开始取出;对转移到不同组的可能性不予考虑。如果发现下一组已经存于缓冲器,就没有进一步的动作;否则开始由方阵存储器取出下一组。当所需要的一组到达后,指令缓冲器循环填充;最早的一组假定是缓冲器要求最低的一组,并且重写,转移指令按同一方法开始。

由存储器取出一个新指令组,要有约 3 个存储周期的延迟以重迭方阵存储器和控制器之间的信号传输时间。在执行程序直线段时,这个延迟与执行当前一组的 8 条指令重迭。

在多方阵结构中,指令由程序计数器表示的方阵存储器中取出,并同时播散到所有预定的控制器。除了数据或控制信号的信息必须跨过方阵边界时控制器必须同步以外,以后的指令处理与单方阵的操作是一样的。只是在所有新指令组

的取出、所有数据传送操作、所有有条件的程序调度以及所有方阵改变结构指令时，控制器必须强制同步。除此之外，几个方阵的控制器彼此独立工作。这就简化了多方阵操作的控制；再者，充许输入/输出项目与各个方阵存储器同时处理，而无须占用非预定的存储器的存储周期。

3.5. 存储器定址

数据和指令都存于方阵的组合存储器内。控制器可以对整个存储器存取；但每个处理机只能直接对其本身的 2048 字的处理机存储器存取。存储器表现为二维方阵，控制器沿着行顺序存取，处理机沿着列顺序存取。在多方阵方案中，行的宽度以 64 的倍数增加。

如图 5 所示，可变结构定址问题可用控制器中固定形式的 20 位地址来解决。最末的 6 位表示给定方阵中处理机的

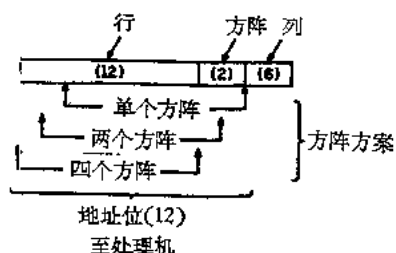


图 5 存储器地址结构

列。稍前两位表示方阵数，其余的高位给出行数。真正传送到处理机存储器的行地址位是与结构相关的，情况如图所示。

对局部操作数，处理机所用的地址有三部分：含在指令内的固定地址，

来自一个控制器的累加器所加的控制器变址值，以及在传送到其本身的存储器之前处理机所加的局部处理机变址值。

3.6. 控制器数据操作

控制器可由方阵存储器取出单个字或 8 个字的字组送至局部数据缓冲器。此外，它可取出由每个处理机的 8 位方式