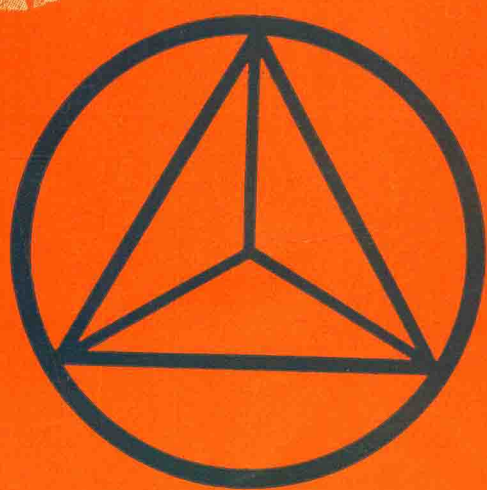


晶峰器件应用



13

上海元件五廠



上海華陽電子儀器廠



① HM $\begin{smallmatrix} A \\ \angle \\ B \end{smallmatrix}$ 型 微型数字电压面板表

- | | | | |
|-------------|-----------------------------|------------|-----|
| 1. 量 程: | 0 - 199.9毫伏 | 0 - 19.99伏 | |
| | 0 - 1.999伏 | 0 - 199.9伏 | |
| 2. 测量误差: | 满度值的 $\pm 0.1\%$ ± 1 个字 | | |
| 3. 采样次数: | 3次/秒 | | |
| 4. 数码管显示尺寸: | 8×13mm | | |
| 5. 体 积: | 直流供电式: 90×40×65mm | 价格 238 | |
| | 交流供电式: 110×110×50mm | 价格 385 | (元) |



② TOC—2 型 运算放大器测试仪

本仪器能对国内外各种类型线性集成电路F004、F007、F000系列中高增益器件进行十项参数测试。仪器精度高，参数直读，体积小，使用方便。测试方法符合电子工业部运算放大器（电压）电参数测试标准，在同类测试仪中具有领先地位。

价格: 1,600元

HDC—1 型 CMOS 数字集成电路测试仪 (3)

本仪器能对目前所有的CMOS, PMOS两大数字集成电路的功能和参数测试, 仪器采用先进技术, 通用性强, 测试速度快, 精度高, 数字显示。并且体积小, 价格低廉, 深受用户欢迎。

每台价格1,800元



ME—540型 数字式万用表 ④

ME-540型数字式万用表, 具有非常可靠精度高的测量仪表特点:

1. 自动极性变换
2. 自动换量程
3. 带蜂鸣器

备有样本·函索即寄

- 地址：上海市万航渡路1523弄18号
电话：524672
电挂：4170

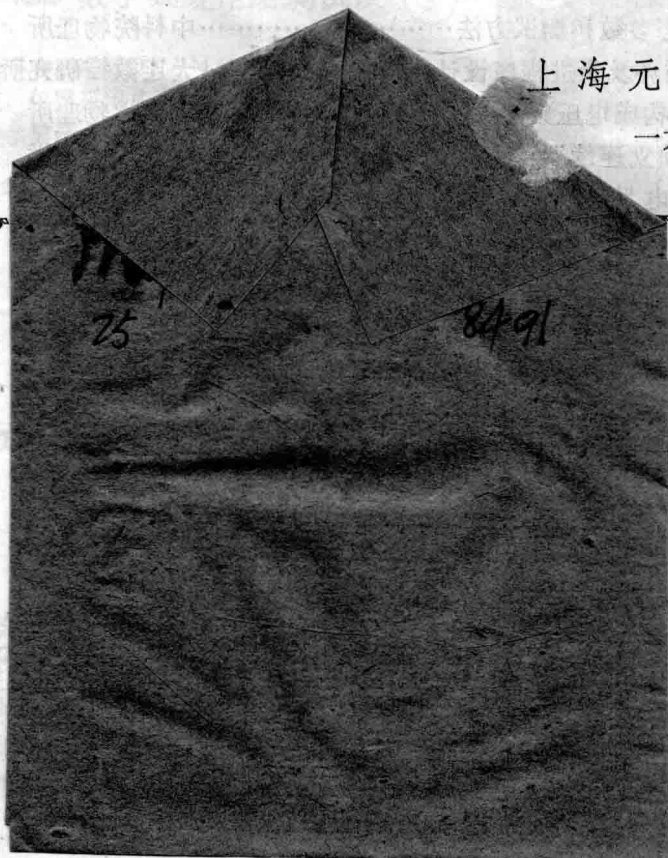


鸣 谢 启 事

我厂生产的3DK106 (3DK4) NPN硅外延平面小功率三极管(700mw), 蒙各单位支持, 不断提高产品质量, 业经中国电子元器件质量认证委员会按国际IEC TC47(CO) 816、895 标准考核。通过质量认证, 颁发了质量认证合格证书。并荣获84年国家质量金质奖。为此特向各协作单位致以谢意。并将继续扩大3DK106的生产, 以满足各界用户的需要。

上海元件五厂

一九八四年九月



上 海 元 件 五 厂

生 产 经 营 总 纲

确立经营为中心 讲求实效为重点

产

品

方

向

坚决贯彻大规模集成电路为主，大规模集成电路和中、小规模集成电路结合的方针。大力开发各类大规模集成电路，努力生产优质线性电路、MOS电路和低噪声器件，加速发展CMOS模拟电路，认真搞好高速和超高速集成电路，以形成一个综合性大规模集成电路开发和中试生产基地。

《 经 营 管 理 百 字 方 针 》

经

营

思

想

立足长远，
打好基础，
开拓市场，
巩固老户，
胸怀全局，

着眼当前。
快上水平。
加速更新。
发展新户。
面向世界。

经

营

方

针

质量可靠，
性能优良，
品种齐全，
价格低廉，
应用广泛，
服务周到，

确保经久耐用。
达到国际标准。
形成系列配套。
实行薄利多销。
渗透各行各业。
满足用户需要。

“晶 峰” 器 件 应 用

第 十 三 期

1984年9月出版

目 录

- (一) 5G8259可编程序中断控制器(PIC)的结构原理与应用 王兆云(1)
- (二) 5G8038—单片精密函数波形发生器 卢炽宝 郝鸿安(14)
- (三) ICL7660单片MAX CMOS电压转换器(译文) 许祖涛(22)
- (四) 与微处理机配接的几种D/A转换器作程控电压源和程控电流源的实用
线路介绍 许祖涛(28)
- (五) 5G672双单稳态多谐振荡器及其在长延时线路中的应用 陆衡周(33)
- (六) 运算放大器在系统设计中的问题 刘国荣(35)
- (七) 减法器及数据放大器 刘国荣(43)

用 户 园 地

- (八) 采用8251的255路通讯控制器 上海电报局 周爱娣(48)
- (九) 用5G7650来组装高性能放大器 702所 钱国梁(55)
- (十) 采样保持器的动态参数和测试方法 中科院物理所 陆志梁(57)
- (十一) 5G14500可逆循环及步进程序设计简易方法 大连数控研究所 殷南(60)
- (十二) 用555时基电路构成电压频率变换器 中科学大连化学物理所 唐坚卓(63)
- (十三) 占空比与周期独立连续调节间歇开关 同济大学 戚火彬(66)
- (十四) 二种C—T变换电路 衡阳市无线电厂 黄智伟 李富英(67)
- (十五) “ $n-u_{af}$ ”电路在可控硅双闭环自动调速系统中的应用
..... 南京511厂 鲁鑫保(69)
- (十六) CMOS式同步电机调速器 福建物质结构研究所 倪略茂(72)
- (十七) CMOS数字电路在列车定点测速仪中的应用 武汉铁路科研所 吴静泉(74)
- (十八) 小电容大幅度增加单稳输出脉宽(译文) 上海电表二厂 金诒恺(77)

计 算 机 应 用

- (十九) RTBMMS大规模集成电路计算机辅助制版软件系统(二)
..... 傅镇康 董伯明 王兴汉(78)
- (二十) 应用PDPC法确定颅脑CT微机系统的研制方案 华东师范大学 王哲玉(82)
- 征稿启事 (54)

5G8259可编程中断控制器 (PIC) 的结构原理与应用

王兆云

在前几期“晶峰器件应用”中，我厂曾介绍了5G8255、5G8251、5G8253、5G8257等四种为8080CPU配套的常用接口电路的应用。在这期中，笔者想对我厂83年已出样的5G8259（可程序中中断控制器）作一详细应用介绍。

用作中断控制的接口器件，intel公司开发了三个器件：早期为intel3000系列配套，搞了个只具备八级中断的3214；在intel 8080八位机中，试制并生产了可程序的八级中断控制器—8259；继后，为配套8086十六位微机，在8259基础之上再搞了个8259A，增加了些为十六位机所需的中断控制功能。

我们五厂现试制的是8259，是参照“NEC” uPD8259试制与生产的。

为便于叙述，想分以下四部分叙述：

第一章 5G8259逻辑功能总述。

第二章 5G8259预置命令字 (ICWi) 和操作命令字 (OCWi) 细述。

第三章 5G8259的操作时序细节。

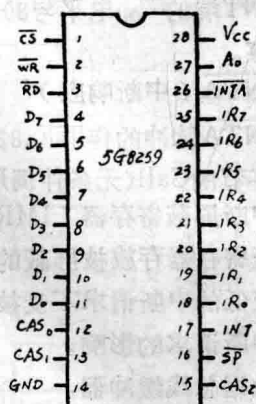
第四章 5G8259波形时序与参数表

第一章 5G8259逻辑功能总述：

5G8259是用于8080A/8085A/uPD780 (Z80™)等几种八位微处理机中，用作可编程序下的中断控制。此电路本身只具有八级中断功能，但具备级联功能。只要由若干片8259的组合，不需附加其他电路，即可实现多至64级的中断控制。

5G8259还具备对各级中断的屏蔽能力。

5G8259为28脚双列直插封装形式，采用N沟E/D硅栅MOS工艺制成。单+5V工作电源。此电路为全静态，不需时钟输入。



D7~D0	数据总线(双向)
$\overline{RD}$	读输入
$\overline{WR}$	写输入
A0	命令字选择地址
CAS ₂ ~CAS ₀	级联线
SP	从片程序输入
INT	中断输出
$\overline{INTA}$	中断响应输入
IR ₀ ~IR ₇	八级中断请求输入
CS	片选

图1 5G8259管脚排列马引脚定义

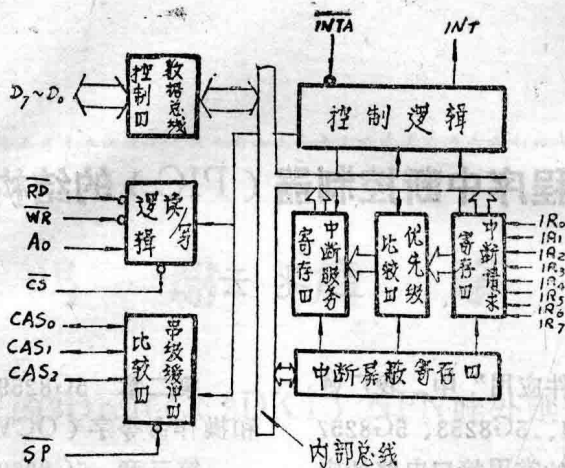


图2 5G8259的逻辑框图

在(图1)(图2)中,我们列出了5G8259的管脚排列图、管脚定义及逻辑框图。

在(图2)的逻辑框图中我们可以看出:5G8259芯片的主体部份是三种寄存器与由此组成的优先权比较器。5G8259的逻辑功能简单理解就是:当外设有中断(IR_i)申请时,此 IR_i 的状态进入中断申请寄存器(IRR)内。然后这IRR的状态与现行中断服务寄存器(ISR)和中断屏蔽寄存器(IMR)比较,如此级 IRR_i 没有被屏蔽($IMR_i=0$),且这级 IRR_i 申请级别和比此级高的几级中断没有被服务[ISR_i 与 $ISR(i-1)$],则这级 IRR_i 被允许中断,产生INT。这INT直送CPU,当CPU接受INT,则相应发出三拍 $\overline{INTA}$ 。第一拍8259发出11001101,叫CPU执行调用指令。而第二,第三二拍CPU读到的则是这级 IRR_i 中断服务程序中的起始地址。叫CPU立即调用到被申请响应的 i 级中断服务程序的起始地址去。(看图3)

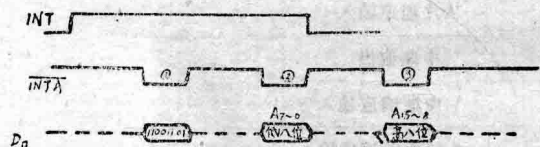


图3 5G8259中断响应时序图

在5G8259的逻辑框图中,除了主要逻辑优先权比较器外,还有读/写逻辑组合、

级联及八位数据总线等逻辑组合。

为叙述清楚5G8259的功能,下面花些篇幅先对5G8259的管脚定义作一文字描述:

(一)中断请求寄存器(IRR)和中断服务寄存器(ISR):

中断请求寄存器存放所有正在请求服务的中断优先级,中断服务寄存器存放所有正在被服务的中断优先级。

(二)优先级分解器:

这一逻辑部件判定置入IRR的优先权的大小。并在 $\overline{INTA}$ 脉冲期间选出最高优先权,将其送入中断服务寄存器的相应位。

(三)INT(中断)

这一输出信号直接送至CPU的中断输入端。8259INT端的 V_{OH} 电平与8080的输入电平完全兼容。

(四) $\overline{INTA}$ (中断响应)

在三个 $\overline{INTA}$ 脉冲的作用下,8259向数据总线发出三字节的Call(无条件调用)指令。

(五)中断屏蔽寄存器(IMR)

中断屏蔽寄存器存放被屏蔽的中断优先级。优先权较低的中断请求不受被屏蔽的优先权较高的中断请求的影响。

(六)数据总线缓冲器:

这一三态、双向、8位缓冲器用于连接8259与系统数据总线。控制字和状态信息也通过这个缓冲器传输到8259内部。

(七) 读/写控制逻辑:

这一模块接收CPU输出的命令,它包括初始化命令字(ICW)寄存器和操作命令字(OCW)寄存器。这些寄存器存放各种使8259能够正常工作的控制信息。

(八) $\overline{CS}$ (片选)

该输入端的低电平启动8259进行读写操作。只有在该片被选中时($\overline{CS}=0$)才能进行读写操作。

但 $\overline{CS}$ 不控制正常的IR申请,即在 $\overline{CS}=1$ 时,5G8259也能进行正常的IRi的申请与优先权的比较。

(九) $\overline{WR}$ (写)

这个输入端的低电平,使CPU向8259写控制字(ICWi和OCWi)。

(十) $\overline{RD}$ (读)

这一输入端为低电平,使8259将中断请求寄存器。中断服务寄存器,中断屏蔽寄存器的状态或中断级的二——十进制代码送上数据总线。

(十一) A_0

这一信号配合 $\overline{WR}$ 信号和 $\overline{RD}$ 信号将命令写入命令字寄存器,或读出芯片内各个状态寄存器的内容。此端可以直接与一根地址

线相连。

(十二) SP (从件编程)

系统中使用多个8259,可使管理中断优先权的能力,大大扩充,直至管理64级中断。在此系统中,有一个8259作为主片,其它的8259则作为从片。 $\overline{SP}$ 端接高电平的8259是主片,反之是从片。

(十三) $\overline{CAS0} \sim$ 2级联缓冲器/比较器

这一功能模块贮存和比较系统中8259的输入数据。当8259为主片时, ($\overline{SP}=1$), 三条I/O引线($\overline{CAS0} \sim 2$)为输出端,当8259为从片时, ($\overline{SP}=0$)三条I/O引线($\overline{CAS0} \sim 2$)为输入端。

第二章 5G8259预置命令字(ICWi)和操作命令字(OCWi)简述

在上一章中,我们细述了5G8259的“全貌”,在这一节中,想对5G8259的二种命令字进行逐条介绍。

在(图2)中,我们可以看到,5G8259受CPU控制的有 $\overline{RD}$ 、 $\overline{WR}$ 、 A_0 及 $\overline{CS}$ 四根读/写控制线。此四根线再与数据总线中 D_4 、 D_3 二位,就组成5G8259的读/写操作见表(1)。

表1 5G8259 读/写 操作 真值表

	A_0	D_4	D_3	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	
输入操作 (读)	0			0	1	0	IRR, ISR中断级别→数据总线
	1			0	1	0	IMR→数据总线
输出操作 (写)	0	0	0	1	0	0	数据总线→OCW ₂
	0	0	1	1	0	0	数据总线→OCW ₃
	0	1	0	1	0	0	数据总线→ICW ₁
	1	x	x	1	0	0	数据总线→OCW ₁ ICW ₂ ICW ₃
禁止作用	x	x	x	1	1	0	数据总线→三态
	x	x	x	x	x	1	数据总线→三态

上表中可看到5G8259的命令字共有二种:一为预置命令字(ICWi)、另一为操作命令字(OCWi)。

预置命令字(ICWi)有三种:ICW₁、ICW₂、ICW₃; (8259A还有ICW₄)

操作命令字(OCWi)也有三种:OCW₁、

OCW₂、OCW₃。

只介绍8259的十八种命令字。

我们五厂目前做的是8259，在此我们就

见（表2）5G8259十八种命令字格式。

表2

5G8259十八种命令字格式

指令编号		A ₀	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	操作说明
1 ICW ₁ A	0	A ₇	A ₆	A ₅	1	0	1	1	0		初始化1，间隔=4，单片
2 ICW ₁ B	0	A ₇	A ₆	A ₅	1	0	1	0	0		初始化1，间隔=4，非单片
3 ICW ₁ C	0	A ₇	A ₆	A ₅	1	0	0	1	0		初始化1，间隔=8，单片
4 ICW ₁ D	0	A ₇	A ₆	A ₅	1	0	0	0	0		初始化1，间隔=8，非单片
5 ICW ₂	1	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈		初始化2，（高位地址），
6 ICW ₃ M	1	S ₇	S ₆	S ₅	S ₄	S ₃	S ₂	S ₁	S ₀		初始化3——主件
7 ICW ₃ S	1	0	0	0	0	0	S ₂	S ₁	S ₀		初始化3——从件
8 OCW	1	M ₇	M ₆	M ₅	M ₄	M ₃	M ₂	M ₁	M ₀		写屏蔽寄存器，
9 OCW ₂ E	0	0	0	1	0	0	0	0	0		一般中断结束
10 OCW ₂ SE	0	0	1	1	0	0	L ₂	L ₁	L ₀		特殊中断结束，与L ₂ L ₁ L ₀ 相应的IS位置位
11 OCW ₂ RE	0	1	0	1	0	0	0	0	0		自动旋转EOI
12 OCW ₂ RSE	0	1	1	1	0	0	L ₂	L ₁	L ₀		特殊旋转与L ₂ L ₁ L ₀ 相应的IS位复位，并作为最低优先权
13 OCW ₂ RS	0	1	1	0	0	0	L ₂	L ₁	L ₀		L ₂ L ₁ L ₀ 作为最低优先权
14 OCW ₃ P	0	—	0	0	0	1	1	0	0		查询模式
15 OCW ₃ RIS	0	—	0	0	0	1	0	1	1		读ISR
16 OCW ₃ RR	0	—	0	0	0	1	0	1	0		读IRR
17 OCW ₃ SM	0	—	1	1	0	1	0	0	0		置特殊屏蔽模式
18 OCW ₃ RSM	0	—	1	0	0	1	0	0	0		清特殊屏蔽模式

我们参照表（2）对这十八种命令字逐条进行解释。

ICW_i主要是定5G8259的中断初始化条件。

我们在前面看到，每当CPU响应5G8259的INT，必要发出3拍INTA中断响应信号。这INTA的出现，5G8259应答CPU发出被响应的这级中断的服务程序的入口地址。而这入口地址就是由CPU在设定5G8259的初始化程序时预置好的，（即由5G8259的ICW₁、CW₂设定。

在ICW₁中除了A₇A₆A₅三个地址之外还有D₂、D₁、D₀三位来设置8259的模式。D₁决定在系统中采用一片5G8259还是采用多片5G8259。而D₂则决定每级中断服务程序的间隔。D₀决定中断输入方式，8259由于只有一种沿口输入，D₀常接“0”，在8259A中由于有二种输入方式则D₀=0边沿输入D₀=1电平输入。则D₀的状态由用户来定。

在正常中断控制中，被响应的IR_i级中断的入口地址就是按（表3）给出的序列给出。

表 3

5G8259列程序的内存低位地址

	间 隔 = 4 字 节								间 隔 = 8 字 节							
	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
IR7	A7	A6	A5	1	1	1	0	0	A7	A6	1	1	1	0	0	0
IR6	A7	A6	A5	1	1	0	0	0	A7	A6	1	1	0	0	0	0
IR5	A7	A6	A5	1	0	1	0	0	A7	A6	1	0	1	0	0	0
IR4	A7	A6	A5	1	0	0	0	0	A7	A6	1	0	0	0	0	0
IR3	A7	A6	A5	0	1	1	0	0	A7	A6	0	1	1	0	0	0
IR2	A7	A6	A5	0	1	0	0	0	A7	A6	0	1	0	0	0	0
IR1	A7	A6	A5	0	0	1	0	0	A7	A6	0	0	1	0	0	0
IR0	A7	A6	A5	0	0	0	0	0	A7	A6	0	0	0	0	0	0

CPU给5G8259预置的ICW₂是高八位地址(A15—8)。如果在预置ICW₁时, d₁ = 1 (5G8251为单片), 则CPU不必给5G8259再预置ICW₃。如果在ICW₁中d₁ = 0为多片结构, 则CPU必须给每片5G8259预置个

ICW₃。

在预置主片的ICW₃M中, 如果那一个IR_i端配上从片, 则这S_i位设置1; 对从片ICW₃S_i用S₂S₁S₀来译码出这片从片挂在主片的那个IR_i管脚上。(见表2、6、7两条指令)

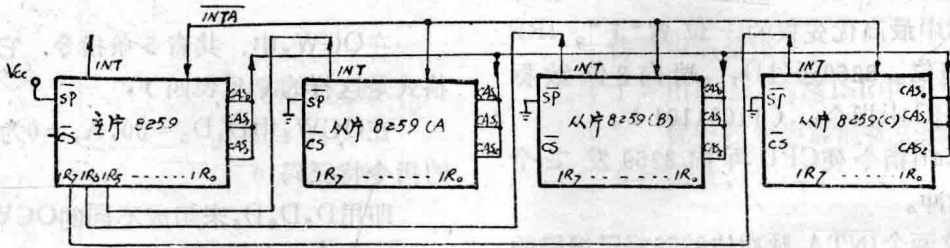


图 4 多片 8259 的连接

我们举(图4)在某系统采用多片8259的结构中, 5G8259的预置命令字是如何排列的。

在硬件连接中, 主片8259的 $\overline{SP} = 1$, 从片的8259 $\overline{SP} = 0$ 。按系统需要从片8259(A)

接在主片IR₅端, 从片8259(B)接在主片IR₆, 从片8259(C)接主片IR₇。如果为间隔8, 则在这系统的监控程序中8259的监控程序段应是这样排列:

	A0	D7	D6	D5	D4	D3	D2	D1	D0
ICW ₁ (主从片均是)	0	A7	A6	A5	1	0	0	0	0
ICW ₂ (主从片均是)	1	A15	A14	A13	A12	A11	A10	A9	A8
主片 ICW ₃	1	1	1	1	0	0	0	0	0
从片(A) ICW ₃	1	0	0	0	0	0	1	0	1
从片(B) ICW ₃	1	0	0	0	0	0	1	1	0
从片(C) ICW ₃	1	0	0	0	0	0	1	1	1

因为在多片8259结构中，需分别对每片8259进行预置。这可以用8259中的CS，分别挂在系统的地址总线上，实现不同的地

址对不同的8259的预置。
如这样连接。中断级别的排列就是：

最高主片5G8259	从片5G8259(A)	从片5G8259(B)	从片5G8259(C)最低
IR ₀IR ₄	IR ₀IR ₇	IR ₀IR ₇	IR ₀IR ₇

8259的这些ICW(i)预置命令字是设置8259在系统中的初始状态的。也就是在执行系统的监控程序中就对8259设置了初始化。

在监控程序之后，5G8259就可行驶正常的中断控制。它的中断控制可用以下7点文字来表达：

- 1.一条或多条中断请求线（IR₇₋₀）为高时，IRR的相应位置位。
- 2.8259接收这些请求，分析优先权。向CPU发出INT信号。
- 3.CPU响应中断，并回答INTA信号。
- 4.当接收来自CPU的一个INTA脉冲时，ISR中最高优先权的一位置“1”。IRR相应位复位。8259通过D₇₋₀端向8位数据总线发出Call指令：（11001101）。
- 5.Call指令使CPU再向8259发二个INTA脉冲。
- 6.这两个INTA脉冲使8259将已编程的中断服务子程序地址送上数据总线，第一个INTA送低8位地址，第二个INTA送高8位地址。

7.当中断服务子程序结束前，需要EOI中断结束命令送至8259，以复位相应的ISR的相应位。

在5G8259十八条指令中，前7条属预置命令字（ICWi），一般均在监控程序中实现。后面十条操作命令字一般均在系统工作中由CPU对5G8259的实时控制。下面对这十条逐条介绍：

a)写屏蔽字寄存器，均在CPU需对某级IRR终端屏蔽时，由CPU对5G8259写入一条OCW₁命令。

在此，说明一点，对某级IRR写OCW₁，只对这一级IRRi的屏蔽，但不对比这级IRRi级别低的屏蔽。即：

如果OCW₁中如D₄=1对IRR₄屏蔽，则5G8259在实时控制时只对IRR₄对应的那个终端实行屏蔽。但IRR₅、IRR₆、IRR₇三级在外设需申请中断时，仍可由5G8259来优先权排队。

OCW ₁ :	A ₀	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
	1	0	0	0	1	0	0	0	0

在OCW₂中，共有5条指令，它的指令格式是这样的（见表四）：

在OCW₂中D₄D₃=00，A₀=0为OCW₂的指令特征码

即用D₇D₆D₅来组成不同的OCW₂。

8259有5条OCW₂，但8259A有8条OCW₂。

在此我们只介绍8259中5条OCW₂：

b)OCW₂E：非特殊中断结束：

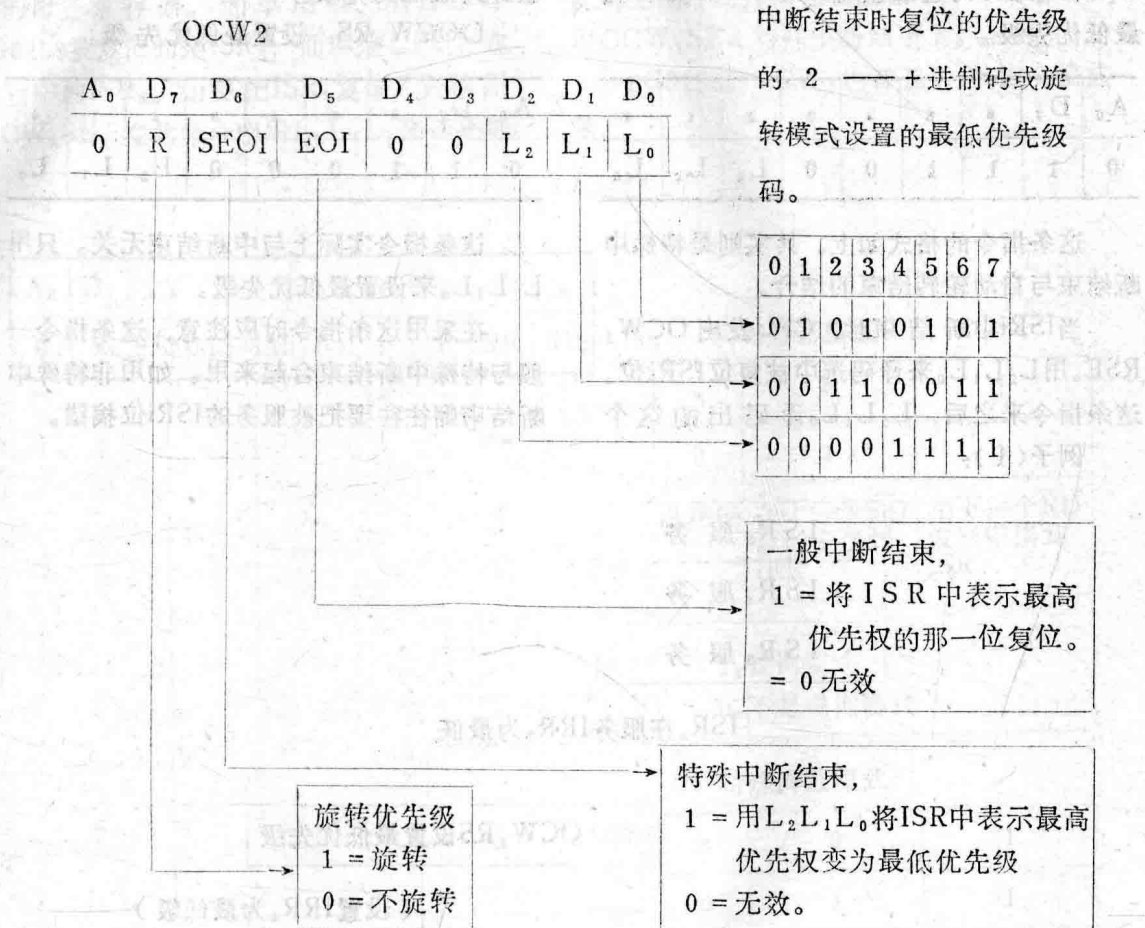
这条指令，指工作在全嵌套方式中。优先级始终为IR₀最高，IR₇最低。某级IRRi被响应服务之后，待中断结束时由CPU发出，

A ₀	D ₇	6	5	4	3	2	1	0
0	0	0	1	0	0	0	0	0

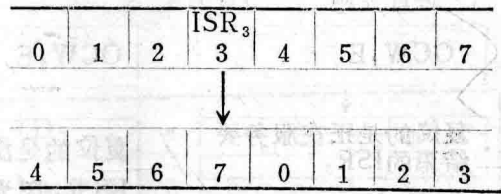
则被服务的最高位ISRi被复位。

c)OCW₂SE：特殊中断结束，用L₂L₁L₀译码出要结束的那位ISRi位，这条指令的格式是：

表 4 5G8259OCW₂的指令格式



A ₀	D ₇	6	5	4	3	2	1	0
0	0	1	1	0	0	L ₂	L ₁	L ₀



d) OCW₂RE: 自动轮转中断结束:
这条指令的格式是:

A ₀	D ₇	6	5	4	3	2	1	0
0	1	0	1	0	0	0	0	0

它的含义是把正在服务完毕的最高 ISR_i 结束中断, 并把这级中断的 IRR_i 位 优先权降到最低位。

举一个例子: 如果原优先权为 7→0 正在服务的是 ISR₃。如果 CPU 在执行完 ISR₃, 用 OCW₂RE 来作中断结束时, 就把 ISR₃ 复位, 并把 ISR₃ 对应的 IRR₃ 降低为最低优先权。即在 OCW₂RE 之后, 优先权重新排队了。这条指令一般在一个系统中有多个中断, 但各级中断的级别均一样的这种状况下采用。

e) OCW₂RSE: 特殊旋转中断结束。用 L₂L₁L₀ 来译码选出被复位的ISR_i位并降为最低优先级。

A ₀	D ₇	6	5	4	3	2	1	0
0	1	1	1	0	0	L ₂	L ₁	L ₀

ISR_i被复位, 且ISR_i对应的IRR_i的优先级被降为最低优先级。

f) OCW₂RS: 设置最低优先级。

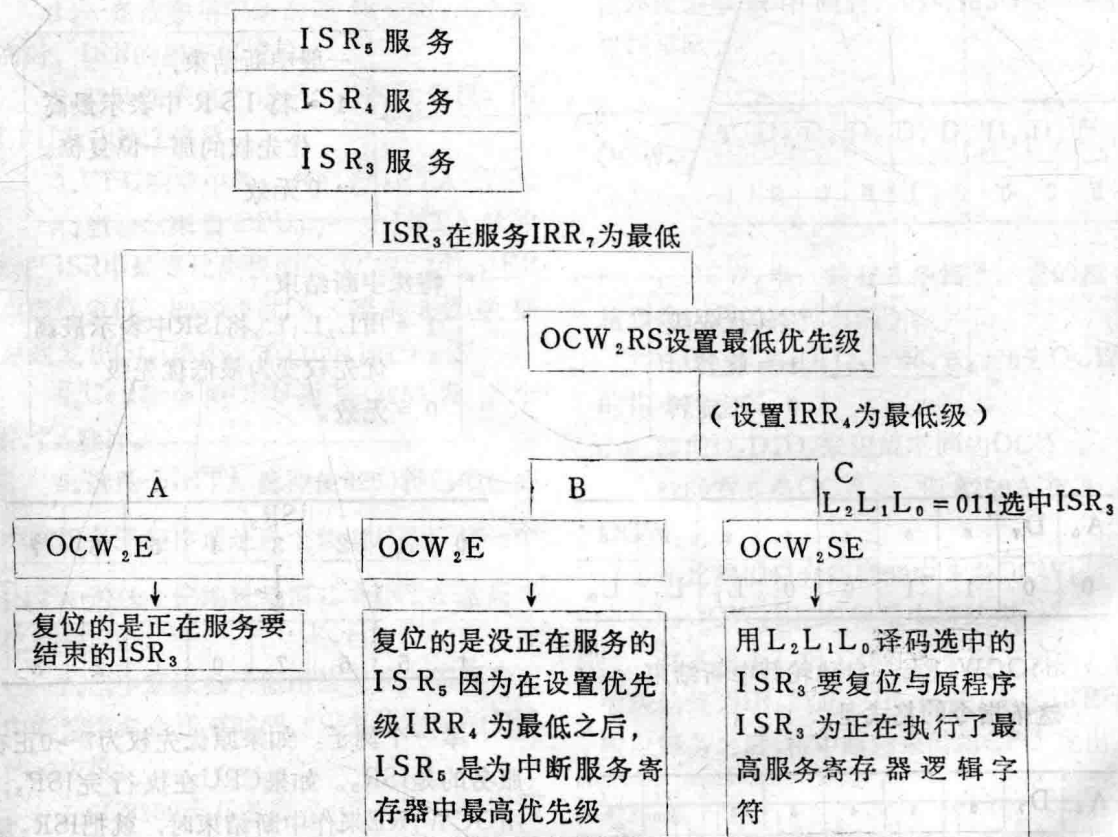
A ₀	D ₇	6	5	4	3	2	1	0
0	1	1	0	0	0	L ₂	L ₁	L ₀

这条指令的格式如上。其实则是特殊中断结束与自动轮转结束的结合。

当ISR_i中断结束时, CPU发出 OCW₂RSE。用L₂L₁L₀来译码选中被复位ISR_i位。这条指令来之后, L₂L₁L₀译码出的这个例子(1):

这条指令实际上与中断结束无关。只用 L₂L₁L₀来设置最低优先级。

在采用这条指令时应注意, 这条指令一般与特殊中断结束合起来用。如用非特殊中断结束则往往要把被服务的ISR_i位搞错。



我们来看例子1:

在前操作中, 先ISR₅被服务, 在ISR₅服务中ISR₄被响应和服务, 又在ISR₄在服务中, ISR₃又被服务。而现时是ISR₃、ISR₄、ISR₅均被服务且现正在服务的是ISR₃。是中断服务寄存器中最高级别。当CPU没有插

入优先级设置命令, 如ISR₃执行完毕只要CPU发OCW₂E就可把ISR₃复位, 接着CPU继续执行ISR₄就可以了。但如在执行中插入优先级设置(设置IRR₄为最低级)如要在E-OI中把ISR₃复位用OCW₂E命令不行了。因为IRR₄最低优先级的设置, 在5G8259内部

把 ISR_5 、 ISR_4 、 ISR_3 三只服务寄存器再比较之后则选出 ISR_5 为服务寄存器中级别最高的服务寄存器。如单用 OCW_2E 命令5G8259被复位的是 ISR_5 ，而不是CPU正在执行中的 ISR_3 。如要把 ISR_3 复位，只能用 OCW_2SE ，在此命令中用 $L_2L_1L_0$ 来译码选

出5G8259被复位的是 ISR_3 ，而不是在 OCW_2E 中的 ISR_5 。这往往是比较容易遗忘的。因此希望程序设计师在编制程序中中断结束多用 OCW_2SE （特殊中断结束）。

5G8259的 OCW_3 也有五条，其指令格式是：

A_0	D_7	6	5	4	3	2	1	0
0	x	ESMM	SMM	0	1	P	RR	RIS

读寄存器模式

x	0	1
0	1	1
没功能	在下一个 $\overline{RD}$ 波形中读到IRR	在下一个 $\overline{RD}$ 波形中读到ISR

1: 查询模式

0: 不是查询模式

特殊屏蔽模式

x	0	1
0	1	1
没功能	特殊屏蔽模式复位	特殊屏蔽模式置位

OCW_3 的指令标志是 $D_4D_3=01$ 。五条指令的具体理解是这样的：

a) OCW_3P 查询模式：

5G8259在中断实时控制时，由CPU响应INT之后发出的三拍 $\overline{INTA}$ 读到5G8259发出的现申请中断的最高优先级的矢量地。这种中断方式称之为“矢量中断”。但这种矢量中断CPU读到的只是某级中断的入口地址，不能直接从5G8259中读到是那一级的中断。如CPU需要查询中断请求为那级中断，只要发 OCW_2P （查询模式）就可以了。

其格式是：

A_0	D_7	6	5	4	3	2	1	0
0	x	0	0	0	1	1	0	0

在CPU向5G8259发出 OCW_3P 之后，再发出一拍 $\overline{RD}$ ，则在 $\overline{RD}$ 的脉冲周期中读到的数据总线意义是：

D_7	6	5	4	3	2	1	0
I					W_2	W_1	W_0

$I=1$ 为有中断申请 由 $W_2W_1W_0$ 译码
 $I=0$ 为没有中断申请 指出出现申请中断的
 最高优先级

b) OCW_3RIS : 读ISR模式:

这是一条CPU查询被CPU服务的 中断服务寄存器的内容的指令。当CPU在实时控制中,发现需要了解究竟有多少个终端被响应了。这CPU就只要向5G8259发出这条指令就可读到ISRi的内容了。

这条指令的格式是:

A ₀	D ₇	6	5	4	3	2	1	0
0	-	0	0	0	1	0	1	1

当CPU发了这条指令之后还需对5G8259发RD,才能读到ISRi的级别。在D₁₂读到的8位中是一位对一级中断。在此必须指出在多片系统中,每片都有自己的八级。究竟是对那一片发和读,只要控制各片5G8259的CS就可以了。

c) OCW_3RR , 读IRR:

这条指令的操作与含义基本同上条,不同的只是这条指令后RD读到的是IRRi。

它的格式是:

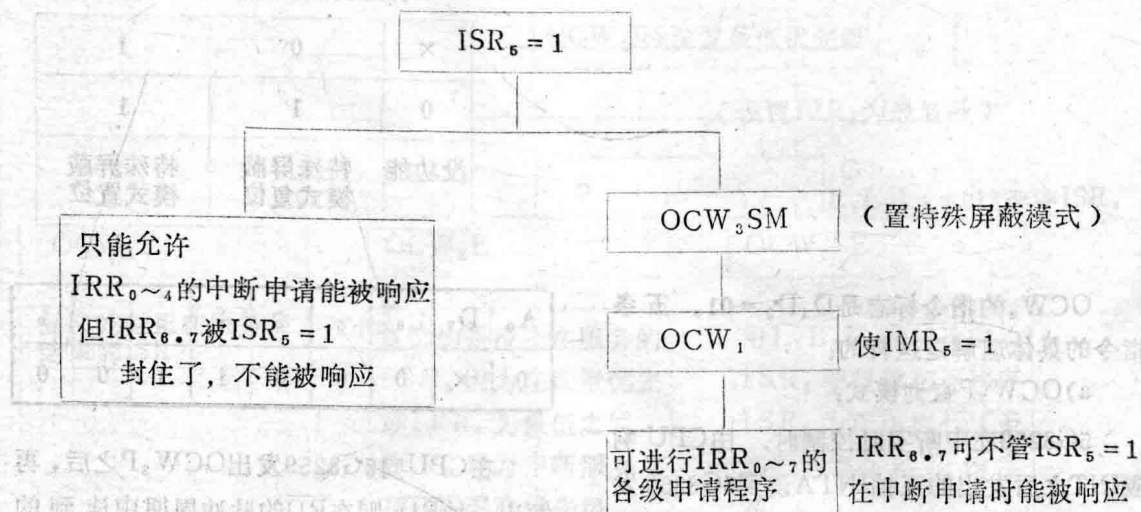
A ₀	D ₇	6	5	4	3	2	1	0
0	-	0	0	0	1	0	1	0

d) 特殊屏蔽模式:

5G8259有条 OCW_1 的屏蔽位的设置。这 $IMR_i=1$ 将屏蔽这i位的IRRi中断申请的进入。这是一般屏蔽的概念。

在5G8259还有另一种特殊屏蔽功能。

当5G8259中某一位ISRi正在被服务时,级别比i位低的八级中断级的申请是不能被响应的。因为i之后的几级都因 $ISR_i=1$ 而不被响应。为了满足 $ISR_i=1$ 时也能响应比i级低的若干级中断,就在5G8259片内设置了特殊屏蔽模式的指令。



例子(2)

我们举一个上述的例子: 当 $ISR_5=1$ 正在执行时,在正常的模式下, IRR_6 与 IRR_7 是被屏蔽的。中断不可能响应。能响应的仅仅是 IRR_{0-4} 。如果在某些场合需要 IRR_6 , IRR_7 的中断能被响应。就需要在

$ISR_5=1$ 时,发出置特殊屏蔽模式的命令(即 $SSMM=1$),且再要置 $OCW_1=1$ 中 $IMR_5=1$ 。这样之后,如 IRR_6 或 $IRR_7=1$ 有申请时(只要他们在申请的级别中为最高)就可产生 $INT=1$,并且在CPU发 $\overline{INTA}$ 时,CPU能读到 IRR_6 或 IRR_7 的矢量地址。

第三章 5G8259的操作时序细节:

A)边沿触发原理:

8259中断IRi的进入方式只有一种：边

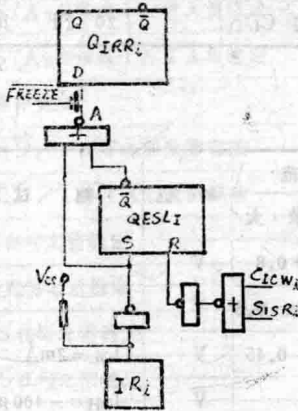


图 5 5G8259IRi 输入端边沿触发逻辑时序图

上图我们来分析一下当系统给8259置预置命令字时, 控制时序 $C_{ICW_1} = 1$, 这 $C_{ICW_1} = 1$ 使 $\overline{Q}_{ESLi} = 1$ (Q_{ESLi} 为边沿触发锁存器)。管脚 IR_i 端平时是常“1”的。当外设中端需请求时($IR_i \downarrow \uparrow$), 在 IR_i 下跳时使 $\overline{Q}_{ESLi}$ 置“0”; 然后在 IR_i 回“1”时, 使或非门A出“1”。此“1”在 $\overline{FREEZE} = 1$ 可打入, 使 $Q_{IRri} = 1$ (Q_{IRri} 为中断申请寄存器)。当CPU响应之后, 这位 IR_i 被CPU服务, 使 $ISR_i = 1$ 。这 $ISR_i = 1$ 使 $\overline{Q}_{ESLi}$ 复1。之后又可进行另一个中断操作。

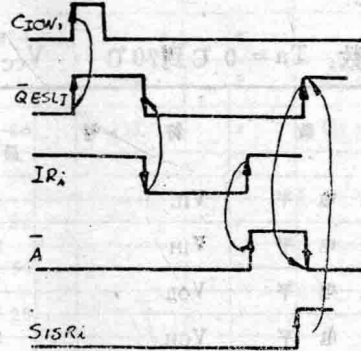
B)级联级工作原理:

单片5G8259在系统中的工作原理是比较简单的。单片在工作时不需 $CAS_0 \sim 2$ 。在 $\overline{INTA}$ 期间8259向CPU发出被响应中断级的矢量地址。

在多片系统中, 5G8259在工作中的状态就由CAS₀~₇联接起来。

见(图6),当从片的某级IRi中断申请被响应之后,CPU就向8259发出三拍INTA。第一拍由主片发出11001101为call指令。在第一拍期间主片的CAS_{0~2}就发出相应的某

沿触发；而8259A有两种模式可选择：边沿触发与电平触发。我们五厂现生产的是8259，在此只谈边沿触发的时序与原理。



片从片的地址。然后在第二、三拍期间,被选中的从片就发出高低16位地址。

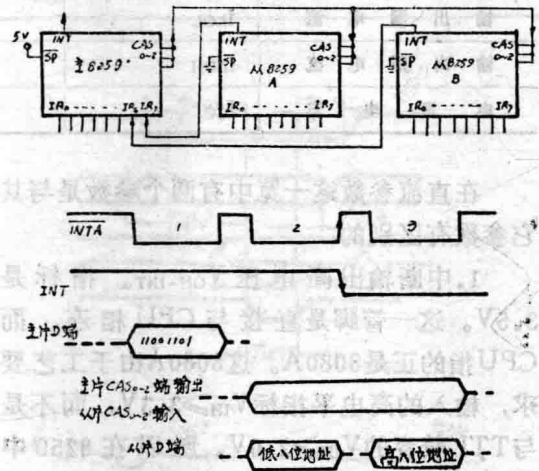


图6 多片8259系统中CAS₀~₂的功能

第四章 5G8259波形时序与参数表:

在此章中，我们只列表提供5G8259的各参数表与波形时序图。不作详细说明。

极限参数:

使用环境温度: $0^{\circ}\text{C}-70^{\circ}\text{C}$

存放温度: $-65^{\circ}\text{C}-125^{\circ}\text{C}$

各引脚到地电压: $-0.5 \sim +7V$

功耗: $1W$

电容: $T_a = 25^\circ C$ $V_{CC} = GND = 0V$

参 数	符 号	规 范			单 位	测 试 条 件
		最小	典型	最大		
输入电容	C_{IN}			10	PF	$f_c = 1MHz$
I/O电容	$C_{I/O}$			20	PF	其他端子按 V_{SS}

直流参数: $T_a = 0^\circ C$ 到 $70^\circ C$ $V_{CC} = 5V \pm 5\%$

参 数	符 号	规 范			单 位	测 试 条 件
		最 小	典 型	最 大		
输 入 低 电 平	V_{IL}	-0.5		$+0.8$	V	
输 入 高 电 平	V_{IH}	2.0		$V_{CC} + 0.5$	V	
输 出 低 电 平	V_{OL}			0.45	V	$I_{OL} = 2mA$
输 出 高 电 平	V_{OH}	2.4			V	$I_{OH} = -400\mu A$
	V_{OH-INT}	2.4			V	$I_{OH} = -400\mu A$
中 断 输 出 高 电 压		3.5			V	$I_{OH} = -50\mu A$
IR ₀₋₇ 输入漏电流	$I_{IL}(IR_{0-7})$			-300	μA	$V_{IN} = 0V$
				10	μA	$V_{IN} = V_{CC}$
其它输入端输入漏电流	I_{IL}			10	μA	$V_{IN} = V_{CC}$ 到 $0V$
输 出 漏 电 流	I_{LOL}			10	μA	$V_{out} = 0.45V$
输 出 漏 电 流	I_{LOH}			10	μA	$V_{out} = V_{CC}$
电 源 电 流	I_{CC}			100	mA	

在直流参数这一览中有两个参数是与其它参数有区别的:

1. 中断输出高电压 V_{OH-INT} 。指标是 $3.5V$ 。这一管脚是直接 与 CPU 相连, 而 CPU 指的正是 8080A。这 8080A 由于工艺要求, 输入的高电平指标 $V_{IH} \geq 3.3V$, 而不是与 TTL 兼容的 $V_{IH} \geq 2.0V$ 。所以在 8259 中 V_{OH-INT} 为 $\geq 3.5V$ 。

2. IR₀₋₇ 输入漏电流 $I_{IL}(IR_{0-7})$ 在 $V_{IN} = 0V$ 时 $\leq -300\mu A$ 。

在 5G8259 电路结构中每个 IR_i 的结构是这样的:

在管脚口对 V_{CC} 就挂了个恒流管子。这

个管子一般恒流在 $90\mu A$ 左右, 目的就是使 IR_i 位在空载时就为 “1” 电平。为什么要挂这个 “管子” (实质即为一个电阻), 这主要由 5G8259 中 IR_i 的边沿触发功能的需要。按功能需要 IR_i 有申请必是 $\square$ 个负脉冲。没有中断时 IR_i 是常 “1” 的。

