

MCS—51 微 计 算 机
用 户 手 册

复旦大学微机开发应用研究室

前 言

自 1976 年以来, Intel 公司生产了一系列 MCS-48 单片机。在 80 年代, Intel 公司在 MCS-48 的基础上加以改进, 又生产了一种新的单片机系列—MCS-51。MCS-51 的典型产品为 8051, 它有 $4K \times 8$ ROM、128 字节 RAM、2 个 16 位定时/计数器、4 个 8 位 I/O 口、一个串行口, 可代替各种微处理器(它的功能可近似相当于由一片 Z80 CPU、一片 2732 EPROM、一片 RAM、一片 Z80 CTC、二片 Z80 PIO、一片 Z80 SIO 组成的系统), 适用于各种复杂的控制和仪器仪表中。

为了有助于了解 MCS-51 的性能和推广单片微计算机的应用, 我们编译了这本《MCS-51 微计算机用户手册》。其中第一章至第五章译自 Intel 公司的“Microcontroller User's Manual”, 第六章译自 Intel 公司的有关技术手册和产品介绍。本书由涂时亮同志翻译, 陈章龙同志校对。由于时间仓促, 水平有限, 难免有错, 望读者批评指正。

复旦大学微机开发应用研究室

1984.4

目 录

第一章 引言	(1)
第二章 MCS-51 结构	(3)
2.0 存贮器组织	(3)
2.1 特殊功能寄存器	(4)
2.2 振荡器和时钟电路	(6)
2.3 CPU 时序	(6)
2.4 口操作	(7)
口的写入	(9)
口的负载能力	(9)
2.5 访问外部存贮器	(9)
2.6 定时器	(12)
定时器控制和状态寄存器	(14)
2.7 串行接口	(15)
波特率	(16)
PCON 中的波特率选择位	(17)
串行口控制寄存器	(17)
串行口数据寄存器	(17)
关于方式 0 的进一步介绍	(18)
关于方式 1 的进一步介绍	(19)
关于方式 2 的进一步介绍	(21)
2.8 中断	(23)
关于外部中断的进一步介绍	(24)
外部中断的响应时间	(24)
如何单步运行 8051	(25)
中断控制寄存器	(25)
2.9 RST/VPD 脚	(26)
复位	(26)
掉电操作	(28)
2.10 8781	(28)
擦除特性	(28)
EPROM 编程	(29)
程序检验	(29)
2.11 8051 系列引脚说明	(29)
第三章 MCS-51 存贮器组织、寻址方式和数据操作	(31)
3.0 存贮器组织	(31)
3.1 操作数寻址	(34)

寄存器寻址	(35)
直接寻址	(35)
寄存器间接寻址	(35)
立即寻址	(36)
基寄存器加变址寄存器间接寻址	(36)
3.2 数据操作	(36)
3.3 布尔处理机	(37)
3.4 数据传送操作	(38)
3.5 逻辑操作	(40)
3.6 算术操作	(41)
3.7 控制转移	(42)
第四章 MCS-51 指令系统	(45)
4.0 指令系统简介	(45)
4.1 指令系统的组织	(45)
数据传送	(45)
逻辑操作	(46)
算术操作	(47)
控制转移	(48)
4.2 指令定义	(49)
第五章 MCS-51 应用实例	(89)
5.0 8051 程序设计技术	(89)
基数变换程序	(89)
多精度算术运算	(90)
查表程序	(90)
中断时保存 CPU 的状态	(92)
通过栈来传递参数	(94)
N路散转	(95)
运行时计算分支地址	(97)
第六章 MCS-51 技术手册	(112)
6.1 8031/8051/8751 单片 8 位微计算机	(112)
引言	(112)
8051 系列	(112)
宏观的 8051 结构	(114)
8051 系列引脚介绍	(121)
特性	(123)
表 6-1 8051 指令系统摘要	(125)
6.2 80C51/80C31 CHMOS 单片 8 位微计算机	(130)
80C51 空闲和掉电方式	(131)
80C51 I/O 口	(132)

RST 脚(133)

80C51 和 80C31 引脚说明(133)

特性(135)

6.3 MCS-51 系列简介..... (140)

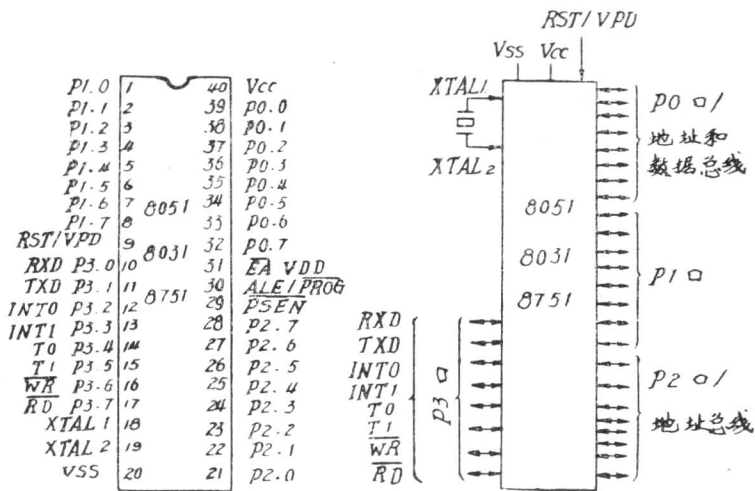
第一章 引言

MCS-51 系列的目标是把工业标准 MCS-48 系列的结构扩展为 80 年代产品。它既增强了 MCS-48 CPU 的性能，也增加了片内 CPU 外围接口的功能、种类和数量。这样，MCS-51 系列适用于需要较强单片功能的应用场合。它是世界上性能最高的微计算机系列，超过了所有用于控制应用的微处理机和微计算机，它增强了的结构为 MCS-48 用户提供了向上兼容的发展道路。表 1 概括了这些特性。

表 1 8051 相对于 8048 的功能/速度

• 4×程序存储器(4K 字节)
• 2×数据存储器(128 字节)
• 2×寄存器区数(4 对 2)
• 2×定时器(2 个 16 位定时器)
• 新的全双工串行 I/O 口
• 更多的 I/O 线(32 对 27)
• 增强了的 MCS-48 结构
• 2½×到 10×执行速度

现在 MCS-51 系列包括 3 种产品：8051、8031 和 8751。
 8051 是一个独立的高性能单片计算机，主要用于复杂的实时应用中，如仪器、工业控制和智能计算机终端。它的硬件特点、增强了的结构和新指令使它成为强有力的和价廉



引脚图

逻辑符号

图 1

物美的控制器，可满足需达 64K 字节程序存贮器和/或达 64K 字节数据存贮器的应用场合，其逻辑符号见图 1。

8031 是一个没有片内程序存贮器的用于控制的 CPU。它能寻址 64K 字节的外部程序存贮器和 64K 字节的外部数据存贮器。对于需要更多功能的系统，MCS-51 系列的每一个成员都能用标准存贮器和按字节组织的 MCS-80 和 MCS-85 外围芯片加以扩展。8051 是一个片内具有 4K 字节的掩模式程序存贮器的 8031，而 8751 则片内具有 4K 字节的紫外光可擦/电可编程的 ROM。

这三种 MCS-51 系列的引脚相容的产品(8051、8031、8751)把开发问题减少到最低限度，并提供最高的灵活性。8751 最适于开发样机、小批量生产和需要在现场进一步完善的场合；8051 适于低成本、大批量生产；而 8031 适于需外接能方便灵活地在现场进行修改和更新的程序存贮器的应用场合。

第二章 MCS-51 结构

8051 的基本特性如下:

- 8 位 CPU
- 片内振荡器
- 4K 字节 ROM
- 128 字节 RAM
- 21 个特殊功能寄存器
- 32 根 I/O 线
- 可寻址 64K 字节外部数据存储器空间
- 可寻址 64K 字节外部程序存储器
- 2 个 16 位定时器/计数器
- 5 个中断源, 有 2 个优先级
- 一个全双工串行口
- 有位寻址功能, 适于布尔处理

8051 这个名称一般常用来代表 8051、8031 和 8751。8031 是一个无 ROM 的 8051,它从外部存储器取所有指令。8751 是一个用 EPROM 代替 ROM 的 8051。

8051 的框图见图 2-1。引脚见图 1。

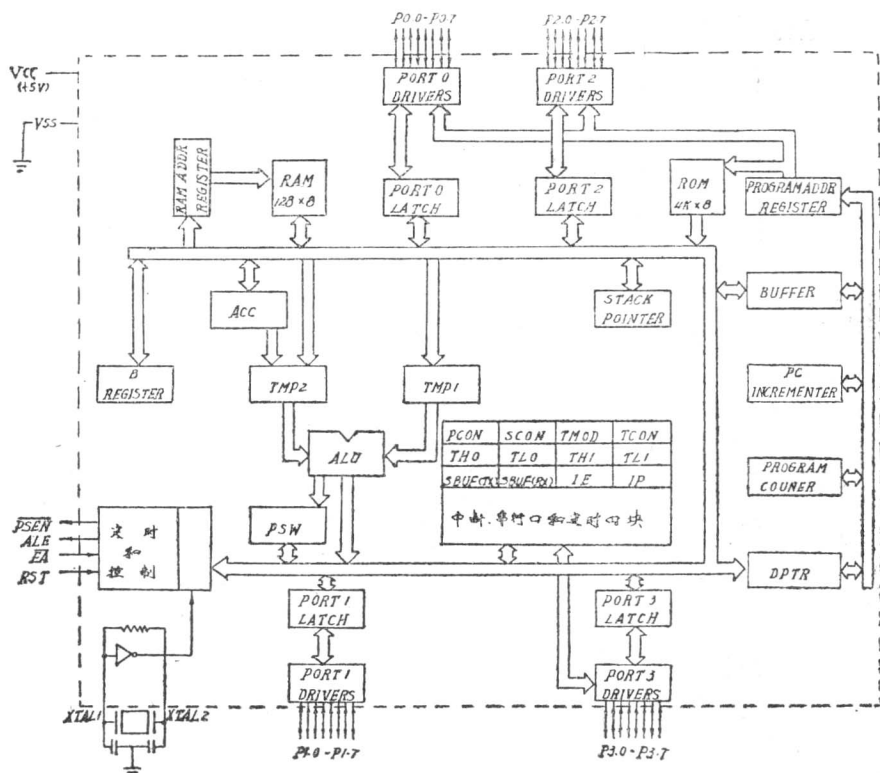


图 2-1 8051 框图

§2.0 存储器组织

8051 的程序存储器和数据存储器的寻址空间是分开的。程序存储器寻址范围可达 64K, 其中最低的 4K 字节为片内的 ROM。

如果 $\overline{\text{EA}}$ 脚保持高电平, 8051 在程序计数器超过 0FFFH 前, 执行内部 ROM 内的程

序。当寻址范围为 1000H 到 FFFFH 时，从外部程序存储器取指。

如果 $\overline{EA}$ 脚保持低电平，8051 的所有取指操作均对外部程序存储器进行。

数据存储器是由 128 字节的片内 RAM 和 21 个特殊功能寄存器组成。此外，它还能寻址多达 64K 字节的外部数据存储器。

程序存储器使用 16 位地址。外部数据存储器能使用 8 位也能使用 16 位地址。内部数据存储器使用 8 位地址，它能寻址 256 个单元。低的 128 个地址为访问片内 RAM。特殊功能寄存器占据高 128 字节中的各个单元。

内部 RAM 的最低 32 个字节(地址 00-1FH)分成 4 个寄存器区，每个区由 8 个寄存器组成。每一个这样的区都可被选为 CPU 的工作寄存器，从而只需指令操作码字节中的 3 位地址来访问。这样，许多指令可为字节。

内部 RAM 的后面 16 个寄存器(地址 20H 到 2FH)，可具有分别寻址的位。它们可用作软件标志位或用于 1 位(布尔)处理。这种位寻址能力是 8051 的一个重要特点。除了 RAM 中的 128 个可分别寻址的位外，11 个特殊功能寄存器也可分别进行位寻址。

存储器映象见图 2-2。

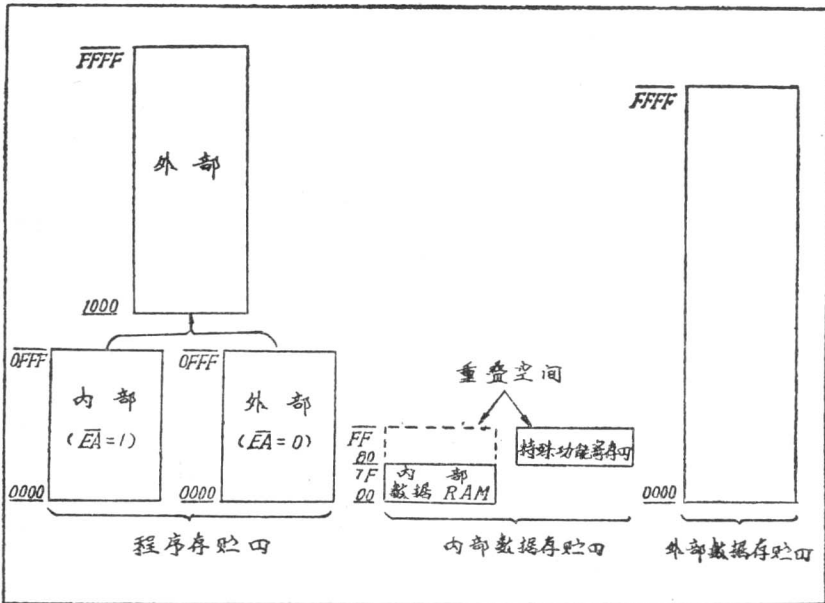


图 2-2 存储器映象

§ 2.1 特殊功能寄存器

特殊功能寄存器是如下一些寄存器：

- *ACC 累加器
- *B B 寄存器
- *PSW 程序状态字
- SP 堆栈指针
- DPTR 数据指针(由 DPH 和 DPL 组成)
- *P0 口 0 (Port 0)

*P1	口 1(Port 1)
*P2	口 2(Port 2)
*P3	口 3(Port 3)
*IP	中断优先级
*IE	中断允许
TMOD	定时器/计数器方式
*TCON	定时器/计数器控制
TH0	定时器/计数器 0(高位字节)
TL0	定时器/计数器 0(低位字节)
TH1	定时器/计数器 1(高位字节)
TL1	定时器/计数器 1(低位字节)
*SCON	串行控制
SBUF	串行数据缓冲器
PCON	电源控制

标有 * 的寄存器既可字节寻址也可位寻址。

累加器:

ACC 是累加器。累加器的指令用助记符用 A 来表示, 但寄存器本身的名字为 ACC。

B 寄存器:

B 寄存器用于乘法和除法操作。对于其他指令, 它能用作一个暂存器。

堆栈指针

堆栈指针为 8 位。堆栈能位于片内 RAM 128 字节的任何单元。当 8051 复位时, 栈指针初始化为 07H。在执行 PUSH 或 CALL 时, 在存贮数据前, 栈指针加 1, 因此堆栈从地址 08H 开始。

数据指针:

数据指针(DPTR)是一个 16 位寄存器, 由高位字节(DPH)和低位字节(DPL)组成。它的功能是存放 16 位地址。

口 0 到口 3:

这 4 个平行口提供了 32 根 I/O 线。每一个口由一个锁存器(特殊功能寄存器 P0 到 P3)、一个输出驱动器和一个输入缓冲器组成。

口 0 和口 2 的输出驱动器以及口 0 的输入缓冲器用于访问外部存储器。这时, 口 0 分时输出外部存储器低位地址、读/写的数据。而口 2 输出外部存储器高位地址。

口 3 的输出驱动器和输入缓冲器同样也有多重功能, 可用下表表示:

口引脚	第二功能
P3.0	RXD(串行输入口)
P3.1	TXD(串行输出口)
P3.2	$\overline{\text{INT0}}$ (外部中断)
P3.3	$\overline{\text{INT1}}$ (外部中断)
P3.4	T0(定时器 0 外部输入)

P3.5	T1(定时器1外部输入)
P3.6	$\overline{\text{WR}}$ (外部数据存储器写脉冲)
P3.7	$\overline{\text{RD}}$ (外部数据存储器读脉冲)

串行数据缓冲器

串行数据缓冲器实际上为二个分开的寄存器。写入 SBUF 的数据贮存在发送缓冲器,用于串行发送。(传送一个字节到 SBUF 时初始化发送操作。)从 SBUF 读出的数据来自接收缓冲器。

在串行接收时,输入位定时地输入到另一个移位寄存器。一帧接收完成,并且如果满足其他各种条件,8位接收的数据从移位寄存器传送到接收缓冲器。然后移位寄存器准备开始接收第二帧,而已经接收到的一帧数据等待处理。

控制和状态寄存器

特殊功能寄存器 IP、IE、TMOD、SCON 和 PCON 包含中断系统、定时器和串行口的控制和状态位。这些将在本章以后几节中详细介绍。

§ 2.2 振荡器和时钟电路

XTAL1 和 XTAL2 分别是用作晶体振荡器的反向放大器的输入和输出端,其频率范围为 1.2Hz 到 12MHz。XTAL2 也是内部时钟发生器的输入端。

为了用外部振荡器驱动芯片,应该把 XTAL1 接地,驱动 XTAL2。因为时钟发生器的输入是一个两分频触发器,所以对外部振荡信号在脉宽无特殊要求,然而必须保证最少的高和低电平脉宽。

时钟发生器把振荡器频率两分频,为芯片提供一个 2 相时钟信号。相位 1 信号(P1)在每一个时钟周期的前半部为有效,而相位 2(P2)在每一个时钟周期的后半部为有效。

§ 2.3 CPU 时序

一个机器周期由 6 个状态(12 个振荡脉冲)组成。每一个状态分为相位 1 半部(这时 P1 信号有效)和相位 2 半部(这时 P2 信号有效)。一般情况下,算术和逻辑操作发生在相位 1 期间,而内部寄存器到寄存器传输发生在相位 1 期间,而内部寄存器到寄存器传输发生在相位 2 期间。

图 2-3 用内部状态和相位表明了取指/执行的时序。因为这些内部时钟信号不能从外部观察到,所以图中用 XTAL2 振荡信号和 ALE(地址锁存允许)信号作外部参考。这样一个机器周期由 12 个振荡脉冲组成。每一个状态持续 2 个振荡周期。一般情况下,每个机器周期产生两次 ALE:一次在 S1 P2 与 S2 P1 之间,然后在 S4 P2 与 S5 P1 之间。

对于单周期指令,在把指令码读入指令寄存器时,从 S1 P2 开始执行指令。如果它为双字节指令,则在同一机器周期的 S4 读入第二字节。如果它为单字节指令,则在 S4 仍旧进行读,但读入的字节(它应是下一个指令码)被忽略,并且程序计数器不加 1。在任何情况下,在 S5 P2 结束指令操作。图 2-3A 和图 2-3B 分别为 1 字节 1 周期和 2 字节 1 周期指令的时序。

大多数 8051 指令执行时间为 1 个机器周期。MUL(乘法)和 DIV(除法)是仅有的需 2 个以上机器周期的指令,它们需 4 个机器周期。

一般情况下,2 个指令码字节在一个机器周期内从程序存储器取出。仅有的例外是 MOVX 指令。MOVB 是访问外部数据存储器的单字节双机器周期指令。在 MOVX 指令

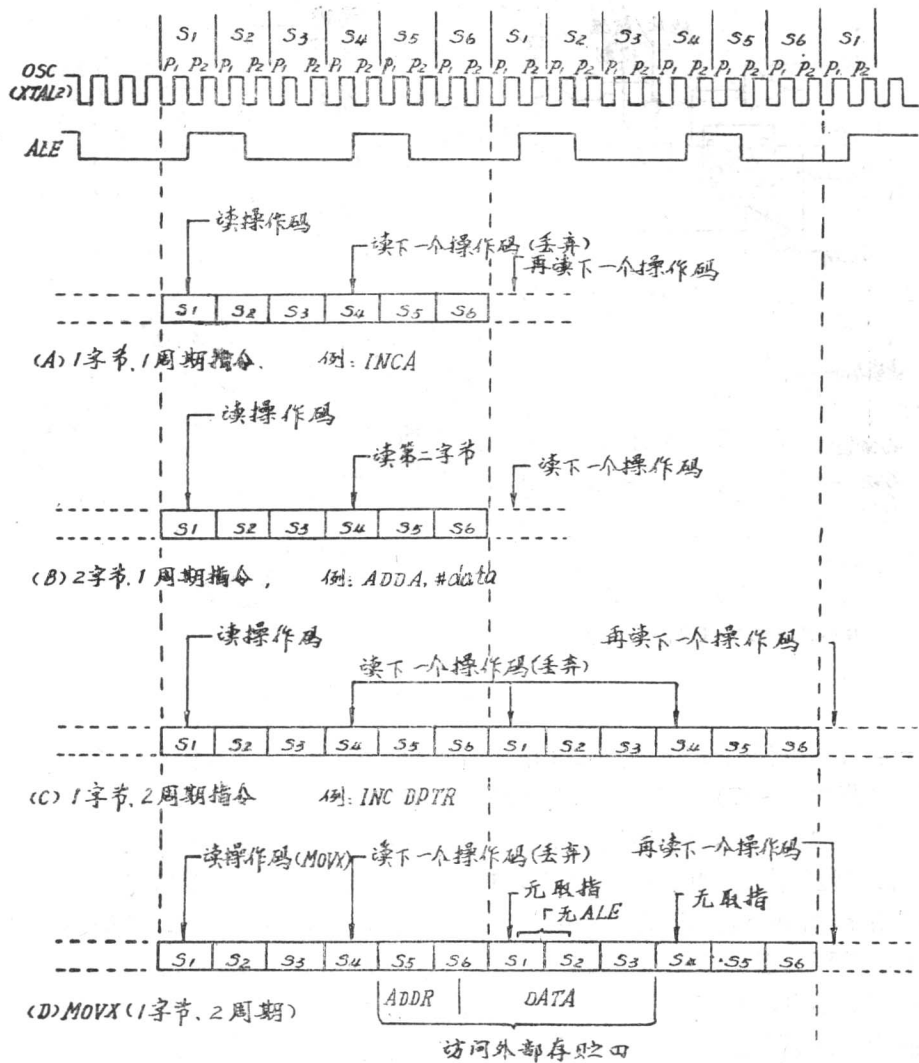


图 2-3 8051 的取指/执行时序

期间，少执行 2 次取指操作，而进行寻址和选通外部数据存储器。图 2-3C 和图 2-3D 分别为一般的单字节双机器周期指令和 MOVX 指令的时序。

§ 2.4 口操作

8051 的所有 4 个口都是双向的。口 1、2 和 3 有内部提升电阻。口 0 为开漏输出。图 2.4 表明了四个口中每个口的一位功能框图。

每一根 I/O 线能独立地用作输入或输出。对于用作输入的线，该口线的锁存器必须存放“1”，它关断输出驱动器 FET(场效应管)，这时对于口 1、2 和 3，该引脚由内部的提升电阻拉到高电平，但是它能由外部源(输入)拉成低电平。对于口 0，口锁存器中的“1”使输出脚浮空。8051 中的所有口锁存器在复位时均置为“1”。如果后来在口锁存器中写入过“0”，在需要时写入一个“1”使它再成为一个输入。

由于口 1、2 和 3 在用作输入时拉成高电平，它们有时被称为准双向口。作为输入，它

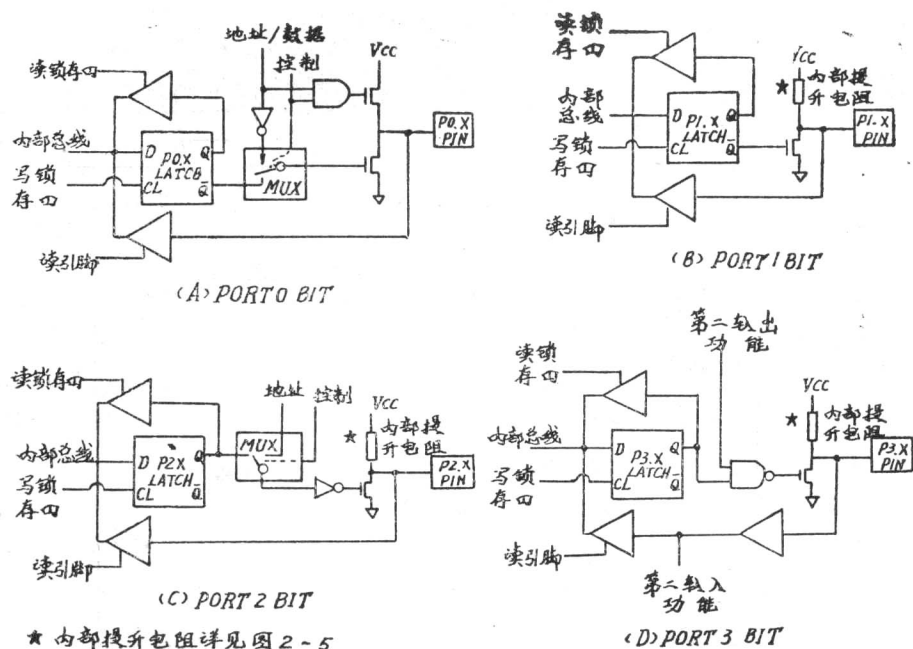


图 2-4 口锁存器和缓冲器

们能用一般方法由任何 TTL 或 MOS 电路所驱动。然而，由于它们具有内部提升电阻，它们也能由开集电极(OC)或开漏输出所驱动，而不需要外加提升电阻。

口 0 与其他口不同，它没有内部提升电阻。除了在访问外部存储器时用作 ADDR/DATA 总线(地址/数据总线)的情况外，PO 输出驱动器上方的 FET(见图 2-4A)被关断。因而 PO 用于输出的线具有开漏输出。在 PO 锁存器中写入一个“1”，使输出的二个 FET 均被关断，从而使引脚浮空。在这种情况下，它能用作一个高阻输入。

注意图 2-4 中，有两种读一个口的方法：一条指令或者读锁存器或者读引脚。在 8051 中，有些指令读锁存器，而有些读引脚。读锁存器而不是读引脚的指令是读入一个值，可能改变它，然后把它重写入锁存器中。这些指令称为读—修改—写指令。下面列出的为读—修改—写指令，当目的操作数为一个口或口的一位时，这些指令读锁存器而不是读引脚。

- ANL (逻辑与，例 ANL P1, A)
- ORL (逻辑或，例 ORL P2, A)
- XRL (逻辑异或，例 XRL P3, A)
- JBC (如果位 = 1 转移并清 0 该位，例 JBC(P1.1, LABEL))
- CPL (位取反，例 CPL P3.0)
- INC (加 1，例 INC R2)
- DEC (减 1，例 DEC P2)
- DJNZ (减 1 如不为零则转移，例 DJNZ P3, LABEL)
- MOV PX.Y, C (进位位送 PX 的位 Y)
- CLR PX.Y (清零 PX 的位 Y)
- SET PX.Y (置位 PX 的位 Y)

表中后面三条指令看上去不是读—修改—写指令，然而它们确是这类指令。它们读入口字节(所有 8 位)，修改所寻址的位，然后把新的字节写回锁存器中。

读—修改—写指令之所以要读锁存器，而不是读引脚，是为了避免可能译错引脚上的电平。例如，一个口的某位可能用于驱动三极管的基极，可写入“1”使三极管导通。如果现在 CPU 去读该口位的引脚而不是锁存器，将会读入三极管基极电压，并评为“0”。读锁存器而不是读引脚，将得到正确的值“1”。为了避免这种问题，8051 的读—修改—写指令采用读口锁存器而不是读引脚。

在图 2-4D 中可看到，口 3 的每一根线可执行与口功能无关的第二种输入功能和第二种输出功能。这时位锁存器必须包含“1”，否则口引脚将被拉为“0”，而不管第二种功能如何操作。前面已经列出过能实现的第二种功能，但为了方便，这里再列出这张表：

口引脚	第二功能
P3.0	PXD(串行输入口)
P3.1	TXD(串行输出口)
P3.2	$\overline{\text{INT0}}$ (外部中断)
P3.3	$\overline{\text{INT1}}$ (外部中断)
P3.4	T0(定时器 0 外部输入)
P3.5	T1(定时器 1 外部输入)
P3.6	WR(外部数据存储器写脉冲)
P3.7	RD(外部数据存储器读脉冲)

2.4.1 口的写入

执行改变锁存器的值的指令时，在该指令的最后周期的 S6 P2，新的值写入锁存器。然而，实际上口的输出缓冲器仅仅在任何时钟周期的相位 1 期间才采样口锁存器。(在相位 2，输出缓冲器保持在前一个相位 1 时所采样得的值。)因而口锁存器中新的值在下一个相位 1(它将是下一个机器周期的 S1 P1)前不会实际出现在输出线上。

如果口 1、2 或 3 发生 0 到 1 的跳变，则在发生跳变的机器周期后的 S1 P1 和 S1 P2 期间接入另一个提升电阻。这用于加快跳变速度。这额外的提升电阻能提供 100 倍于普通的提升电阻的电流。

应该注意到内部提升电阻为场效应三极管，而不是线性电阻。提升电阻的结构见图 2-5。固定的提升电阻为耗尽型三极管，它的栅极与源极相连。如果口引线与地短路，这三极管将允许大约 0.25mA(典型值)从引脚流出。与固定的提升电阻并联的是一个增强型三极管，它在 S1 口位发生 0 到 1 跳变时导通。在这期间，如果该口引脚与地短路，则这额外的三极管将允许 30mA(典型值)从引脚流出。

2.4.2 口的负载能力

口 1、2 和 3 的输出缓冲器能驱动 3 个 LSTTL 输入。口 0 的输出缓冲器能驱动 8 个 LSTTL 输入。

口 1、2 和 3 不必外加提升电阻就可驱动任何 MOS 输入。口 0 需外加提升电阻来驱动 MOS 输入。但在用作地址/数据总线时，它可直接驱动 MOS 输入而不必外加提升电阻。

§ 2.5 访问外部存储器

有两种访问外部存储器的方式：访问外部程序存储器和访问外部数据存储器。访问外

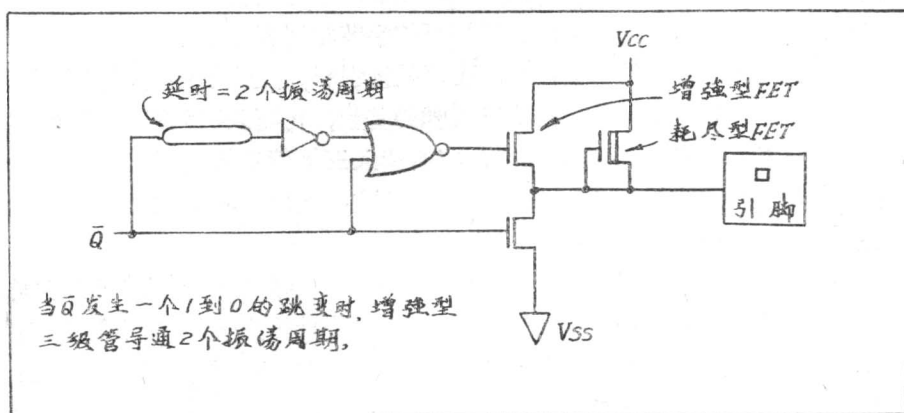


图 2-5 内部提升电阻

部程序存储器信号 $\overline{PTEN}$ (程序选通允许) 作读选通。访问外部数据存储器用 $\overline{RD}$ 或 $\overline{WR}$ ($P3.7$ 和 $P3.6$ 的第二功能) 来选通存储器。

从程序存储器取指, 总是使用 16 位地址。访问外部数据存储器可使用 16 位地址 ($\text{MOVX } @\text{DPTR}$) 也可使用 8 位地址 ($\text{MOVX } @\text{Ri}$)。

使用 16 位地址时, 地址的高位字节从口 2 输出, 它在读或写周期持续期间保持不变。这时, 口 2 锁存器(特殊功能寄存器)不必包含 1, 而口 2SFR(特殊功能寄存器的内容也不会改变。如果外部存储器周期后面不是紧跟另一个外部存储器周期, 口 2SER 的原来内容在读或写选通结束后不久将重新出现。

如果使用 8 位地址 ($\text{MOVX } @\text{Ri}$), 口 2SFR 的内容在外部存储器周期期间将保持在口 2 引脚上。这便于进行页寻址。

在任何情况下, 地址的低字节与数据字节分时出现在口 0 上。ADDR/DATA 信号驱动口 0 输出缓冲器的上下两个场效应管(FET)。这样, 在这种应用场合, 口 0 引脚不是开漏输出, 它们不需要外部提升电阻。信号 $\overline{ALE}$ (地址锁存允许) 应该用来把地址字节锁存在一个外加的锁存器中。在 $\overline{ALE}$ 的负跳变地址字节有效。然后, 在写周期中, 写的数据在 $\overline{WR}$ 有效前出现在口 0 上, 并且在 $\overline{WR}$ 结束前一直保持不变。在读周期中, 恰在读选通结束前接收口 0 上的输入字节。

在任何访问外部存储器期间, CPU 向口 0 的锁存器(特殊功能寄存器)写入 OFFH , 这样将擦去口 0SFR 可能已存储的任何信息。

关于访问外部程序存储器的进一步介绍:

在以下 2 个条件下访问外部程序存储器:

- 1) 程序计数器(PC)的值大于 OFFH 。
- 2) 信号 $\overline{EA}$ 有效, 这时不管 PC 的内容为什么值。

8031 是没有内部程序存储器的 8051。8031 的 $\overline{EA}$ 必须在外接为低电平。从而使它从外部存储器取指最低 4K 程序字节。

当 CPU 执行外部程序存储器的程序时, 口 2 的所有 8 位用作输出功能: 在外部程序取指时, 它们输出 PC 的高位字节; 在访问外部数据存储器期间, 它们或者输出 DPH 或

者输出口 2SFR(取决于外部数据存储器访问是 MOVX @DPTR 还是 MOVX @Ri)。

外部取指的读选通为 PSEN。PSEN 在内部取指时不有效。当 CPU 访问外部程序存储器时，每一个周期中 PSEN 有效二次(除了执行 MOVX 指令)而不管现行指令是否需要取来的字节。PSEN 有效时间与 RD 不同。一个完整的 RD 周期(包括激活和停止 ALE 和 RD)需要 12 个振荡周期。一个完整的 PSEN 周期(包括激活和停止 ALE 和 PSEN)需要 6 个振荡周期。图 2-6 对比了这两种读周期的执行时序。

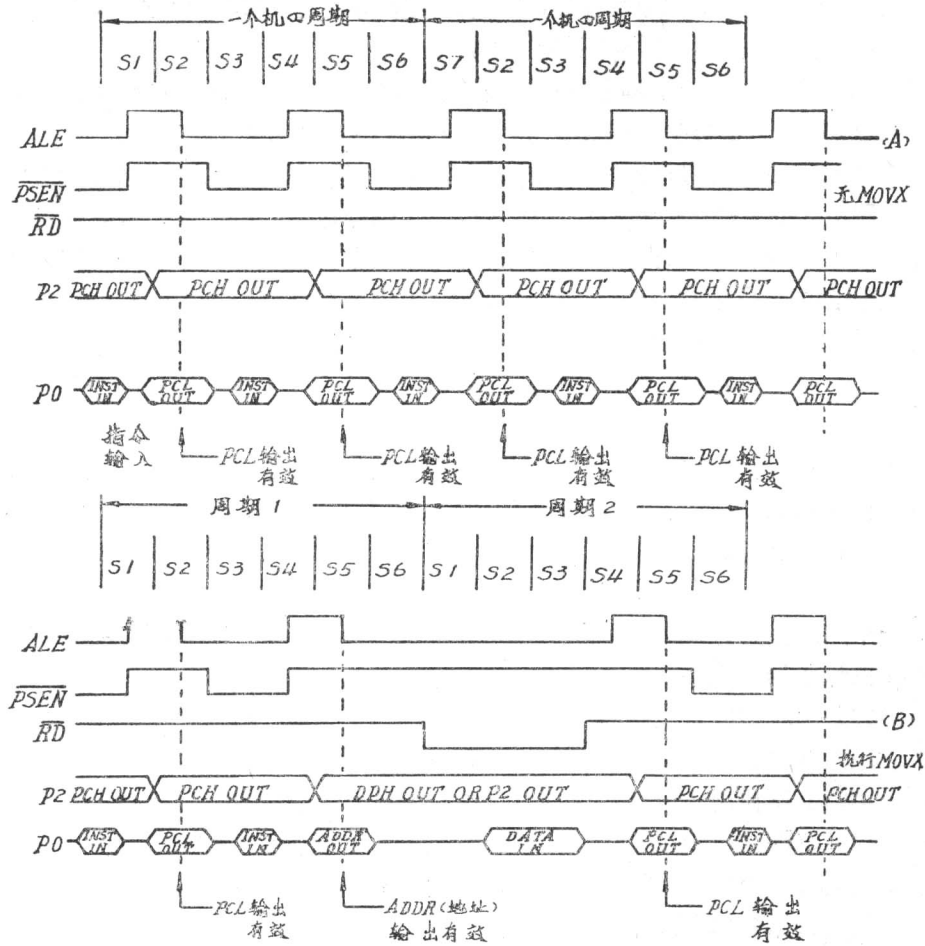


图 2-6 外部程序存储器程序的执行时序(详细定时图见技术手册)

程序和数据存储器空间的重叠:

在某些应用场合中，需要执行用于存放数据的存储器中的程序。采用把 PSEN 和 RD 逻辑与，可合并 8051 的外部程序和数据存储器空间。这两个信号的逻辑与产生一个低有效的读选通，它可能用于重合的物理存储器。因为 PSEN 周期比 RD 周期快，外部存储器需足够快以满足 PSEN 周期的需要。

关于 ALE 的进一步介绍:

ALE 的主要作用是提供一个适当的定时信号，在从外部程序存储器取指时把 P0 的低地址字节锁存到外接的锁存器中。为了这个目的，每一个机器周期 ALE 有效二次。即使

该周期不需要外部取指, ALE 也同样有效。仅仅在访问外部数据存储器期间才不输出 ALE 脉冲, 这时在 MOVX 指令的第二周期的第一个 ALE 将不发出(见图 2-6)。因而, 在任何不使用外部数据存储器的系统中, ALE 以 $1/6$ 振荡器频率的速率发出, 能用作外部时钟或定时。

§ 2.6 定时器

8051 提供 2 个 16 位寄存器: 定时器 0 和定时器 1, 它们能用作定时器或事件计数器。对于每一个定时器/计数器寄存器, 在特殊功能寄存器 TMOD 中有一个控制位, 它选择定时器/计数器的功能为定时器还是计数器。

在定时器功能中, 每一个机器周期这寄存器加 1。这样可以认为它在计数机器周期。因为一个机器周期由 12 个振荡周期组成, 所以计数率为振荡频率的 $1/12$ 。

在计数器功能中, 这寄存器在对应的外部输入脚(T0 或 T1), 发生 1 到 0 的跳变时加 1。在这种功能中, 每一个机器周期的 S5 P2 时采样外部输入。当采样值表明一个周期为高, 下一个周期为低, 则计数器加 1。新的计数值在探测到跳变后的一个周期的 S3 P1 时出现在寄存器中。由于它需要 2 个机器周期(24 个振荡周期)来识别一个 1 到 0 的跳变, 所以最高的计数率为振荡器频率的 $1/24$ 。对外部输入信号的持续周期没有限制, 但必须保证一个给定的电平在它变化前应至少被采样一次, 因为它至少应在一整个机器周期中保持不变。

除了可选择定时器或计数器, 每一个定时器/计数器有 4 种操作方式可供选择。图 2-7 对这些方式作了功能性描述。方式 0、1 和 2 对 2 个定时器/计数器均相同, 而方式 3 则不同。4 种操作方式详述如下:

方式 0:

置任一个定时器为方式 0, 使它看上去象一个 8048 的定时器, 后者为 1 个具有 32 预分频器的 8 位计数器。图 2-7A 表明定时器 1 方式 0 的操作。

在这种方式中, 定时器组织为一个 13 位寄存器。当计数从全 1 变为全 0 时, 它置 1 定时器中断标志 TF1。当 TR1 = 1 并且 GATE = 0 或 $\overline{\text{INT1}} = 1$ (置 GATE = 1 允许定时器由外部输入 $\overline{\text{INT1}}$ 所控制, 以便于脉冲宽度的测量) 时, 允许定时器计数输入。TR1 是特殊功能寄存器 TCON 的一个控制位, GATE 是特殊功能寄存器 TMOD 的一个控制位。

13 位寄存器由 TH1 的所有 8 位和 TL1 的低 5 位所组成。TL1 的高 3 位内容不定, 应该忽略。置位空行标志(TR2)并不清 0 寄存器。

方式 0 操作对定时器 0 与定时器 1 均相同, 只是用 TR0、TF0 和 $\overline{\text{INT0}}$ 替换图 2-7A 中对应的定时器 1 的信号。有 2 个不同的 GATE 位, 一个用于定时器 1 (TMOD.7), 另一个用于定时器 0 (TMOD.3)。

方式 1:

除了定时器寄存器用 16 位运行外, 方式 1 与方式 0 相同。

方式 2:

方式 2 把定时器寄存器组织成 1 个可自动重新装入的 8 位计数器(TL1)。从 TL1 的溢出不光置位 TL1, 而且还用 TH1 中的内容重新装入 TL1, TH1 可由软件预置为任何需要的 1 字节值。重新装入不影响 TH1 的内容。

对于定时器 0, 方式 2 的操作也相同。