

微型计算机控制的柴油 主机自动遥控系统



大连海运学院船电专业教研室

1 9 8 5

第一章 微型计算机控制的柴油主机

自动遥控系统

§1-1 概述

近年来,在我国造船与远洋运输船舶中已从国外大量引进了做型计算机控制的柴油主机自动遥控系统。其中尤以西德“西门子”公司的DIFA31型为多,因此我们以DIFA31型作为典型例子来介绍用微型机控制的主机遥控系统。

该系统所完成的功能是,

- 保证主机的各个过程按正确程序执行
- 防止误操作
- 减轻船员的日常工作量

在操纵方式上,和常规的主机遥控系统相同,分为自动操纵和手动操纵两种方式。自动操纵分为驾驶室自动遥控和机控室自动遥控(任选)。手动操纵是直接利用气动控制,可以机控室和位于机旁的应急控制台进行操纵。手动和自动之间可随意转换。使用自动操纵时,通过移动车钟手柄发送相应的指令使自动遥控系统产生相应的动作,例如使主机起动,换向,程序加速,减速,倒车等等。

转速给定值是由装在车钟下方与车钟手柄连动的电位器发出,通过输入接口送到CPU处理后,再经输出接口送给电/气变换器去控制液压调速器,从而达到控制主机转速之目的。

DIFA31系统的结构框图如图1-1所示,它所采用的CPU是Intel8085(或8080),内存容量为PROM4K,EPROM16K, RAM4K。随着外部设备的不同,采用的I/O接口片子也不同。对于开关量和模拟量输入,使用SN74LS373锁存器作为接口,开关量

输出使用8255并行接口片子。模拟量输出使用8212片子。车钟记录仪（打印机）使用8251串行接口片子。定时使用8253片子。此外还设有模拟试验装置用的各个接口和8259中断控制器（图中未画）为了便于说明，我们首先介绍8080/8085 CPU，然后介绍输入接口电路，输出接口电路和模拟试验装置。

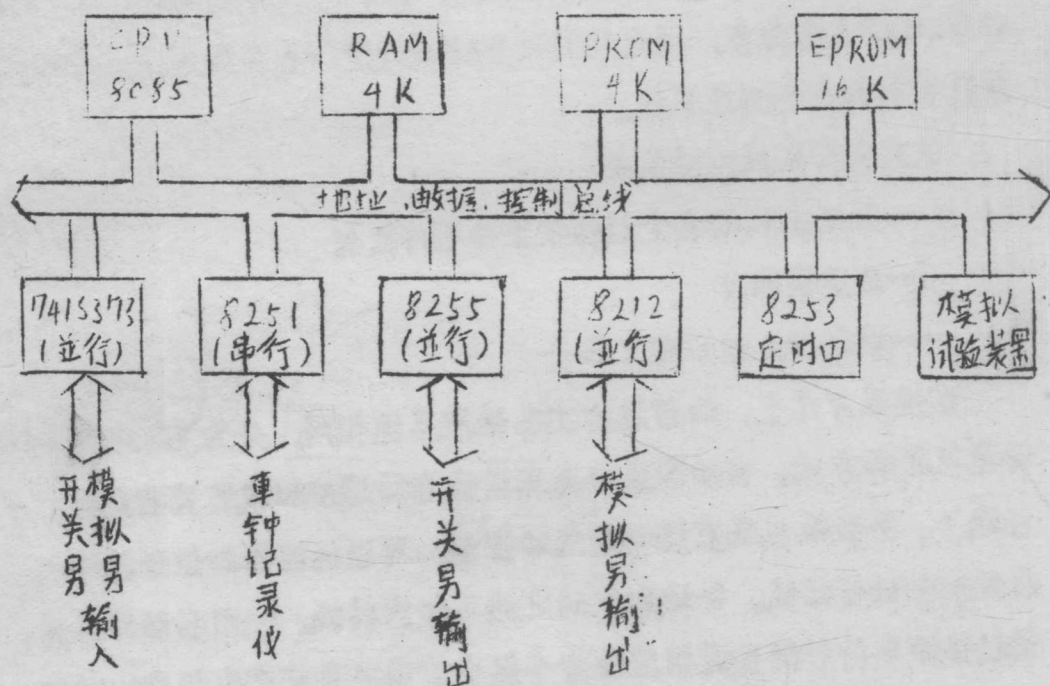


图 1—1 DIFA31系统框图

§1-2 Intel8080 和 8085CPU 的结构特点

在此之前，我们已经深入学习了 Z80CPU 的结构和指令系统等，由于 Z80CPU 是在 8080CPU 的基础上改进的，所以它们之间仍有许多共同之处。为此，在这里我们只需介绍 8080 和 8085CPU 的结构特点就可以了。

一、8080CPU 的结构特点

8080CPU 是美国 Intel 公司 1973 年产品，是最早问世的 8 位微处理器，拥有许多用户，因此，仍是目前广泛使用的 8 位微处理

器之一。

图 1—2 是 8080A 内部结构图。由图看出，8080A 也是由四部分组成，即寄存器组和地址控制逻辑，运算器，指令寄存器及其控制部分，双向三态数据总线缓冲器。这四部分之间是通过内部总线连接起来的。他们的功能和 Z80CPU 相同，但各部分的具体结构有所差异。下面介绍 8080 的主要特点。

1. 在寄存器组方面，通用寄存器只有 Z80 的主寄存器组 B, C, D, E, H, L, 无辅助寄存器组，因此通用寄存器数量比 Z80 少一半。而 W, Z 是两个暂时寄存器，在执行指令过程中，在内部暂时存放数据，程序员编程时不能使用。六个通用寄存器可以单个用（8 位），也可以组成对用（16 位）。此外，无刷新寄存器 R，当使用动态存储器时，必须另配刷新电路。两个专用 16 位寄存器 SP, PC 的功能同 Z80。

2. 运算器，除算术逻辑单元 ALU 外，还包括一个累加器 A，一个 8 位累加器锁存器 ACT，一个 8 位暂时寄存器 TMP，一个十进制调整电路和一个标志寄存器 F。其中标志寄存器仅用 5 位，如图 1—3 所示。

3. 指令寄存器及其控制部分的功能与 Z80 相同，只是产生的控制信号有所不同。

4. 有三种电源，四个电源端（+12V, +5V, -5V 和地）。有二相不重叠时钟脉冲 ϕ_1 , ϕ_2 ，主频率为 2MHz。

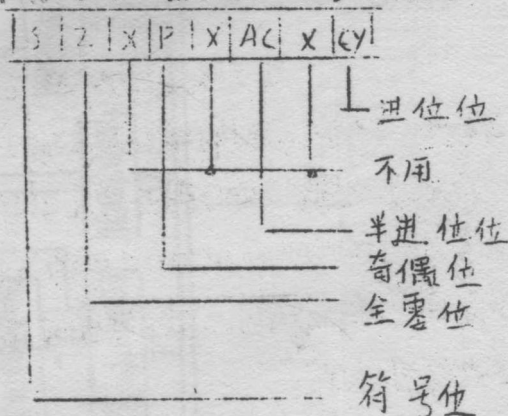
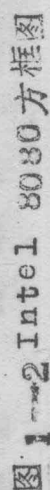


图 1—3 8080 标志寄存器



5. 有78条基本指令与Z80兼容；四种寻址方式：直接寻址、间接寻址、寄存器寻址、立即寻址。

6. 8080A的引脚安排如图1—4所示。其中地址总线、数据总线的功能与Z80相同，而控制总线中的各条信号线功能则有所不同。所以下面对这些信号线的功能来加以说明。

SYNC，同步信号（输出）。高电平有效。它是表示每个机器周期的开始。

READY和WAIT，准备就绪（输入）和等待（输出）信号，高电平有效。这两个信号的作用是解决CPU和存储器或I/O接口之间的速度配合问题。大多数存储器从接收

到地址到把数据送到数据总线上或把数

把数据总线上的数据送给基本存储单

元上的这段时间是能够跟得上CPU

的工作周期的。但也有一些存储器的

动作速度慢跟不上，这就需要联络

信号。如果存储器没有准备好，

就给CPU的READY引脚送低电平，

使CPU处于等待状态。此时CPU

发出WAIT高电平信号。当存储器

准备好时向CPU的READY引脚发

高电平信号，CPU就取消等待状态

（WAIT变低）从而可使指令继续

执行下去。

HOLD和HLDA，保持请求（输入）和保持响应（输出）信号，

高电平有效。这是用于DMA操作的信号。在一般的I/O操作中，存

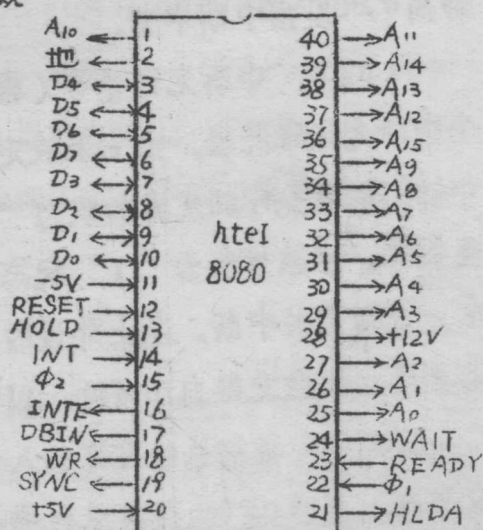


图1—4 8080A引脚安排

存储器与外设的信息交换都要经过CPU处理。当进行DMA操作时，这就多花了时间，使信息交换速度变慢。为了省去CPU的处理时间，就设置了HOLD和HLDA信号。DMA控制器给CPU的HOLD引脚输入一个高电平，表示外设申请“保持”，当CPU在每个机器周期结束时，检测到这个高电平信号，就发出HLDA保持响应信号，使CPU的地址总线和数据总线处于高阻态，并使CPU的当时工作状态得到保持。这样就可由提出申请的外部设备控制这些总线作DMA传送。当DMA传送完毕，使HOLD变低，总线的控制权又重新交给CPU，于是CPU就接着执行下一个机器周期的工作。

INT₁：中断请求信号（输入），高电平有效，由外部设备通过此引脚向CPU发出中断申请。

INT₂：中断允许信号（输出），高电平有效。在CPU内部有一个中断允许触发器，由它来决定CPU是否能接受外部设备提出的中断申请。中断允许触发器的状态“1”和“0”可分别用EI和DI指令来设置。当触发器为“1”状态时为开中断，可以接受外设的中断申请。否则为关中断，禁止外设的中断申请。每当CPU接受一个中断申请之后，该触发器自动复位，以便阻止另一个中断申请信号的进入。

DBIN：数据总线允许输入信号（输出），高电平有效。当为高电平时，表明CPU的数据总线接成输入方式，可以把存储器或I/O设备的数据传送给CPU。

$\overline{WR}$ ：写信号（输出），低电平有效。当为低电平时，表明数据总线上的数据已稳定，可以写入内存单元或经I/O接口输出。8080 CPU无读信号，可利用 $\overline{WR}$ 的高电平做为读信号来用。

RESET：复位信号（输入），高电平有效。当为高电平时，PC被置0，程序从0000H单元开始执行。此时，INT₂和HLDA也被置

0。但是累加器A，标志寄存器F，堆栈指示器SP和通用寄存器都不被清0。

7。在8080微计算机中，CPU是由三个芯片组成的，称为CPU模块如图1—5所示。从图中看出，除了8080CPU芯片之外，还有8224时钟发生器驱动器和8228系统控制器两个芯片。这是因为8080系统是最先问世的8位微处理器，第一，在它的内部没有时钟发生器驱动器电路，所以在8080CPU芯片外部接入一个8224芯片，用来向CPU芯片提供两相时钟信号 ϕ_1 和 ϕ_2 ，并产生一些同步信号。第二，CPU芯片虽有40个引脚，但是由于电源用去4个引脚，时钟用去2个引脚，再加上地址总线 and 数据总线用去24个引脚，所以用做控制线的引脚就不多了。因此，在CPU芯片外部再接入一个8228芯片来增加控制线的引脚($\overline{INTA}$ $\overline{MEMR}$, I/O)。同时，由于CPU芯片是MOS电路，驱动外部负载能力较低，只有1.9mA，为了提高对外部负载的驱动能力，故在8228芯片中设有双向总线驱动器。

二、8085CPU的结构特点

上面讲过，8080CPU模块是由8080CPU，8224时钟发生器驱动器和8228系统控制器三个芯片组成的，这就造成使用不够方便的缺点。为此，Intel公司在8080CPU模块的基础上研制出了8085CPU。它采用硅栅NMOS工艺把三个芯片电路集成在一个芯片上，制成单片CPU。这样，不仅集成度提高了，而且在性能上也有大幅度的提高。8085CPU的主要特点有：

1。软件和8080完全兼容；

2。8080A主频率为3MHz，执行速度提高了，基本指令执行时间间隔为1.5 μ S(8080A为2 μ S)；

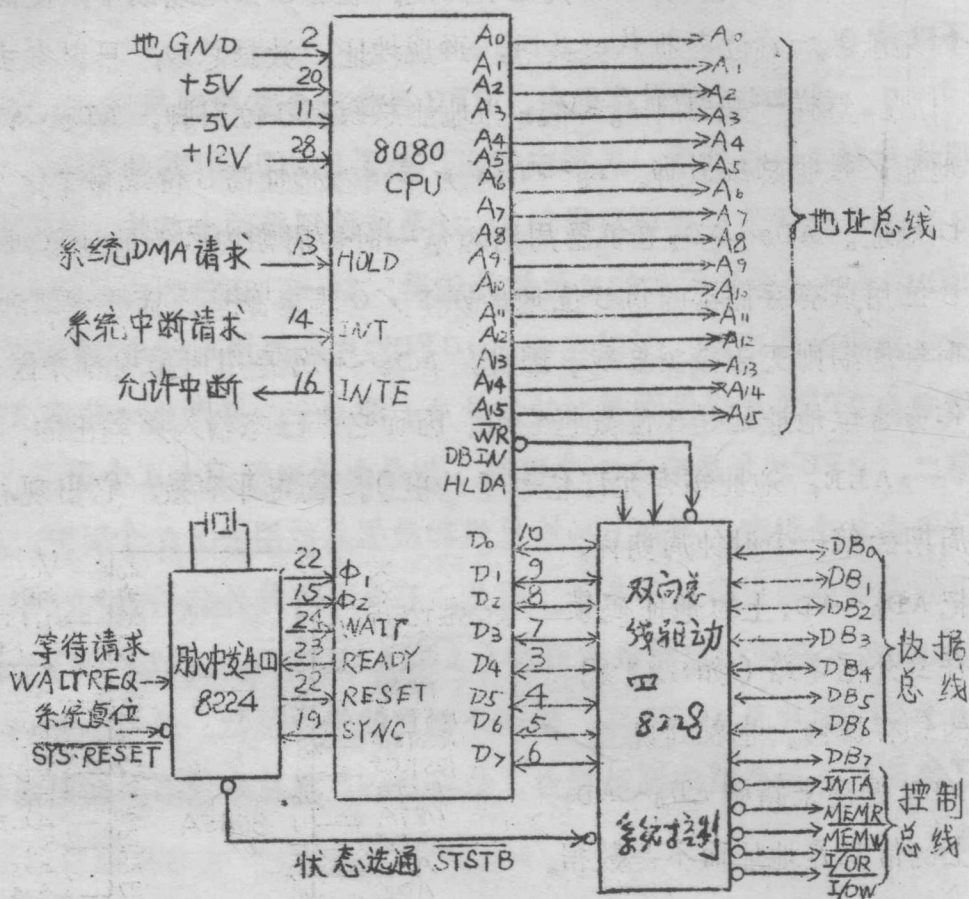


图 1—5 8080CPU 模块

3. 片内具有时钟发生器（外接晶体或 RC 网络）和系统控制器；
4. 增加四个向量中断输入（其中包括一个非屏蔽中断）；
5. 片内具有串行输入／输出端口；
6. 只用单一 +5V 电源；
7. 使用单相时钟；

8185ACPU 的引脚安排如图 1—6 所示，下面来说明各引脚的功能；

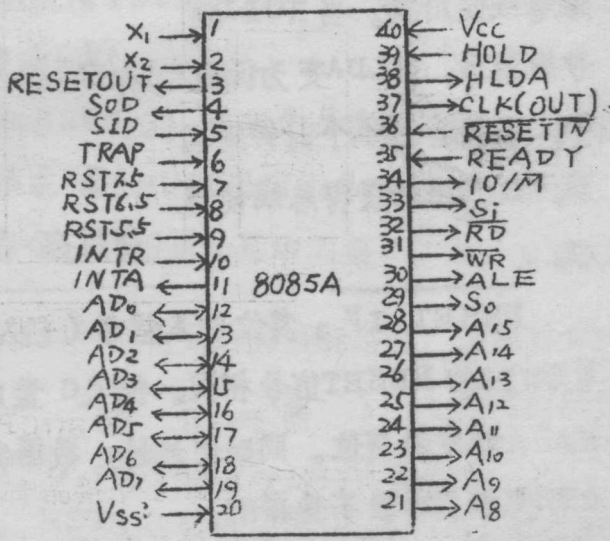
地址和数据总线。8085CPU 也是采用 40 个引脚信号线双列直插式封装，由于它是把 8080CPU 模块集成在一个芯片上，这就引起引脚

数量不足的问题。为了解决这个问题，在16条地址线中，使低8位的地址线和8位数据总线共用，形成地址/数据总线，可以省去8个引脚。这样一来引脚 $A_8 \sim A_{15}$ 为地址总线高8位引脚， $AD_0 \sim AD_7$ 为地址/数据总线引脚。 $A_8 \sim A_{15}$ 为存储器地址高8位或做I/O端口地址。 $AD_0 \sim AD_7$ 在机器周期的第一时钟周期内作为地址总线的低8位用，载有存储器的低8位地址或I/O端口地址，而在第二和第三时钟周期则变为数据总线。因此， $AD_0 \sim AD_7$ 是用时钟周期来区分是作为8位地址还是8位数据线用。因而它是三态输入/输出的。

ALE，地址锁存允许信号（输出），高电平有效，它出现在机器周期的第一个时钟周期内。

把 $AD_0 \sim AD_7$ 上的地址码锁存到外围电路（如8212）的锁存器内。也就是说 **ALE** 是用来指明 $AD_0 \sim AD_7$ 上的信息是地址而不是数据。

S_0, S_1 和 $\overline{Z0/M}$ 表示机器周期的状态信号（输出），用来决定当前进行的是什么



机器周期，见表1—1。 图1—6 8085ACPUP引脚

$\overline{RD}$ 和 $\overline{WR}$ ，读和写信号（三态输出），低电平有效。

READY，准备就绪信号（输出）高电平有效。在读/写周期，**READY** 为高电平时，表示存储器或外部设备已准备好发送或接收数据。如为低电平，则表示CPU在完成当前的读/写周期之前要等待数个时钟周期，直到**READY**变高电平为止。

HOLD，保持请求信号（输入），高电平有效。用来进行DMA操

作。当外部设备请求使用地址和数据总线时，由DMA控制器向HOLD引脚送高电平，CPU接收这个信号后，就在结束当前的机器周期后，放弃总线的使用权，使地址和数据总线， $\overline{RD}$ ， $\overline{WR}$ 和 $\overline{IO}/\overline{M}$ 线都处于高阻态。只有HOLD信号撤消后，CPU才可再度获得总线的使用权。

表1—1

HLDA, 保持响应信号 (输出), 高电平有效。它	$\overline{IO}/\overline{M}$	S_1	S_0	机器周期
表示在CPU接收HOLD请求	0	0	1	存储器写
后, 就在下一个时钟周期放弃总线	0	1	0	存储器读
弃总线使用权。当HOLD信	1	0	1	I/O写
号撤消后, HLDA变为低电	1	1	0	I/O读
平, 紧接着过半个时钟周期	0	1	1	取操作码
后, CPU重新获得总线使用	1	1	1	响应中断
权。	高阻态	0	0	暂停

RESET IN, 复位输入信号(输入), 低电平有效。它的功能与8080的RESET信号相同。把PC置成0, 并使中断允许触发器和HLDA触发器复位。同时使地址, 数据和控制总线处于第三态, 而使CPU其他寄存器不受影响。

RESET OUT, 复位输出信号(输出), 低电平有效。用来表示CPU已经复位, 并可用作系统的总复位信号。这个信号与时钟周期同步, 并能持续若干个时钟周期才消除。

8085有五个中断请求输入线, 比8080多四个, 它们的功能是:

INTR, 中断请求信号(输入), 它与8080唯一的一个中断请求信号INT相同, 在每条指令的最后一个时钟周期或者在HOLD和HALT状态时检测此引脚, 如有中断请求(高电平), 则PC行止计

数，并发出INTA中断响应信号，这时CPU接受从外部设备来的RST指令，并使程序转移到八个中断服务子程序的入口地址之一去执行。八个入口地址是00H，08H，10H，18H，20H，28H，30H和38H。INTR中断请求输入线也可以接收8259可编程序中断控制器控制，从而直接产生一条调用指令(CALL)，转到中断服务子程序入口地址去执行。可用软件(EI和DI)来决定INTR是否得到允许。在复位或接受一个中断后，将禁止继续接受INTR中断申请信号。

INTA 中断响应信号(输出)，在接受中断请求后，当前指令执行到最后一个时钟周期发出INTA响应信号，去读RST指令，或从8259中断控制器获得中断向量。

RST5.5，RST6.5和RST7.5：这三个是重新启动中断请求信号(输入)。这种中断请求可用8085独有的SIM指令来屏蔽。

SIM指令是中断屏蔽置数指令。利用累加器中的第0，1，2位分别作为RST5.5，RST6.5和RST7.5的屏蔽标志位。这些屏蔽标志位可用SIM指令来置“1”或置“0”。置“1”是允许中断申请，置“0”是禁止中断申请，即被屏蔽掉。当允许申请时，

RST5.5转移到2CH地址，RST6.5转移到34H，RST7.5转移3CH地址去执行中断服务程序。而表示屏蔽标志的累加器数据是用RIN指令送入指令叫中断屏蔽读数指令，这三个中断的优先级是RST7.5最高，RST5.5最低。

TRAP，自陷中断信号(输入)。这是一个非屏蔽中断，即它不受任何屏蔽或正在执行其他中断的影响。中断优先级高于RST5.5响应中断请求后，转移到24H去执行中断服务子程序。

SID和SOD，串行输入数据线和串行输出数据线，这是8085

CPU本身带有的串行输入/输出端口，可以不用外部串行接口（如8251）便可在程序控制下与低速的串行输入/输出设备进行通信。

X_1 和 X_2 ：这是CPU内部的时钟发生器与外部的晶体或RC/LC网络的连接端（输入）。当不用晶体或RC/LC网络而直接用外部时钟脉冲输入时，可通过 X_1 引脚输入。输入频率为片内频率的2倍。

CLK：时钟脉冲信号（输出），当 X_1 和 X_2 连接外部晶体或RC/LC网络时，CPU内部的时钟发生器通过CLK引脚向外输出时钟脉冲信号，供微机系统使用。输出时钟脉冲周期为 X_1 、 X_2 输入周期的2倍。

V_{CC} ：+5V电源

V_{SS} ：地

§ 2 输入接口电路

一、输入组件的组成和作用

DIFAB1的输入接口电路共使用两个相同的“AE=mV/V/mA”输入组件，每个组件组成一块印刷电路板，按设备位置编号，分别编为CC15组件板和CC27组件板。每个组件的框图，如图1—7所示，其具体的电路图如图1—8所示（为清楚起见，图中有所简化）。从图1—7和图1—8中可见，输入组件主要由具有48个引脚的插接头 X_4 和 X_1 （分别与传感器和CPU总线相连），多路转换开关 D_{22} 、 D_{23} ，测量放大器 N_2 、 N_3 ，A/D转换器（ADC） D_{13} ，光电耦合器 $U_1—U_{16}$ ，数据锁存器 D_{11} 、 D_{12} 、 D_6 、 D_{14} ，地址译码器 D_8 、 D_2 、 D_9 ，数据总线双向三态缓冲器 D_{10} ，延时器 D_6 ， D_{13} 和控制逻辑组成。下面分别介绍这些元件和芯片的作用以及与输入信号的连接。为了说明的方便，我们首先介绍组件与输入信号的连接。

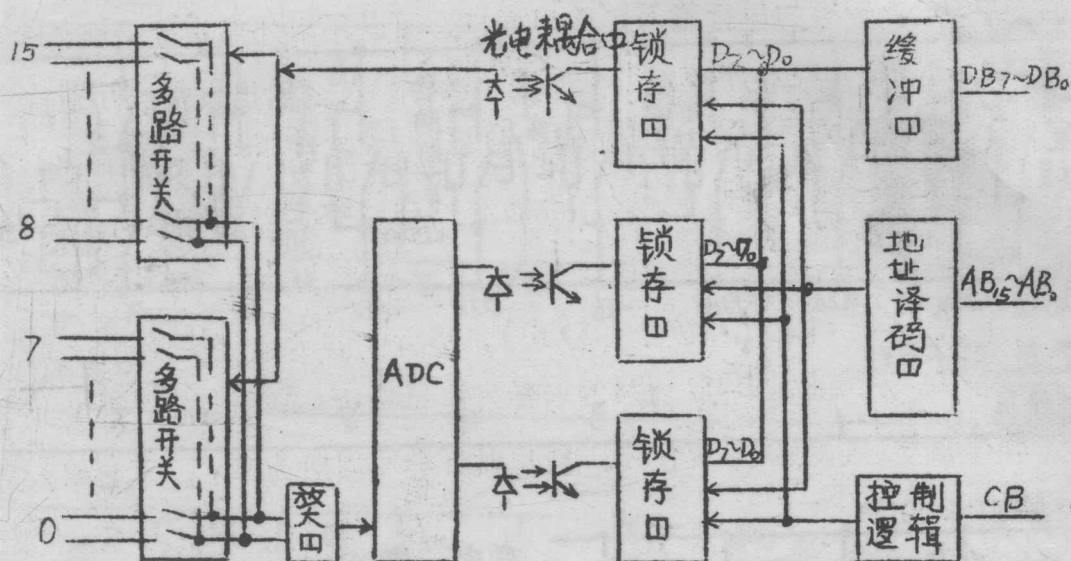


图 1—7 输入组件框图

1. 输入信号的连接与作用

组件 CC15 和 CC27 各有 16 个通道，两个组件共有 32 个通道，分别与各个输入信号相连，其接线图如图 1—9 图 1—10 所示。

从图中看出，输入量中有开关量和模拟量。开关量是由按钮、继电器、限位开关的触点发出，而模拟量是由电位器和变换器发出。在开关触点两端都需并联一较大电阻一方面用以防止触点开闭时对电子线路形成干扰，另一方面供系统开路故障检测用，即正常时触点断开，也不使系统电路开路，只有当其他元件损坏开路时，才呈现故障情况。CC15 组件各通道所接信号的功能如下：

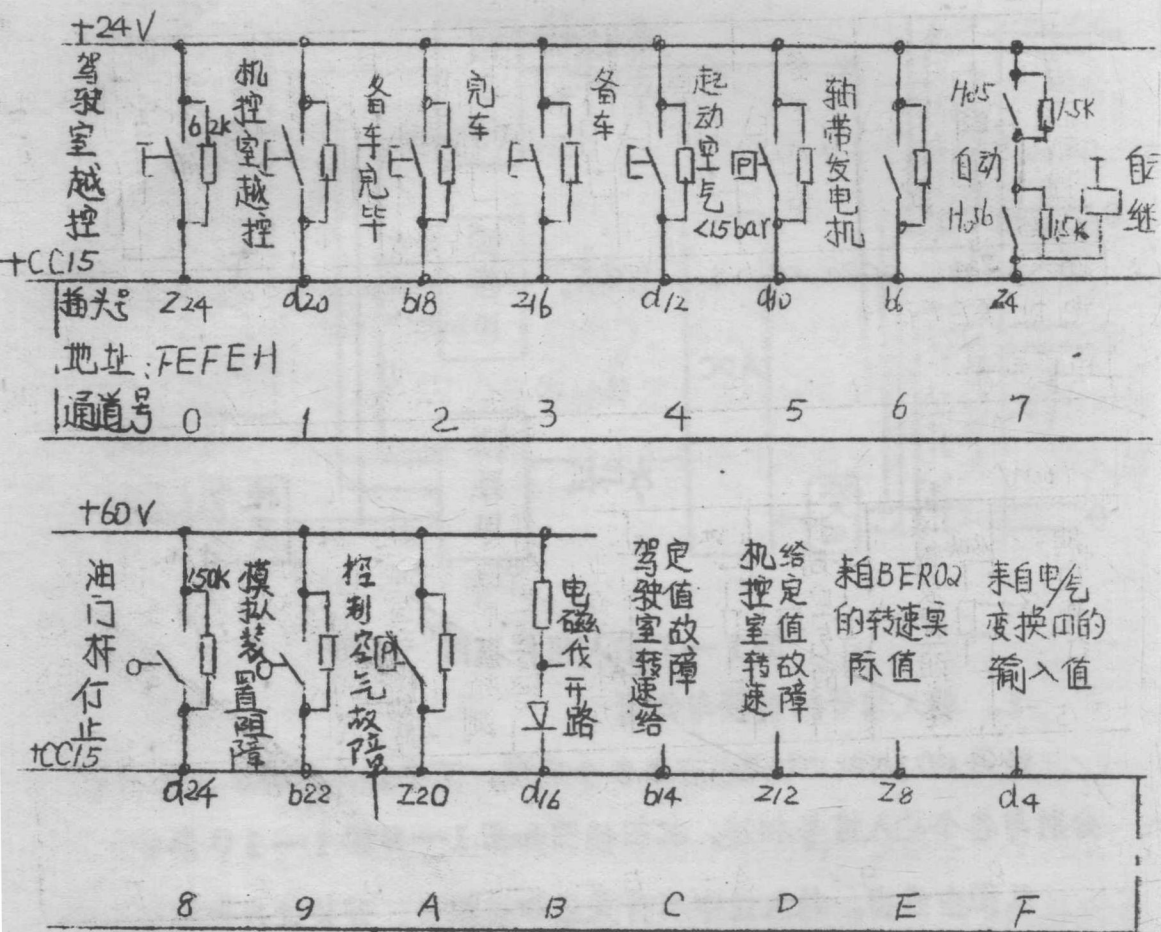


图 1—9 组件 CC15 的信号连接图

通道 0 和 1 连接驾驶室和机控室的越控按钮。即当在紧急情况下，若出现来自安全装置 SICH A21 发出的自动打车或自动减速信号时，应根据当时海上航行情况的需要，如需“舍机保船”时就可按下此按钮，用以取消自动打车或减速限制。

通道 2~4 是接车钟指令按钮。当需要备车、或备车完毕或完车应按下相应按钮，发出相应指令。

通道 5 是接起动空气压力继电器触点。当起动空气压力 <15 bar 时，触点闭合，发出起动空气故障信号。

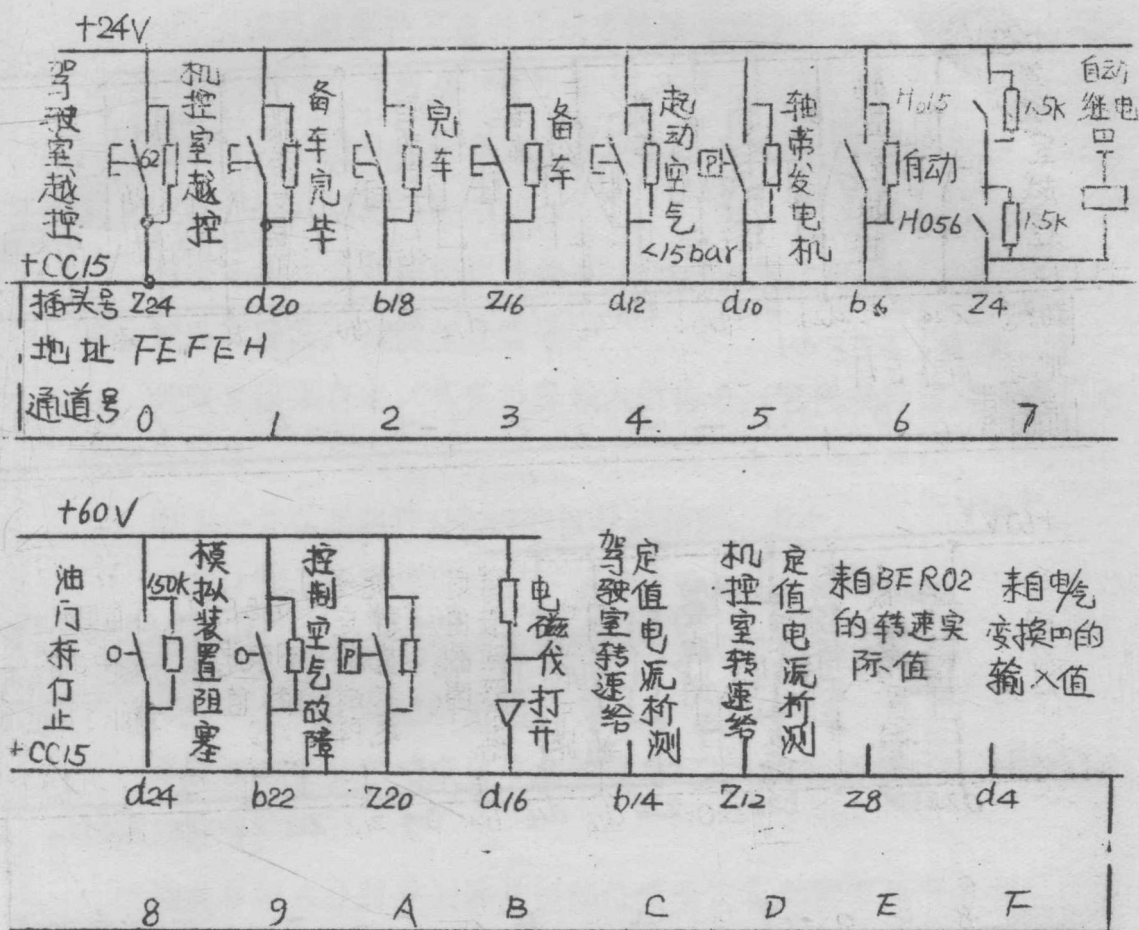


图 1—9 组件 CC15 的信号连接图

通道 6 是轴带发电机的连锁触点，当轴带发电机运行时触点闭合。

通道 7 是给自动遥控系统发出“自动”工作的信号，同时也是给模拟装置发出进行方式 2 模拟实验的信号（有关模拟实验的内容，将在后面介绍）。图中 H015 是装于油门杆处的微动开关，当油门杆

推到底时，触点闭合。H056 是装于机控室操纵台上的控制位置转换开关处的微动开关，当转到驾驶台控制时触点闭合。只有这两个触点同时闭合才能发出“自动”工作的信号，或方可进行方式 2 的模拟试验。

通道 3 是接油门杆打止限位开关，当油门杆处于打车位置时，触点闭合。通道 9 连接用于阻塞模拟试验的限位开关，它装于主起动伐处，

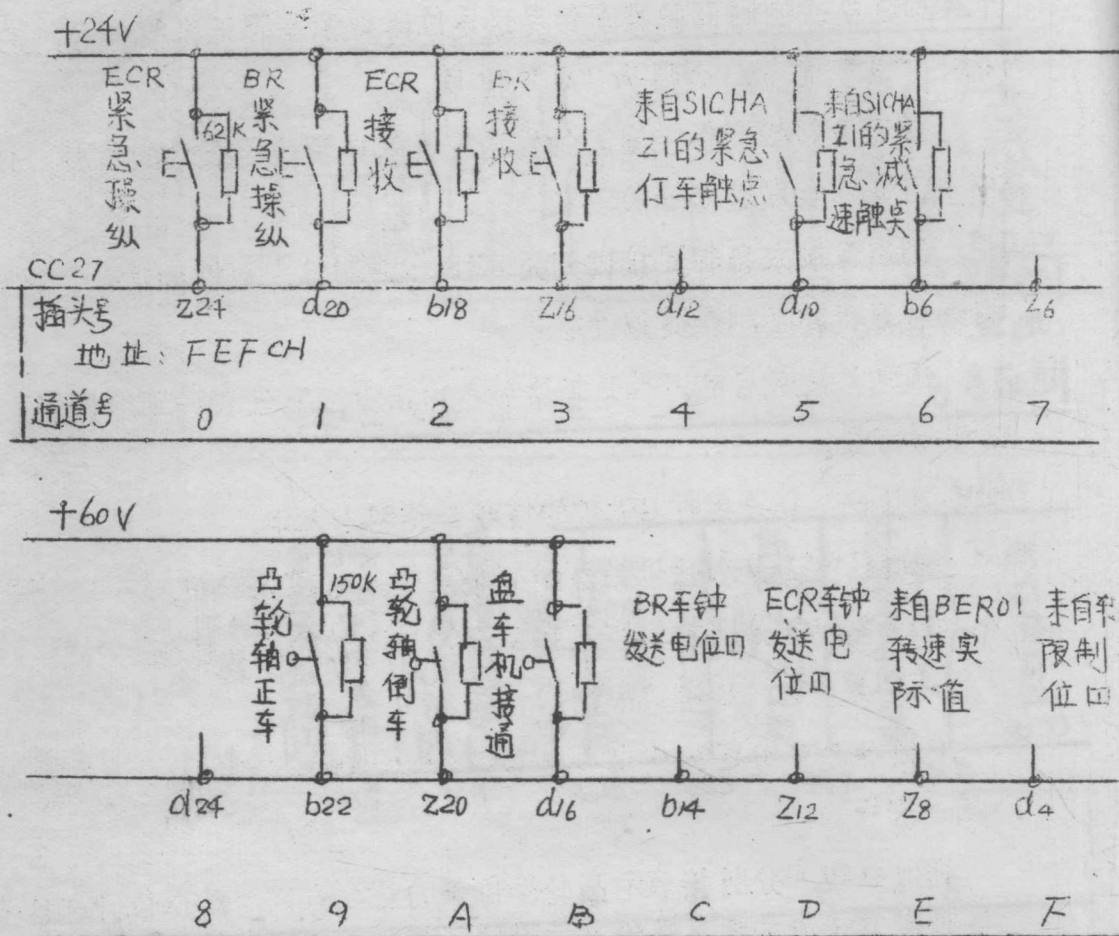


图 1-10 组件 CC27 的信号连接图

当主起动伐打开时，阻塞方式 2 的模拟试验，只有当主起动伐关闭，限位开关触点闭合时，才能进行方式 2 的模拟试验。因这时主机汽缸不会进气起动，这个触点与通道 7 的微动开关相配合决定了模拟试验方式 2 的能否进行。

通道 A 接控制空气压力继电器，当压力低时，触点闭合，发出控制空气故障信号。

通道 B 是接检测起动，慢转，倒车等电磁伐是否开路的信号，当电磁伐电路正常，且通电时来“1”信号，电磁伐开路时来“0”信号。