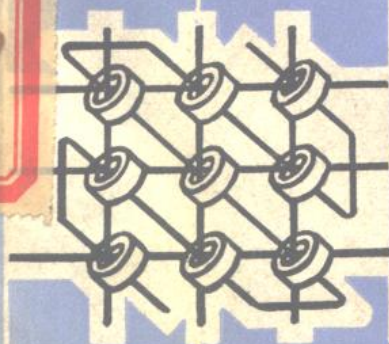


半导体手册
第12编



数字电路



科学出版社

73.67073
157
12:2

《半导体手册》第12編

数 字 电 路

《半导体手册》翻译组译

zk500/29

科 学 出 版 社

1 9 7 0

毛主席语录

中国人民有志气，有能力，一定要在不远的将来，赶上和超过世界先进水平。

打破洋框框，走自己工业发展道路。

外国有的，我們要有，外国沒有的，我們也要有。

对于外国文化，排外主义的方針是錯誤的，应当尽量吸收进步的外国文化，以为发展中国新文化的借鏡；盲目搬用的方針也是錯誤的，应当以中国人民的实际需要为基础，批判地吸收外国文化。

译者的话

本书是根据〔日〕半导体手册编委会编《半导体手册》1963年初版本译出。内容包括半导体物理学、半导体材料、晶体二极管和晶体三极管的工作原理、晶体二极管和晶体三极管、特种半导体器件、晶体二极管和晶体三极管特性、半导体电路理论、线性放大、振荡、调制与解调、脉冲电路、数字电路、电源、微波电路、参量放大器、数据等16编。

本书于1966年已全部译完，因工作量较大，未能及时出版。最近，我们征求读者意见，认为做为一般了解和查阅半导体电子技术的参考书，还应出版。我们遵照毛主席关于“洋为中用”的教导，为适应读者的要求，又继续进行审查校对，现将其单行出版。

本书主要特点是将半导体基础知识和应用技术综合汇编在一起的半导体电子技术的资料性参考书。书中在基础知识方面涉及的范围较为广泛，在应用技术方面介绍的比较全面，各编重点不一样，仅供读者参考。

原书中主要缺点表现在：有些编的内容尚有形式化的数学推导较多，物理分析较少；有些编在讲解概念和理论分析上有些模糊；有些编在文字和数字上有错误；有些编则为一些资产阶级学术权威和厂商吹嘘、捧场；有些编内容是从别的资料中传抄过来的，未经过实践验证。我们遵照伟大领袖毛主席“一切外国的东西，如同我们对于食物一样，必须经过自己的口腔咀嚼和胃肠运动，送进唾液胃液肠液，把它分解为精华和糟粕两部分，然后排泄其糟粕，吸收其精华，才能对我们的身体有益，决不能生吞活剥地毫无批判地吸收”的教导，加以删

节和校正。

本书在译校过程中,很多工厂、学校、科研单位给予了很大的支持和热情帮助,并提出不少宝贵意见,我们对这些单位表示衷心的感谢。

由于外文、专业知识的限制,在文字翻译及技术概念的表达上不免会有错误,又由于我们毛泽东思想学习的不够好,所以对原书中的其他错误观点及存在的问题,未能指出和很好的批判,恳切希望广大读者批评指正。

08166

目 录

第一章 基本电路	(1)
1.1 基本电路的作用	(1)
1.2 逻辑电路	(2)
1.2.1 晶体二极管逻辑电路	(2)
1.2.2 晶体二极管逻辑电路的多级联接	(7)
1.2.3 晶体三极管逻辑电路	(10)
1.3 使用晶体三极管的放大整形电路	(12)
1.3.1 静态电路和动态电路	(12)
1.3.2 饱和电路和非饱和电路	(14)
1.3.3 射极跟随器	(16)
1.4 分论	(19)
1.4.1 饱和反相电路	(19)
1.4.2 动态电路	(22)
1.4.3 电流开关电路	(24)
1.4.4 “非或”电路和“非与”电路	(28)
1.4.5 古典双稳态多谐振荡器电路	(31)
1.5 其他电路	(33)
1.5.1 用隧道二极管联成的电路	(33)
1.5.2 用磁芯和晶体三极管联成的电路	(41)
1.5.3 参变元件的信号变换电路	(45)
第二章 存储器用的电路	(48)
2.1 存储器概说	(48)
2.1.1 什么是存储器	(48)

2.1.2	存储器的构造	(49)
2.1.3	存储器的种类	(50)
2.2	存储器使用电路的种类和特点	(57)
2.2.1	写入电路	(59)
2.2.2	读出电路	(65)
2.2.3	选择电路	(69)
2.3	存储器电路中所使用的半导体的特性	(74)
2.4	隧道二极管存储器	(75)
2.4.1	作为存储器的隧道晶体二极管	(75)
2.4.2	存储元件的构造	(77)
2.4.3	隧道二极管存储器的实例	(81)
参考资料		(85)

第一章 基本电路

1.1 基本电路的作用

数字电路的最集中地表现是数字计算机。数字计算机及数字处理装置,是由许多个在数据的传输、运算和存储等方面具有同一性能的电路组成的。这些电路可以大致分为两种:一种是**基本电路**,它是逻辑运算的最小单位;另一种是**存储元件**及连接存储元件和基本电路的存储器电路。

在计算机里,要求用种类尽量少的基本电路来构成加减法电路、乘除法电路和计数器、译码器等各种不同目的的电路。因为这样可以简化整个计算机的设计、制造和维护。所以,对于基本电路的设计要求必须是具有较大的通用性。也就是说,在一定的条件下,不论基本电路的输入和输出有什么样的变化,它都必须能够正常地进行工作。这是和一般的脉冲电路设计很不相同的,这也是在基本电路的设计上需要采用特殊设计方法的原因。

这种特殊的设计方法,就是在最不利的条件下进行设计,或者是在最不利的条件下进行误差分析。这种设计必须把电路中所用部件特性的参差不齐、理论结构的差异以及负载、电源的变动估计得大一些。致于最不利条件的具体设计方法,准备从下一节起详加叙述。

如上所述,基本电路的输入和输出的条件随使用基本电路的场合不同而异,所以把基本电路的输入和输出的条件,分

别称为“扇入”和“扇出”或**逻辑增益**,并分别定义为“扇入”是指基本电路所能允许的输入端的最大数目;“扇出”是指基本电路能够驱动的下一级的基本电路的最大数目。由此可见,“扇入”和“扇出”越多,基本电路的用途就越广。当然这里有一个限制,就是在技术上必须适应。

基本电路又可以按其机能分为两种:一种是完成逻辑操作的**逻辑电路**;另一种是对信号进行放大、整形和时间调整的**放大整形电路**。不过,逻辑电路这一用语,往往有相当广泛的含意,有时甚至是基本电路的同义语。但在本编中,著者主要以1.2节里所说的狭义来使用这一用语。这里需要指出,基本电路并不一定都象上述那样可以划分为逻辑电路和放大整形电路两种。有些基本电路,这两种机能通常是形成一个不可分割的统一整体。

此外,从电路的形式上来说,基本电路还可分为同步式电路和非同步式电路、静态电路和动态电路、饱和电路和非饱和电路等等,在这些电路中,和数字电路最有关系的是放大整形电路。所以在本编里,从1.3节起准备对放大整形电路详细加以叙述。

1.2 逻辑电路

1.2.1 晶体二极管逻辑电路 晶体二极管逻辑电路,是完成**逻辑乘法运算**(AND)和**逻辑加法运算**(OR)等逻辑操作的最为简便的方法,因而被广泛应用。逻辑乘法电路和逻辑加法电路,如下式所示,分别以输入 x 、 y 、 z ……的脉冲波形的最小值和最大值作为输出电路。

$$\text{AND} \equiv \text{最小}(x, y, z, \dots)$$

$$\text{OR} \equiv \text{最大}(x, y, z, \dots)$$

图 12·1 表示晶体二极管逻辑电路的两种结构。图 (a) 所示的电路是在输入脉冲的高电位为“1”、低电位为“0”时输出为 $AB \vee CD$; 图 (b) 所示的电路是在输入脉冲的高电位为“0”、低电位为“1”时输出为 $AB \vee CD$ 。这两个电路在逻辑上是等效的, 但电路的结构则不同。所以前者称为**正脉冲逻辑**, 后者称为**负脉冲逻辑**。正脉冲逻辑和负脉冲逻辑, 就逻辑电路本身来说, 并没有什么优劣之分。采用哪一种脉冲逻辑, 由逻辑电路的前一级的输入电路和逻辑电路的负载特性来决定。并且, 除“与”-“或”电路以外, 究竟使用“或”-“与”电路或单独使用“与”电路和“或”电路, 也决定于电路的形式。

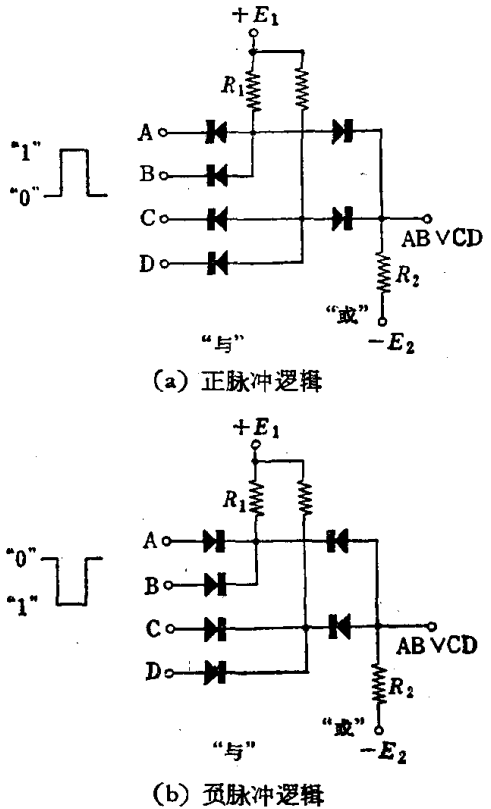


图 12·1 晶体二极管逻辑电路

信号通过晶体二极管逻辑电路时, 其输出有衰减。因此, 晶体二极管一般常用正向电阻小的锗晶体二极管。并且, 由于下面所说的原因, 还要求晶体二极管的正向电阻较稳定。

很明显, 晶体二极管逻辑电路, “扇入”是越多越好。但是, “扇入”越多, 在最不利条件下的设计, 就会相应地增加困难。图 12·2 表示正脉冲逻辑的“与”-“或”电路在最不利条件

下的结构。

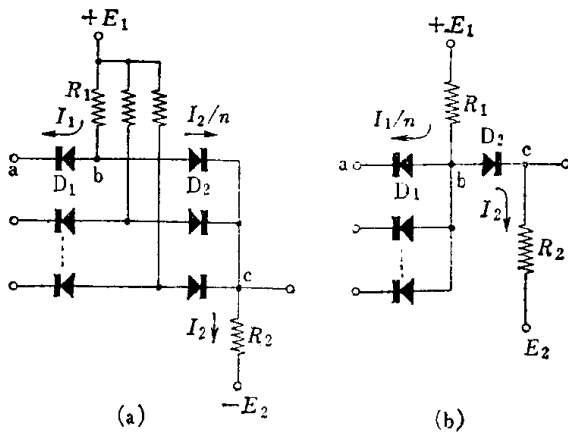


图 12·2 最不利条件下的电路结构

如图 12·2 (a) 所示, 就“与”电路来说, 在只有一只晶体二极管导通时, 信号的“0”电平向高电位方面移动最多, 这时, “与”门电流 I_1 只由晶体二极管 D_1 中流过, 所以 a-b 间的电位差变得最大。就“或”电路来说, 在所有的晶体二极管都导通时, 信号的“0”电平向高电位方面移动最多, 这时, 经晶体二极管 D_2 的电流为 I_2/n (n 是“或”电路的“扇入”), 所以 b-c 间的电位差变得最小。

同理, 如图 12·2 (b) 所示, 在“与”电路全部晶体二极管导通 (设“与”电路的“扇入”为 n) 而“或”电路只有一只晶体二极管导通时, “1”电平向低电位方面移动最多。因此, 如图 12·3 所示, 起初为 a_0a_1 的输入幅度在输出端衰减为 c_0c_1 。

在考虑到最不利的条件下进行设计时, 除应考虑上述晶体二极管导通、截止的电路构成上的条件之外, 还必须考虑到元件参数的参差不齐和电源的变动。表 12·1 表示对于晶体二极管 D_1 、 D_2 , 电阻 R_1 、 R_2 和电源电压 E_1 、 E_2 的参数参差不

齐, 及输入同误差上限或下限之间的关系。

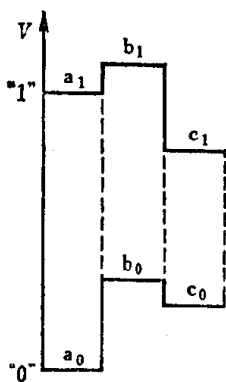


图 12.3

表 12.1

输入	上 限 值	下 限 值
"1"	V_{D2} $ E_2 $ R_1	V_{D1} E_1 R_2
"0"	V_{D1} E_1 R_2	V_{D2} $ E_2 $ R_1

决定晶体二极管逻辑电路开关特性的因素有三: (1) 晶体二极管的反向恢复时间; (2) 晶体二极管的正向恢复时间; (3) 晶体二极管极间电容 (结电容)。

如图 12.4 所示, 设“与”电路的输入端 A、B 起初都处在“0”电平下, 并设在时间 t_0 时 A 端的输入信号从“0”变化到“1”。这时流入晶

体二极管内的电流 I_f 由于储存在晶体二极管内的电荷因复合而消失或被反向电流所抵消但在 I_f 消失或被抵消以前, 晶体二极管即使变成反向偏压状

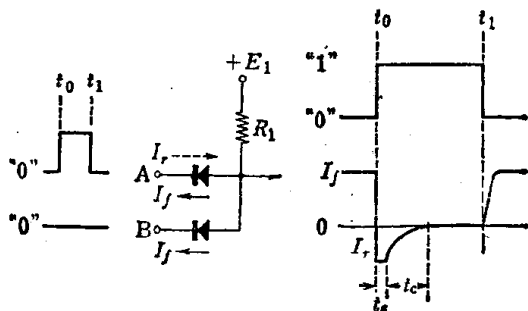


图 12.4 晶体二极管的恢复时间

态, 也仍然保持着导通状态。如图所示, 反向电流 I_r 的峰值和峰值的持续时间 t_r , 是正向电流 I_f 、反向偏压和反向电流所流经的电路的阻抗的函数。如果假定只有 I_f 是变数, 那么 I_f 越

大, t_r 就越长。与此相比, 反向电流 I_r 恢复到稳定值的反向恢复时间 t_c , 受到 I_f 的影响并不大。如果假定反向偏压(在这种情形下, 是“0”电平和“1”电平之差)为变数, 那么反向偏压越大, 流过的反向电流就越多, 所以 t_r 就越短。为了使输出显示出正值的结果, 在这种反向电流流过的期间内, “与”电路的 B 点也必须充分吸收反向电流。

正向恢复时间, 是指晶体二极管从反向偏压状态变为正向偏压时(图中的 t_1 时期), 正向电流达到稳定值所需的时间。这段时间当然是造成输出延迟的原因。

一般说来, 晶体二极管的正向恢复时间, 比反向恢复时间短, 并与流过晶体二极管的电流成正比。高速开关用的晶体二极管, 在几毫安的电流时, 正向恢复时间在 1 毫微秒以下。如果不是极为高速的逻辑电路, 由正向恢复时间引起的输出延迟, 并不需要特别考虑。

对逻辑电路的信号传输的延迟影响最大的因素, 是晶体二极管的极间电容。现在来研究下面的情形。如图 12.5 所示,

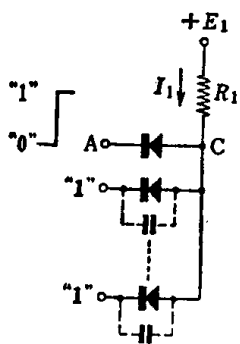


图 12.5 晶体二极管的
并联电容

除了“与”电路 A 端以外, 其它端的输入电平都为“1”。这些晶体二极管都处在截止状态, 而 A 端的输入则从“0”变化到“1”。C 点的电位要随着 A 端的输入信号而跃变为“1”电平。这时对所有截止的晶体二极管的极间电容都加以充电。因此, 从“与”电路的 A 端来看, 在最不利的状态下, 所有其他晶体二极管的极间电容都变成为负载。晶体二极管的极间电容, 虽然因晶体二极管的种类、反向偏压的数值的不同而异, 但是大体可以看做是 0.5 微微法, 逻辑电路的“扇入”越多, 由这些并联二极管极间电容引起的

信号延迟也就越大。要想减少这种延迟,可以增加门电流 I_1 ,但是这样会使逻辑电路的功率消耗增大,同时又使驱动逻辑电路的前一级电路的“扇出”减少。

对于“与”电路所作的上述晶体二极管开关特性的讨论,可以同样适用于“或”电路。如上所述,根据信号电平和延迟的讨论可知,逻辑电路的“扇入”要有适当的选择。

1.2.2 晶体二极管逻辑电路的多级联接 人们往往利用射极跟随器,如图 12·6 那样,把许多级晶体二极管逻辑电

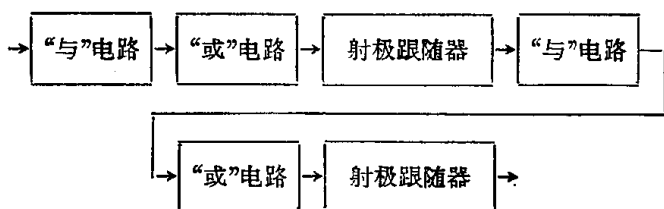


图 12·6 晶体二极管逻辑电路的多级联接

路联接起来。因为射极跟随器具有电流增益,所以它的输出能够驱动几个“与”电路,利用这样的逻辑电路就可以完成复杂的逻辑操作。又因为射极跟随器对信号的响应速度很快,所以这种多级逻辑电路也是高速的。应该指出,射极跟随器的电压增益在 1 以下,并且晶体三极管的基极、发射极之间的电压降会使输入、输出之间的直流电平发生移动,所以逻辑电路在最不利条件下的设计就变得复杂起来。

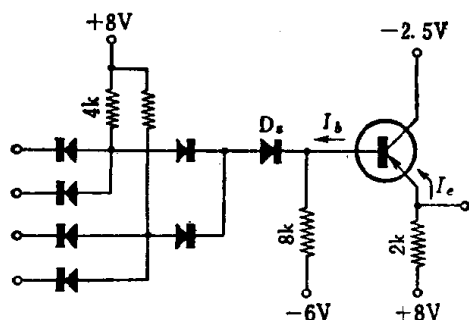


图 12·7 晶体二极管逻辑电路和射极跟随器

在图 12·7 中,晶体二极管 D_b 是为了补偿射极跟随器的

直流电平的移动而设置的。如果去掉 D_s , 则从输入端到射极跟随器之间的电路, 就如图 12·1 中所示的“与”-“或”电路。

这样构成的多级逻辑电路的最不利条件, 除 D_s 以外, 关于晶体二极管逻辑电路的部分, 可以和前一节完全同样地进行研究。对于射极跟随器应该考虑的是, 基极电流 I_b 、发射极电流 I_e 、基极发射极间电压降 V_{be} 和电流放大系数 h_{FE} 等的参差不齐。

在基极电流 I_b 、基极发射极间电压降 V_{be} 和发射极电流 I_e 最大的时候, “0”电平向高电位方面移动最多。发射极电流决定于射极跟随器的负载。所以, 所谓 I_e 的最大值就是指吸收下一级“与”电路的门电流最多的时候。所谓估计 I_e 最大时 I_b 最大, 是指电流放大系数 h_{FE} 最小的情形。“1”电平最容易下降的条件, 是射极跟随器的负载最轻, I_e 、 I_b 和 V_{be} 最小以及 h_{FE} 最大。

图 12·8 所示, 是考虑了这样的最不利条件, 具体地示出信号在多级逻辑电路中怎样衰减的情况。此图是图 12·7

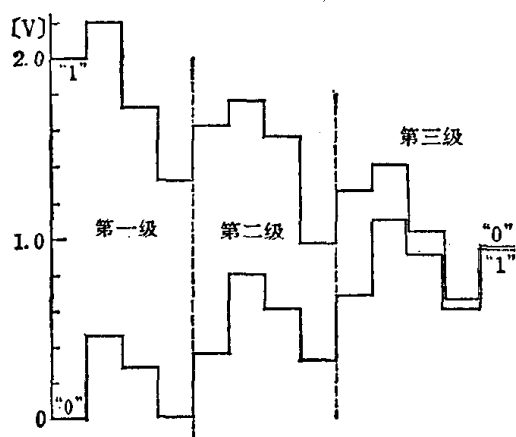


图 12·8 多级逻辑电路直流电平的移动

所示的电路联接 3 级时的计算举例, 图中的纵轴, 表示逻辑电路各波节的电平。电源电压的波动, 均为 ± 0.1 伏, 电阻值的误差均为 $\pm 5\%$, 晶体二极管都使用 1N60, 射极跟随器的晶体三极管使用了 2SA70。1N60 和

2SA70 ($h_{FE} = 70 - 100$) 的特性差异, 分别如图 12·9 和图

12·10 所示。并假定“与”电路的“扇入”为 8, “或”电路的“扇入”为 4, 射极跟随器的“扇出”为 4。

如图 12·8 所示, 多级逻辑电路的最初输入端, “0”电平为 0 伏, “1”电平为 2 伏, 而多级逻辑电路的最终输出, 其幅度几乎都消失了。

但是, 从实际联成逻辑电路时的情形来看, 由于电路是由许多个特性具有一定差异的部件随机组合而成的, 所以可以预料到, 电路的结构越复杂, 部件的特性差异对电路工作影响最

坏的可能性就越小。因此, 根据实际部件特性差异的分布情况, 就可以用统计方法求出直流电平的移动极限。

从事先已知特性差异的部件中, 随机地取出所需数量的部件, 把它们组合起来构成电路, 然后计算一下这时直流电平的移动。只要多作几次这样的实验, 就可以得出直流电平移动分布情况。根据统计方法就可以推测出移动的极限。例如, 假定把直流电平的移动极限定在距平均值 4σ 的点上, 那么逻辑电路的动作, 超出这个极限值而变成更坏的状态的危险性, 约有 5×10^{-5} 左右, 这个几率是很小的。

用这种方法分析一下图 12·8 所示的例子, 就可以知道,

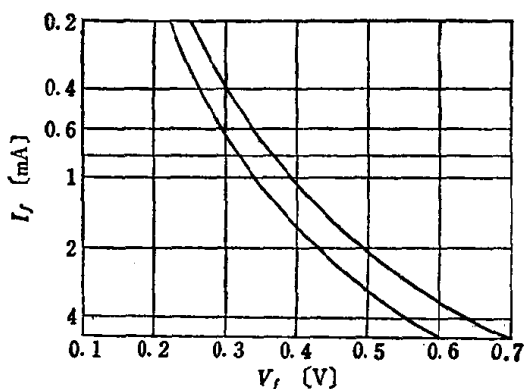


图 12·9 11N60 的正向电压

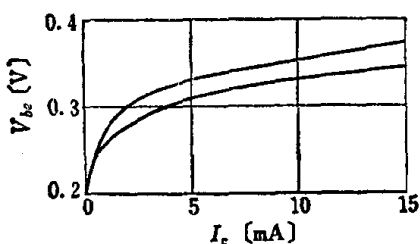


图 12·10 2SA70 的 $V_{be}-I_c$ 特性

信号的衰减比条件最不利的时候还要小 0.4 伏左右。考虑到最不利条件的设计,虽然是最可靠的设计,但是在设计多级逻辑电路时,往往就变成了要求过于严格的设计^[2]。

1.2.3 晶体三极管逻辑电路 晶体三极管逻辑电路,是和晶体二极管逻辑电路相对而言的名词,它的意义不很明确。不过,如果把它解释为是一种用晶体三极管担负一部分逻辑作用的电路,那么,起着“非”(NOT)逻辑作用的晶体三极管反相电路,也都属于这个范畴之内了。一般说来,和晶体二

极管逻辑电路具有同样作用的并由晶体三极管构成的逻辑加法电路和逻辑乘法电路总称为晶体三极管逻辑电路。

图 12·11 是由射极跟随器并联而成的逻辑电路。这种电路也和晶体二极管逻辑电路一样,有正脉冲逻辑和负脉冲逻辑的区别。在高电位为“1”而低电位为“0”的正脉冲逻辑时,该图 (a) 则是逻辑乘法电路,该图 (b) 则是逻辑加法电路。在负脉

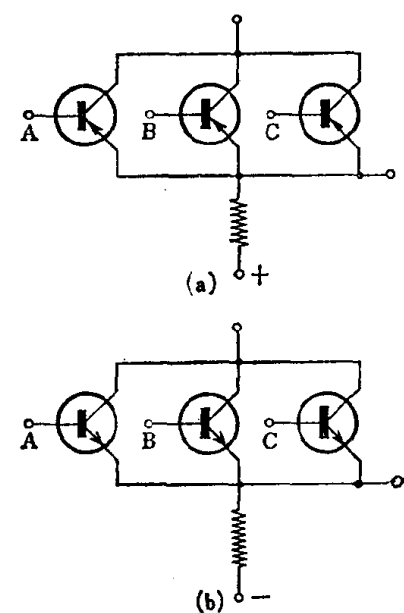


图 12·11 射极跟随器逻辑电路

冲逻辑时,则与此相反。该图 (a) 是逻辑加法电路,该图 (b) 则是逻辑乘法电路。这种结构是与图 12·1 所示晶体二极管逻辑电路的结构相对应的。

在图 12·11(a) 中有三只晶体三极管,究竟哪一只管子里有电流流动,这决定于各管子的基极和发射极之间电压 V_{be} 。在三个输入端 A、B、C 中,假设 A 点电位最低。由于发射极的