

32位超级微机—80386

基础和应用

编译 许仁政

(上册)

0520 微机用户协会
华欣咨询服务部
一九八八年四月

32位超级微机——80386

基础和应用

编译 许仁政

(上册)

0520 微机用户协会
华欣咨询服务部
一九八八年四月

32位超级微机——80386

基础和应用

编译 许仁政

(下册)

0520 微机用户协会
华欣咨询服务部
一九八八年四月

内容介绍

本书从使用角度，对32位微处理器Intel 80386的硬件和软件的基础和应用作了系统、详细的阐述。内容包括：80386系统结构，总线接口及信号说明、多处理器和协处理器系统、存储器接口、I/O接口、虚拟存储管理系统、保护机构、中断和异常、多任务系统、调试与自测、和8086/8088及80286兼容性、指令系统等。

前 言

英特尔 (Intel) 公司的 80386 是 1985 年推出的功能较强的全 32 位微型计算机芯片。由于它具有丰富灵活的指令系统, 芯片包含高速存储管理系统功能, 最大虚拟存储空间可以多达 64 万亿 (2^{40}) 字节, 等等。从它一开始发表就受到计算机界, 特别是微型机界的极大关注。虽然 Intel 80386 不是世界最早研制出的 32 位微机芯片, 但由于它具有较强的功能而成为目前被采用来设计 32 位微机系统中较多的一种处理器芯片。

自从英特尔公司七十年代推出 8080 微处理器, 特别是推出 iAPX86 系列微机以来, 用该系列处理器为 CPU 设计的微机系统已成为当今世界主流微计算机。最有影响的 IBM PC, IBM PC-XT, AT 及其所有的兼容机, 就是采用 iAPX 系列各档的微处理器设计的。从准 16 位的 8086/8088, 真正的 16 位 80286, 到其当前最高档的全 32 位 (32 位数据线、32 位地址线和 32 位总线接口) 的 80386 微处理器, 形成兼容的微处理器系列。国内的优选系列微机长城 0520、0580 或长城 286 微计算机, 也都是采用这个系列的处理器设计的。国外已经采用 80386 设计的超级微机, 例如美国 Compaq 公司的 Deskpro 386 和 IBM PS/2 80 型微机, 这些超级微机在系统性能上已显示出其很强的处理能力。

在未来几年内, 以微机为基础的计算机系统将绝大多数是 32 位的器件和结构, 并且, 这些 32 位系统将统治计算机工业。对许多应用来说, 16 位机的能力已显得不够, 而 64 位机除了某些特殊应用外显得太宽而浪费。因此 32 位处理器芯片, 特别是 32 位 80386 芯片备受欢迎。包括在微机、工作站和由 80386 为 CPU 的阵列机, 80386 都将得到广泛的应用。

由于时间急促, 以及水平所限, 难免还有错误, 欢迎指正。本书在编译过程中得到石有和同志的帮助, 特此感谢。

编译者 1988. 1

目 录

第一篇 硬件结构基础	1
第 1 章 概述	1
第 2 章 内部结构概述	4
2. 1 总线接口部件	6
2. 2 指令预取部件	6
2. 3 指令译码部件	6
2. 4 执行部件	7
2. 5 分段部件	7
2. 6 分页部件	7
第 3 章 局部总线接口	8
3. 1 总线操作	9
3. 2 总线时序	3 1
3. 3 时钟的产生	8 3
3. 4 中断	3 4
3. 5 总线封锁	3 7
3. 6 HOLD/H LDA	8 9
3. 7 RESET (复位)	4 2
第 4 章 协处理器接口	4 5
4. 1 与 80287 接口	4 6
4. 2 与 80887 接口	4 7
4. 3 80287/80887 局部总线操作	5 0
4. 4 设计一种可升级的 80886 系统	5 1
第 5 章 存储器接口和 I/O 接口	5 5
5. 1 存储器速度和性能成本比	5 5
5. 2 基本存储器接口	5 6
5. 3 动态存储器设计例子	6 1
5. 4 DRAM 设计种类	6 3
5. 5 通过存储器编址的 I/O 地址	6 4
5. 6 9 位、16 位和 32 位 I/O 接口	6 5
5. 7 基本 I/O 接口	6 8
5. 8 I/O 操作时序分析	6 9
5. 9 基本 I/O 例子	6 9

5.10	80286兼容的总线周期	72
第6章	自测能力	81
6.1	内部测试——自动自测	81
6.2	TLB测试	81
第二篇	系统结构和应用基础	87
第7章	基本编程模式	87
7.1	存储器组织和分段	87
7.2	数据类型	88
7.3	寄存器	93
7.4	指令格式	99
7.5	操作数选择	99
7.6	中断和异常	104
第8章	系统结构格式	107
8.1	系统寄存器	107
8.2	系统指令	109
第9章	存储管理	111
9.1	段转换	111
9.2	页转换	117
9.3	段页转换相结合	120
第10章	保护	124
10.1	为什么要保护	124
10.2	80386保护概况	124
10.3	段级保护	124
10.4	页级保护	142
10.5	段、页保护相结合	145
第11章	多任务系统	146
11.1	任务状态	146
11.2	TSS描述子	148
11.3	任务寄存器	149
11.4	任务门描述子	149
11.5	任务切换	152
11.6	任务连接	155
11.7	任务地址	156
第12章	I/O操作	159
12.1	I/O编址	159

1 2 . 2	I / O 指令	1 6 0
1 2 . 3	保护和 I / O	1 6 1
第 1 3 章	异常和中断	1 6 4
1 3 . 1	识别中断	1 6 4
1 3 . 2	允许中断和禁止中断	1 6 5
1 3 . 3	同时中断和异常的优先权	1 6 6
1 3 . 4	中断描述子表	1 6 6
1 3 . 5	I D T 描述子	1 6 7
1 3 . 6	中断任务和中断程序	1 6 9
1 3 . 7	错误码	1 7 3
1 3 . 8	异常条件	1 7 3
1 3 . 9	异常总结	1 8 2
第 1 4 章	初始化	1 8 3
1 4 . 1	复位后处理器状态	1 8 3
1 4 . 2	软件初始化实地址方式	1 8 3
1 4 . 3	转换到保护方式	1 8 5
1 4 . 4	软件为保护方式初始化	1 8 5
第 1 5 章	协处理和多处理系统	1 8 7
1 5 . 1	E S C 指令和 W A I T 指令	1 8 7
1 5 . 2	E M 和 M P 标志	1 8 7
1 5 . 3	任务切换标志	1 8 7
1 5 . 4	协处理器异常	1 8 8
1 5 . 5	一般多处理器系统	1 8 9
第 1 6 章	调试	1 9 1
1 6 . 1	系统结构格式的调试特性	1 9 1
1 6 . 2	调试寄存器	1 9 2
1 6 . 3	调试异常	1 9 4
第三篇	兼容性	1 9 8
第 1 7 章	执行 8 0 2 8 6 保护方式程序	1 9 8
1 7 . 1	8 0 2 8 6 程序作为 8 0 3 8 6 的一个子集执行	1 9 8
1 7 . 2	两种方法执行 8 0 2 8 6 任务	1 9 8
1 7 . 3	与 8 0 2 8 6 的差异	1 9 9
第 1 8 章	8 0 3 8 6 实方式	2 0 1
1 8 . 1	物理地址格式	2 0 1
1 8 . 2	寄存器和指令	2 0 1

18.3	中断和异常处理	203
18.4	进入和离开实地址方式	203
18.5	转向实方式	203
18.6	实地址方式异常	204
18.7	与8086的差异	204
18.8	与80286实地址方式的差异	207
第19章	虚拟86方式	209
19.1	执行8086程序	209
19.2	V ₈₆ 任务结构	210
19.3	进入和离开V ₈₆ 方式	212
19.4	增加的敏感指令	214
19.5	虚拟I/O	216
19.6	与8086的差异	217
19.7	与80286实地址方式的差异	217
第20章	16位和32位混合的程序	218
20.1	80386如何实现16位和32位特性	219
20.2	混合的32位和16位操作	219
20.3	混合代码段之间共享数据段	220
20.4	混合代码段间转移控制	220
第四篇	指令集	225
第21章	80386指令集	225
21.1	操作数大小和地址大小特征	225
21.2	指令格式	225
	80386指令	240
	AAA	240
	AAD	241
	AAM	242
	AAS	242
	ADC	243
	ADD	244
	AND	245
	ARPL	246
	BOUND	247
	BSF	248

BSR	2 4 9
BT	2 5 0
BTC	2 5 2
BTR	2 5 3
BTS	2 5 4
CALL	2 5 5
CBW/CWDE	2 6 2
CLC	2 6 3
CLD	2 6 3
CLI	2 6 4
CLTS	2 6 4
CMC	2 6 5
CMP	2 6 5
CMPS/CMPSB/CMPSW/CMPSD	2 6 6
CWD/CDQ	2 6 9
DAA	2 6 9
DAS	2 7 0
DEC	2 7 1
DIV	2 7 2
ENTER	2 7 3
HLT	2 7 4
IDIV	2 7 5
IMUL	2 7 7
IN	2 7 9
INC	2 8 0
INS/INSB/INSW/INSD	2 8 0
INT/INTO	2 8 2
IRET/IRETD	2 8 8
JCC	2 9 4
JMP	2 9 8
LAHF	3 0 3
LAR	3 0 4
LEA	3 0 5
LEAVE	3 0 6
LGDT/LIDT	3 0 7
LGS/LSS/LDS/LES/LFS	3 0 8

LIDT	...	3	1	1
LMSW	...	3	1	1
LOCK	...	3	1	2
LODS/LODSB/LODSW/LODSD	...	3	1	3
LOOP/LOOP cond	...	3	1	5
LSL	...	3	1	6
LTR	...	3	1	7
MOV	...	3	1	8
MOV	...	3	2	0
MOVS/MOVSb/MOVSsw/MOVSd	...	3	2	1
MOVsx	...	3	2	3
MOVzx	...	3	2	5
MUL	...	3	2	5
NEG	...	3	2	6
NOP	...	3	2	7
NOT	...	3	2	7
OR	...	3	2	8
OUT	...	3	2	9
OUTS/OUTSB/OUTSW/OUTSD	...	3	3	0
POP	...	3	3	1
POPA/POPAD	...	3	3	4
POPF/POPFD	...	3	3	5
PUSH	...	3	3	6
PUSHA/PUSHAD	...	3	3	7
PUSHF/PUSHFD	...	3	3	8
RCL/RCR/ROL/ROR	...	3	3	9
REP/REPE/REPZ/REPNE/REPNZ	...	3	4	2
RET	...	3	4	6
SAHF	...	3	5	0
SAL/SAR/SHL/SHR	...	3	5	0
SBB	...	3	5	3
SCAS/SCASB/SCASW/SCASD	...	3	5	4
SETcc	...	3	5	6
SGDT/SIDT	...	3	5	7
SHLD	...	3	5	8
SHRD	...	3	5	9

SLDT	3 6 1
SMSW	3 6 1
STC	3 6 2
STD	3 6 2
STI	3 6 3
STOS/STOSB/STOSW/STOSD	3 6 3
STR	3 6 5
SUB	3 6 6
TEST	3 6 7
VERR, VERW	3 6 8
WAIT	3 6 9
XCHG	3 6 9
XLAT/XLATB	3 7 0
XOR	3 7 1
附录 A 操作码图	3 7 3
附录 B 完整标志交叉对照	3 8 1
附录 C 状态标志总结	3 8 3
附录 D 条件码	3 8 7
附录 E 指令格式和时钟数	3 8 8
附录 F 80386 芯片封装和引出线图	4 3 1
参考文献	4 3 2

第一篇 硬件结构基础

第 1 章 概 述

时钟频率为 1.6 兆赫的 80386 CPU 支持每秒运行 3~4 百万条指令, 超过当前许多超级小型机的速度, 其功能与七十年代中期的大中型主机相当。去年推出的 80386-20, 时钟频率达到 2.0 兆赫, 其处理能力就更加强大。采用 CMOS Ⅲ 工艺制造的 80386 芯片, 具备 CMOS 的低功耗和 HMOS 的高性能, 其双金属层和 1.5 微米的制板技术使芯片密度大于 275000 个晶体管。现已有 16MHz 和 20MHz 时钟两种芯片, 采用 132 根引出线的陶瓷 PGA 封装 (封装图参见附录 F)。

80386 硬件具有 32 位宽的内部和外部数据通路, 8 个 32 位通用寄存器。指令系统提供 8 位、16 位和 32 位数据类型。处理器直接输出 32 位地址, 最大物理地址可以达到 4GB ($2^{32}-1$, 4 千兆字节)。它的 32 位数据通路和 32 位地址通路是分开的, 能在 2 个时钟周期内存取 32 位的存储器, 使总线能支撑 32MB (1.6 兆赫时钟时) 或 40MB (2.0 兆赫时钟时) 的传送速率。通过对微处理器、存储器及外部设备间进行提示传送, 设计高速总线, 保证整个系统从高性能的处理器中得到好处。

80386 系统中, 在可执行段描述子内的 D 位 (默认值) 可以规定指令按 32 位操作还是 16 位操作。指令系统中, 利用前缀, 也可控制改变操作数大小和地址大小为 16 位还是 32 位方式, 即操作数大小前缀和地址大小前缀, 可以动态地改变数据和地址宽度。

为了达到高速处理要求, 80386 采用了流水线结构, 能并行执行取指令、指令译码、执行和存储管理功能、总线与外部接口等达到六级并行流水线。(第 2 章将讨论 80386 流水线)。由于有了流水线, 取指令和指令译码的时间被流水线所吸收, 因而处理器极少需要等待指令执行。

微处理器从 8 位机开始引入高速缓冲存储器, 这也是其性能提高的因素之一。而 80386 包含存储管理部件 (MMU) 在芯片内的流水线上, 这正是 80386 的独特特点, 它的高速缓冲存储器属于 MMU, 作为快速地址变换用。由于实行在片存储管理, 取消了芯片外存储管理部件各种典型的存取延迟。这样的好处不仅仅是提高了系统性能, 而且也放宽了系统对存储器的存取时间要求, 可以使用存取周期不是很快的器件, 因而降低了系统成本。存储管理和保护机构结合在一起, 将逻辑

地址变换成物理地址，在多任务环境中，执行保护规则要求，保持各个任务的完整性。通过给定的管理物理存储器结构，允许分页功能简化系统替换算法。

在实时多任务或多用户系统中，任务切换频繁。为了有效地进行任务切换，80386 结合高速特殊硬件，完成一次任务切换仅需一条指令或一次中断。16MHz 时钟的 80386 可以在 16 μ s 内执行保留一个任务的状态（全部寄存器），读入另一个任务状态（全部寄存器，甚至需要的话还有分段寄存器和分页寄存器）。对于不怎么复杂的任务和中断处理，这种延迟可以缩短到 5.5 μ s（当 16 兆时钟时）。

80386 支持两个型号的数字协处理器 80287 或 80387，通过使用协处理器，提高处理性能。这两种数字协处理器完全支持 IEEE 浮点运算标准。若系统未安装协处理器，则可由软件执行仿真。可以说，协处理器扩充了 80386 的指令系统。80387 和 80287 软件兼容，工作在 16MHz 的 80387 处理速度大约比工作在 5MHz 的 80287 高 8 倍。由于对许多应用来说，80287 已足够快的了。它造价低，因而当前还是受欢迎的。只有对处理速度要求很高，系统造价不太重要的场合才选用 80387 协处理器。

本书共分五个部分。第一篇是硬件结构基础，从硬件方面阐述 80386 的基本组成、流水线结构、总线接口连接、与协处理器连接、与存储及 I/O 接口和自测能力。本篇包括第 1、2、3、4、5、6 章。第 2 章扼要说明内部组成。第 3 章详细说明 80386 局部总线接口，包括 80386 信号说明，存储器及 I/O 组成和局部总线接口概要。第 4 章说明 80386 支持 80287 和 80387 两种数字协处理器，每一种协处理器都扩充 80386 的浮点数字处理能力。第 5 章讨论 80386 与存储器连接以及和 I/O 设备的连接技术。第 6 章是自测能力。说明 80386 为提高自测能力，内置自测设施测试方法。

第二篇是系统应用基础，说明结构概念和系统结构方式。其中，第 7 章是基本编程模式，介绍存储器结构模式，定义数据类型和寄存器组，介绍栈，解释位串操作，定义指令各部分，解释地址计算等。第 8 章是系统结构格式，概括 80386 性能。第 9 章是存储器管理，详细说明支持虚拟存储器分段、分页概念的数据结构，寄存器以及指令等。第 10 章是保护，解释特权规则，栈切换，指针确认，用户和管理方式的实现。第 11 章是多任务系统，解释 80386 如何用文本转换操作和任务间保护，支持多任务。第 12 章是 I/O，它是本书第 5 章的补充，涉及 I/O 指令、I/O 保护和 I/O 允许编址。第 13 章为异常和中断，解释基本中断结构，说明中断和异常的关系，讨论所有的异常。第 14 章为初始化，定义复位和加电后处理器的条件。第 15 章是协处理和多处理系统，也是对第 4 章的补充，进一步解释支持协处理器和共享存储器的 CPU 指令。第 16 章为调试和自测，告诉如何使用 80386 调试寄存器进行程序调试。

第三篇：兼容性。80386 有 3 种处理方式：保护方式、实地址方式和虚拟 8086 方式。保护方式是 80386 的固有方式，实地址方式是处理机复位后立即出

现的方式。虚拟8086（也称V₈₆）方式是一种动态方式。在这种方式中，处理器能够迅速、反复进行V₈₆方式和保护方式之间的切换。CPU从保护方式进入V₈₆方式，执行8086程序，然后离开V₈₆方式，进入保护方式继续执行固有的80386程序。32位的80386处理机的所有3种处理方式都可以用来执行16位程序：保护方式能直接执行80286保护方式程序，实方式能执行8086程序和实方式80286程序。虚拟8086方式则用另外的80386保护方式程序执行多任务环境下的8086程序。而且，32位和16位模块及单独的32位和16位能在保护方式下混合操作。本篇包括第17、18、19、20章。

第四篇，指令集。本篇按指令的字母顺序，列出80386的各种指令，并逐一进行说明，包括算法操作说明，标志设定的影响，受影响标志的建立，操作数大小或地址大小特征的影响，处理器方式的影响及可能的异常。

附录：列出指令编码表及为快速参阅而设计的详细格式，指令系统格式、时钟数和封装图。

第 2 章 内部结构概述

80386 内部结构包括并行操作的 6 个功能部件。取指、译码、执行、存储管理及总线存取等供几条指令用的操作都是同时执行的。这种并行操作称为流水线指令处理。有了流水线，每条指令按级执行，在各个不同的级，几条指令可以重叠处理，如图 2—1 所示。80386 以 6 级流水线处理的结果性能比非流水线处理器的高，传送速率也有了提高。

六个功能部件为：

- 总线接口部件
- 代码（指令）预取部件
- 指令译码部件
- 执行部件
- 分段部件
- 分页部件

执行部件依次包括 3 个子部件：

- 控制部件
- 数据部件
- 保护测试部件

图 2—2 示出这些部件的组成。

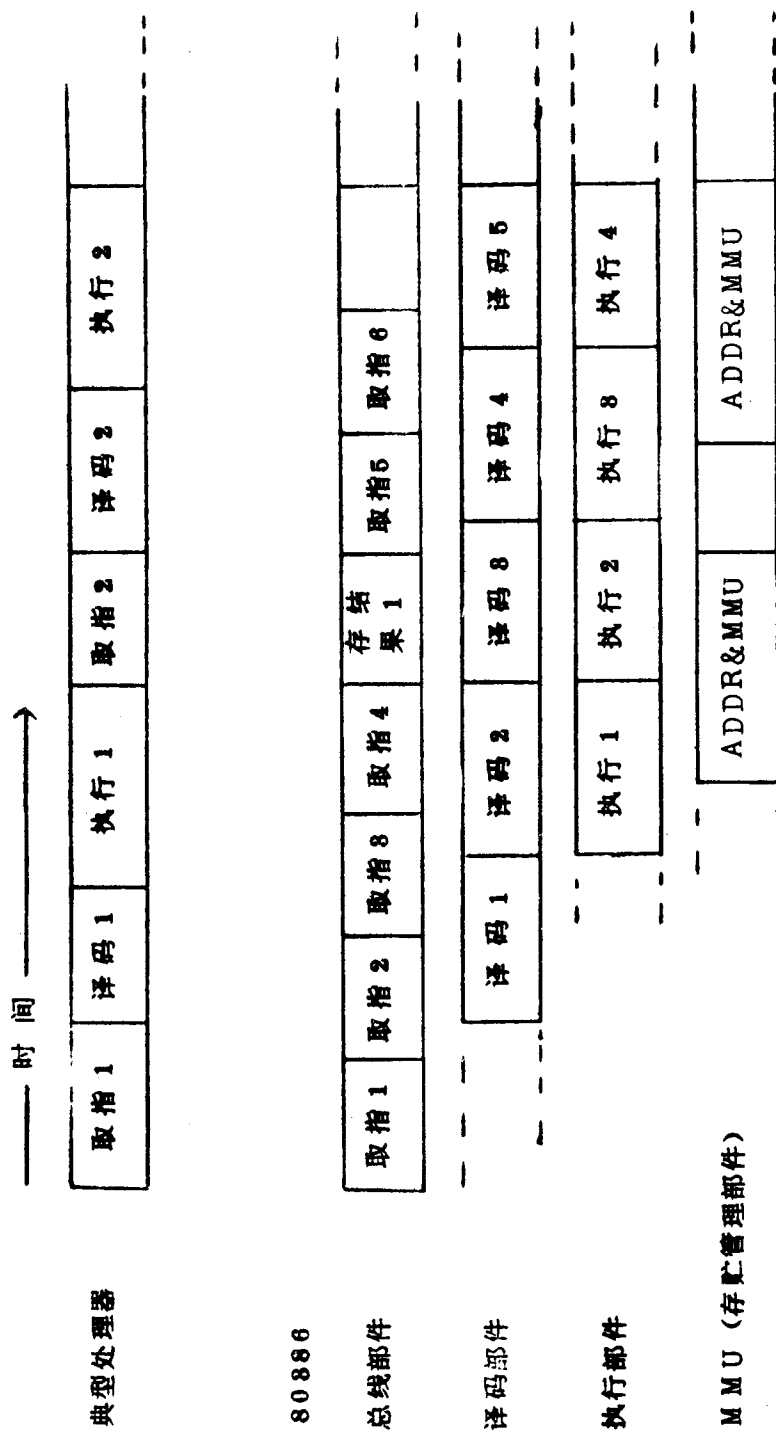


图 2 - 1 指令流水线