

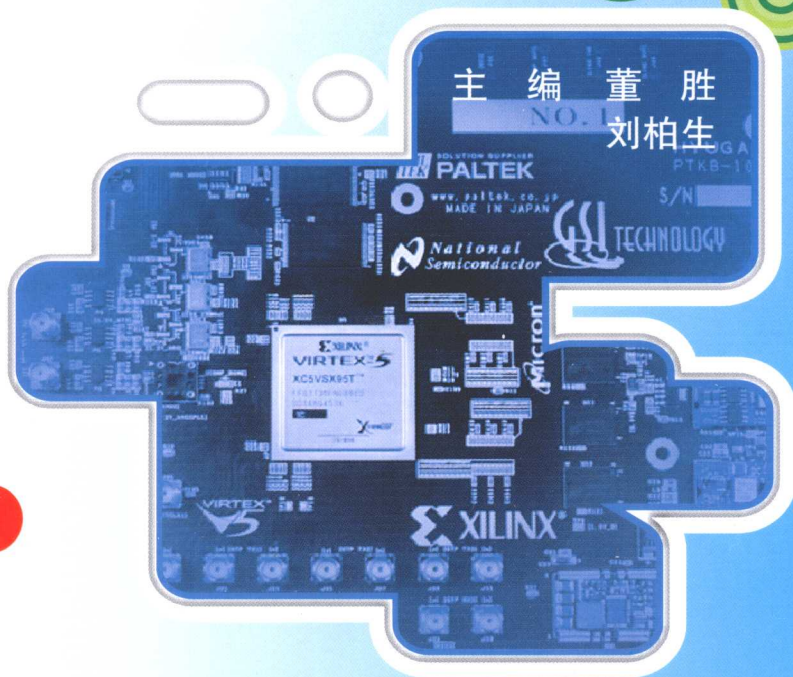


21世纪全国本科院校电气信息类**创新型**应用人才培养规划教材

DSP技术及应用



主 编 董 胜
刘 柏 生



工作原理和实际问题占据讲解主线
课后习题与丰富例题遍布全文阵列
工程案例典型 简洁明了



北京大学出版社
PEKING UNIVERSITY PRESS

013024529

TN911.72
298

21 世纪全国本科院校电气信息类创新型应用人才培养规划教材

DSP 技术及应用

主 编 董 胜 刘柏生



北京大学出版社
PEKING UNIVERSITY PRESS

TN911.72
298



北航

C1632415

852430810

内 容 简 介

本书以 TMS320VC5509A DSP 为主要研究对象,系统地介绍了 TMS320VC55x 系列 DSP 的内部结构、开发工具与开发流程;以工程应用为目的,重点讲解了片上外设的驱动程序开发、常用数字信号处理算法的 C 语言和汇编语言实现方法,并给出了丰富的设计案例。

本书面向的对象是仪器仪表、通信、电子信息类本科高年级学生或是以 DSP 开发为主要目的的工程技术人员。

图书在版编目(CIP)数据

DSP 技术及应用/董胜,刘柏生主编.—北京:北京大学出版社,2013.3

(21 世纪全国本科院校电气信息类创新型应用人才培养规划教材)

ISBN 978-7-301-22109-9

I. ①D… II. ①董…②刘… III. ①数字信号处理—高等学校—教材 IV. ①TN911.72

中国版本图书馆 CIP 数据核字(2013)第 026660 号

书 名: DSP 技术及应用

著作责任者:董 胜 刘柏生 主编

策 划 编 辑:程志强

责 任 编 辑:程志强

标 准 书 号: ISBN 978-7-301-22109-9/TN · 0096

出 版 发 行:北京大学出版社

地 址:北京市海淀区成府路 205 号 100871

网 址: <http://www.pup.cn> 新浪官方微博: @北京大学出版社

电 子 信 箱: pup_6@163.com

电 话: 邮购部 62752015 发行部 62750672 编辑部 62750667 出版部 62754962

印 刷 者:北京鑫海金澳胶印有限公司

经 销 者:新华书店

787 毫米×1092 毫米 16 开本 20.25 印张 471 千字

2013 年 3 月第 1 版 2013 年 3 月第 1 次印刷

定 价: 39.00 元

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究

举报电话:010-62752024 电子信箱: fd@pup.pku.edu.cn

前 言

数字信号处理器(DSP)的应用已经遍及汽车与交通、消费电子、医疗、工业现场、计算机及外设、通信、能源与照明等领域,而且随着 DSP 技术的不断发展,其运算速度不断提高、体积与功耗不断减小、片内外设日益丰富、开发环境更趋完善,必将在电子信息与通信等领域取得更加广阔的应用前景。

在众多的 DSP 处理器中, TI 公司的 DSP 产品在市场应用中占有很大的份额,软硬件资源较为丰富,技术支持比较完善,从信息采集、处理到运动控制,从音视频编解码、模式识别到网络视频监控,均提供丰富的库函数,具备较完善的架构体系,适合于工程应用的快速开发。

本书以 TI 公司的 TMS320VC55x 系列 DSP 为主要研究对象,讲解其工作原理以及软硬件系统开发所解决的工程实际问题。为了适应初学者进行自学,本书列举大量的例题与习题,给出简洁明了的典型工程案例,相信一定能给读者带来一些帮助。

本书第 1 章简要讲解 TMS320VC55x 的基础知识,读者可以快速浏览。第 2 章讲解 TMS320VC55x 的编程技术,建议读者认真阅读和分析书中所给的每个案例与练习题,重点掌握汇编和 C 语言的混合编程技术,这项技术是以后所有软硬件开发能够顺利进行的基础和保证。第 3 章讲解 TMS320VC55x 的片内外设与应用开发。这一章是 DSP 硬件工程师必须掌握的技术,要想学好这一章,建议读者首先复习“微机原理”课程中相关的基础知识,如存储器、DMA、A/D、D/A、串口通信、USB、SPI、I²C 协议等基本原理,这样才能更好地理解本章驱动程序的编写方法。第 4 章讲解 TMS320VC55x 常用算法程序设计,给出了典型数字信号处理算法的实现方法。要想学好这一章,建议读者首先复习“数字信号处理”和“数字图像处理”课程中相关的基础知识,如数字信号处理课程中的 FFT、卷积、FIR、IIR 滤波器的设计方法,以及数字图像处理课程中的二值化、灰度直方图、锐化的基本原理,这样才能更好地理解本章算法程序的编写依据。第 5 章 DSP 集成开发环境 CCS 的内容建议由学生自己阅读,并且在实验和实习课时中独立运用、体会 CCS 软件平台的使用方法。第 6 章 DSP 硬件系统设计给出了 DSP 最小系统的设计原理与方法,建议学生在课程实习中参照本章的内容亲自制作一个 DSP 最小系统,设计硬件接口电路并编写软件驱动程序。

本书由董胜组织编写。董胜编写了其中的第 2、3、4 章,刘柏生编写了第 1、5 章以及附录,第 6 章由董胜和刘柏生共同编写。在编写过程中,北华大学电气信息工程学院电子系学生武金忠等参与了部分软件调试工作,合众达电子有限公司、北京精仪达盛公司提供了实验设备与部分软件资料支持,在此一并表示感谢!

编 者
2012 年 12 月

目 录

第 1 章 TMS320VC55x 基础知识	1	2.2.5 序列的倒位序寻址 编程技术	86
1.1 C55x 的特性	3	2.2.6 I/O 空间操作编程技术	88
1.1.1 C55x 的特性与基本配置	3	2.2.7 中断编程技术	88
1.1.2 C55x 在信号处理及通信 领域中的应用	5	2.3 TMS320VC55x C/C++程序设计	94
1.1.3 相关基本概念	5	2.3.1 TMS320VC55x C/C++优化 编译器	94
1.2 C55x 的硬件结构	9	2.3.2 TMS320VC55x C/C++语言 ...	95
1.2.1 芯片引脚及功能	9	2.3.3 Pragma 伪指令	101
1.2.2 中央处理单元	14	2.4 C 语言中直接嵌入汇编语句	103
1.2.3 存储空间	20	2.5 独立的 C 和汇编语言程序模块混合 编程	103
1.3 C55x 的基本开发流程	24	2.5.1 独立的 C 和汇编语言混合 编程的接口规则	104
1.3.1 系统性能设计实现与算法仿真 分析	25	2.5.2 C 语言程序模块调用独立的 汇编语言程序模块实例	104
1.3.2 选择恰当的芯片	25	2.6 TMS320VC55x C 程序开发常用的 库文件	105
1.3.3 软件开发环境与 软件开发流程	26	2.6.1 C 语言实时运行支持库	105
1.3.4 硬件设计与调试流程	28	2.6.2 数字信号处理库 DSPLIB	105
1.3.5 系统集成测试	29	2.6.3 图像/视频处理库 IMGLIB	106
本章小结	29	2.6.4 片级支持库 CSLLIB	107
习题	29	2.7 链接器命令文件(CMD 文件)	112
第 2 章 TMS320VC55x 编程技术	31	2.7.1 链接器命令文件的作用	112
2.1 汇编语言源程序概述	33	2.7.2 链接器伪指令	112
2.1.1 汇编语言源语句格式	33	2.7.3 链接器命令文件编写实例	114
2.1.2 寻址方式	34	本章小结	115
2.1.3 常用汇编指令	45	习题	117
2.1.4 汇编伪指令	69	第 3 章 TMS320VC55x 的片内外设与 应用开发	119
2.1.5 宏指令	74	3.1 时钟发生器编程技术	122
2.2 汇编语言基本程序结构与 编程技术	75	3.1.1 时钟发生器的工作原理	122
2.2.1 分支结构程序设计	75		
2.2.2 子程序调用结构程序设计	79		
2.2.3 循环结构程序设计	81		
2.2.4 算术运算编程技术	82		



3.1.2	CLKOUT 引脚时钟信号	123	3.7.4	I ² C 总线模块的 C 语言编程 方法	171
3.1.3	时钟模式寄存器 CLKMD	124	本章小结	174	
3.1.4	时钟模块的 C 语言 编程方法	125	习题	175	
3.2	外部存储器接口及其编程技术	125	第 4 章 TMS320VC55x 常用算法 程序设计	176	
3.2.1	EMIF 的工作原理	125	4.1	FIR 滤波器设计与仿真分析	178
3.2.2	EMIF 引脚信号说明	126	4.1.1	FIR 滤波器的基本概念	179
3.2.3	EMIF 寄存器	127	4.1.2	FIR 滤波器的窗函数设计法	180
3.2.4	EMIF 与异步存储器接口 硬件连接	128	4.1.3	FIR 滤波器的 MATLAB 仿真 设计	181
3.2.5	EMIF 模块的 C 语言编程 方法	129	4.1.4	FIR 滤波器的 DSP 实现	183
3.3	McBSP 串口及其编程技术	132	4.2	IIR 滤波器设计与仿真分析	187
3.3.1	McBSP 的关键特性	133	4.2.1	无限长脉冲响应基本网络 结构	187
3.3.2	McBSP 的工作原理	133	4.2.2	IIR 滤波器的设计法	189
3.3.3	McBSP 寄存器	139	4.2.3	IIR 滤波器的 MATLAB 仿真 设计	189
3.3.4	McBSP 的 C 语言编程方法	141	4.2.4	IIR 滤波器的 DSP 实现	191
3.4	通用定时器及其编程技术	153	4.3	FFT 设计与仿真分析	195
3.4.1	通用定时器的工作原理	154	4.3.1	离散傅里叶变换的定义	195
3.4.2	通用定时器寄存器	154	4.3.2	离散傅里叶变换的意义	196
3.4.3	通用定时器寄存器的使用 方法	157	4.3.3	离散傅里叶变换的快速 算法—FFT	196
3.4.4	通用定时器的 C 语言编程 方法	157	4.3.4	FFT 的 DSP 实现	198
3.5	DMA 模块及其编程技术	159	4.4	灰度直方图实现	201
3.5.1	DMA 控制器工作原理	159	本章小结	205	
3.5.2	DMA 控制寄存器	160	习题	207	
3.5.3	DMA 控制器的 C 语言编程 方法	161	第 5 章 DSP 集成开发环境 CCS	208	
3.6	HPI 接口及其编程技术	164	5.1	CCS 功能简介	209
3.6.1	HPI 引脚分配	164	5.2	CCS 的基本操作	210
3.6.2	HPI 与主机的连接关系	165	5.3	创建工程与调试工程文件	222
3.6.3	HPI 与 DMA 的关系	166	5.3.1	创建工程项目	222
3.6.4	HPI 控制寄存器	167	5.3.2	调试工程项目	225
3.7	I ² C 接口及其编程技术	167	5.4	应用案例分析与演示	238
3.7.1	I ² C 总线模块简介	167			
3.7.2	I ² C 总线模块工作原理	168			
3.7.3	I ² C 总线模块寄存器	170			



本章小结.....	242	6.6 FLASH 存储器扩展与	
习题.....	242	boot_loader.....	280
第 6 章 DSP 硬件系统设计.....	243	6.6.1 SST39VF400A FLASH 存储器	
6.1 电源与复位电路设计.....	245	功能简介.....	281
6.1.1 电源设计.....	245	6.6.2 SST39VF400A 与 DSP 的	
6.1.2 复位电路设计.....	247	硬件电路接口电路设计.....	281
6.2 时钟电路设计.....	247	6.6.3 SST39VF400A 的软件程序	
6.3 JTAG 接口设计.....	248	设计.....	284
6.4 键盘与 LCD 接口设计.....	248	6.6.4 Boot_loader.....	285
6.4.1 基于 CPLD 实现的键盘与		本章小结.....	296
LCD 扩展设计.....	249	习题.....	296
6.4.2 贪吃蛇游戏开发案例.....	252	附录 A CPU 寄存器总表.....	297
6.5 TMS320VC5509 的 A/D、D/A		附录 B 常用 CPU 寄存器功能说明.....	299
接口设计.....	255	附录 C 常用片内外设寄存器功能	
6.5.1 A/D 接口电路设计.....	256	说明.....	303
6.5.2 D/A 接口电路设计.....	267	参考文献.....	311
6.5.3 A/D、D/A 接口设计实例.....	269		

第 1 章

TMS320VC55x 基础知识

本章主要对数字信号处理器(DSP)进行简要的介绍：首先介绍 TMS320VC55x(以下简称 C55x)的基本特性、应用领域及其一些相关的概念；其次介绍 C55x 的硬件结构，主要包括 CPU、存储器、总线结构等；然后介绍 TMS320VC5509A 这款 DSP 芯片的引脚分布及其功能；最后介绍 C55x 的基本开发流程。



教学目标

- 理解 DSP 的基本概念
- 掌握 C55x 的基本特性
- 了解 DSP 应用领域
- 掌握 C55x 的 CPU 单元
- 了解 TMS320VC5509A 的引脚分布及其功能
- 掌握 DSP 的存储空间分配
- 理解 DSP 的基本开发流程



教学要求

知识要点	能力要求	相关知识
DSP 的基本概念	理解 DSP 基本概念	哈佛结构、多总线结构、指令流水线、数据格式
C55x 基本特性	(1) 比较 C54x 与 C55x 基本特性 (2) 掌握 C55x 的基本特性	12 条总线、MAC、ALU、AC0、AC1、AC2、AC3
C55x 的 CPU	(1) 掌握 C55x 的 CPU 结构 (2) 理解 CPU 的 I、P、A、D 单元结构 (3) 掌握 P、A、D 各单元内部寄存器	CPU 结构、I 单元、P 单元、A 单元、D 单元
TMS320VC5509A 的引脚分布及其功能	(1) 了解 TMS320VC5509A 芯片的引脚分布 (2) 理解 TMS320VC5509A 的功能	外部总线引脚、中断引脚、复位引脚、McBSP 引脚、USB 引脚、JTAG 引脚、I ² C 引脚、电源引脚等

知识要点	能力要求	相关知识
存储空间分配	(1) 掌握 C55x 存储空间映射 (2) 掌握程序空间、数据空间和 I/O 空间寻址方式	程序空间、数据空间、I/O 空间
DSP 基本开发流程	了解 DSP 的基本开发流程各阶段功能	软件设计与调试、硬件设计与调试、系统集成测试



推荐阅读资料

1. 汪春梅. TMS320VC55x 原理及应用(第二版). 2008:4-35
2. 彭启琮. C55x 系列 DSP 的 CPU 与外设. 2005.12
3. TI. C55x DSP CPU Reference Guide (Rev. F).pdf
4. TI. TMS320VC5509A.pdf



引例

TI 公司 DSP 芯片的分类和发展

TI 公司主要推出三大 DSP 系列芯片,即 TMS320VC2000、TMS320VC5000、TMS320VC6000 系列。

TMS320VC2000 系列主要应用于控制领域。它集成了 Flash 存储器、高速 A/D 转换器、可靠的 CAN 模块及数字马达控制等外围模块,适用于三相电动机、变频器等高速实时的工控产品等数字化控制领域。图 1.1 为 TMS320VC2000 系列 DSP 应用领域。

TMS320VC5000 系列主要应用于通信领域。它是 16 位定点 DSP 芯片,主要应用在 IP 电话机和 IP 电话网、数字式助听器、便携式音频/视频产品、手机和移动电话基站、调制解调器、数字无线电等领域。图 1.2 为 TMS320VC5000 系列 DSP 应用领域。它主要分为 C54 和 C55 系列 DSP,图 1.3 所示为其发展进程图。

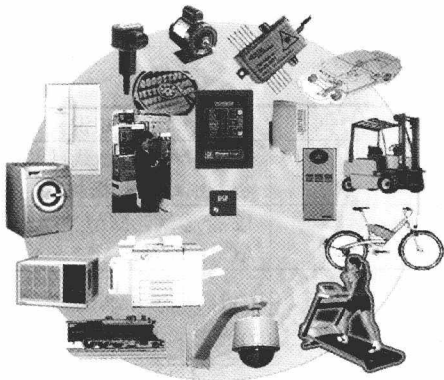


图 1.1 TMS320VC2000 系列 DSP 应用领域



图 1.2 TMS320VC5000 系列 DSP 应用领域

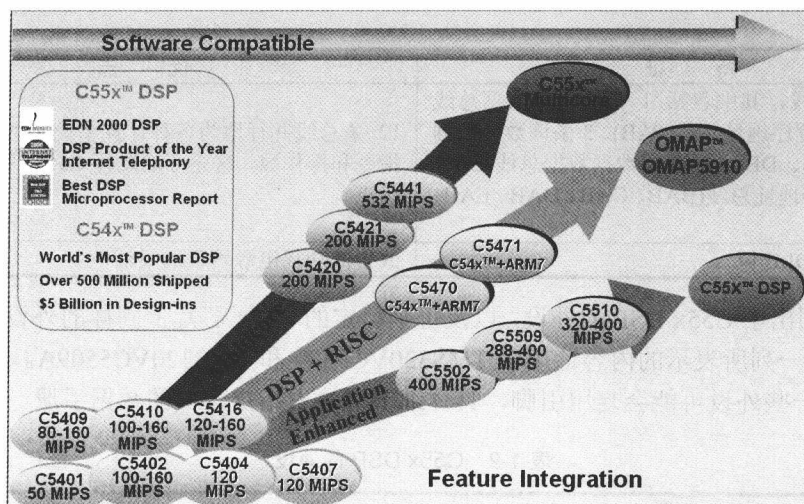


图 1.3 TMS320VC5000 系列 DSP 发展进程图

TMS320VC6000 系列主要应用数字通信和音/视频领域。它是采用超长指令字结构设计的高性能芯片，其速度可以达到几十亿 MIPS 浮点运算，属于高端产品应用范围。

C55x DSP 是德州仪器(TI)公司 C5000 DSP 系列里最新的一代产品。C55x 对 C54 有很好的继承性，与 C54 代码兼容，可以有效地保护用户在软件上的开发与投资。

1.1 C55x 的特性

C55x 数字信号处理器是在 C54x 的基础上发展起来的新一代低功耗、高性能数字信号处理器。C55x 采用了新的半导体工艺，时钟和功耗比 C54x 系列都有很大的提高，CPU 内部增加了大量的功能单元从而增强了 DSP 的运算能力，相比较 C54x 系列具有更高的性能和更低的功耗。这些特点使之在无线通信领域、电子消费领域、便携式个人数字系统领域以及数字语音压缩电话系统和图像编解码系统中得到更加广泛的应用。

1.1.1 C55x 的特性与基本配置

C55x 的主要性能和优点见表 1-1。

表 1-1 C55x 的性能和优点

特 征	优 点
一个 32 位×16bit 指令缓冲队列(IBQ)	缓冲可变长的指令，实现高效的块循环操作
两个 17 位×17bit 的乘法累加器(MACs)	可以在单周期执行双乘法累加操作
一个 40bit 算术逻辑单元(ALU)	实现高精度算术和逻辑操作
一个 40bit 桶形移位寄存器	可将一个 40 位的计算结果最高向左移 31 位或向右移 32 位
一个 16bit 算术逻辑单元(ALU)	与主 ALU 并行，完成简单的算术操作
4 个 40bit 的累加器(AC0、AC1、AC2、AC3)	保留计算结果，减少对存储单元的访问

特 征	优 点
12 条独立总线，其中包括 1 条读程序数据总线(PB)、1 条读程序地址总线(PAB)、3 条读数据数据总线(BB、CB、DB)、2 条写数据数据总线(EB、FB)、5 条数据地址总线(BAB、CAB、DAB、EAB、FAB)	12 条总线并行地为各种计算单元提供将要处理的指令和操作数，这充分地发挥 C55x 的并行机制的优点
用户可配置 IDLE 域	改善低功耗电源管理的灵活性

表 1-2 列出了 C55x DSP 的外设，以及每个特定的 C55x 芯片上同样的外设的数目。标有 5509 的那一列所表示的内容适用于 TMS320VC5509 和 TMS320VC5509A。对于一款特定的芯片，一些外设可能会复用引脚，具体细节请参看指定器件的数据手册。

表 1-2 C55x DSP 的外设

外 设	5501	5502	5509	5510
ADC			1	
带 PLL 的时钟发生器	1	1	1	1
直接存储器访问(DMA)控制器	1	1	1	1
外部存储器接口(EMIF)	1	1	1	1
主机接口(HPI)				1
	1	1	1	
指令 cache	1	1		1
I ² C 模块	1	1	1	
多通道缓冲串口(McBSP)	2	3	3	3
多媒体卡(MMC)控制器			2	
电源管理/idle 控制	1	1	1	1
实时时钟(RTC)			1	
通用定时器	2	2	2	2
看门狗定时器	1	1	1	
通用异步接收/发送器(UART)	1	1		
通用串行总线(USB)模块			1	

C55x 的一系列性能特征使得它比 C54x 具有更高效率、更低功耗以及使用更加方便灵活的特点与优势。如 300MHz、0.9V 的 C55x 和 120MHz、1.08V 的 C54x 相比较，其内核功耗降低 1/6，代码减少 30%，性能提高 5 倍。

C55x 与 C54x 相比，C55x 在硬件方面做了许多扩展，具体见表 1-3。

表 1-3 C54x 与 C55x 的比较

比较内容	C54x 系列	C55x 系列
乘法累加器(MAC)	1 个	2 个
累加器(ACC)	2 个(A、B)	4 个(AC0、AC1、AC2、AC3)
读数据总线	2 条(CB、DB)	3 条(BB、CB、DB)
写数据总线	1 条(EB)	2 条(EB、FB)
地址总线	4 条(PAB、CAB、DAB、EAB)	6 条(PAB、BAB、CAB、DAB、EAB、FAB)
指令字长	16 位	8/16/24/32/40/48 位可变长
数据字长	16 位	16 位

比较内容	C54x 系列	C55x 系列
算术逻辑单元(ALU)	1 个(40 位)ALU	1 个(16 位)ALU 1 个(40 位)ALU
辅助寄存器字长	2 字节(16 位)	3 字节(24 位)
辅助寄存器	8 个(AR0~AR7)	8 个(XAR0~XAR7)
临时寄存器	1 个(T)	4 个(T0~T3)
存储空间	独立的程序/数据空间	统一的程序/数据空间

1.1.2 C55x 在信号处理及通信领域中的应用

DSP 技术在很多领域内都已广泛使用, 已经逐渐成为很多领域的标准技术。C55x 系列 DSP 主要应用在以下几个主要领域。

(1) 基本信号处理: 数字滤波器、自适应滤波、FFT、离散余弦变换、相关运算、谱分析、卷积运算、模式匹配、窗函数、希尔伯特变换、波形产生和变换等。

(2) 消费领域: 音乐合成与调音器、个人数字助理(PDA)、教育工具与玩具、数字音频/视频播放器与记录器等。

(3) 通信领域: 通信安全、调制解调、自适应均衡、数据加密、数据压缩、回波消除、多路复用、传真、扩频通信、纠错编码、软件无线电等。

(4) 语音领域: 语音编码、语音合成、语音识别、语音增强、语音邮件、语音储存、声码器、蜂窝电话、个人通信等。

(5) 图形/图像领域: 动画与数字地图、数码相机、图像压缩与传输、图像增强、三维旋转、模式识别、计算机与机器人视觉等。

1.1.3 相关基本概念

1. DSP

数字信号处理是利用计算机或专用处理设备, 以数字的形式对信号进行分析、采集、合成、变换、滤波、估算、压缩、识别等加工处理, 以便提取有用的信息并进行有效的传输与应用。

DSP 可以代表数字信号处理技术(Digital Signal Processing), 也可以代表数字信号处理器(Digital Signal Processor)。前者是理论和计算方法上的技术, 后者是指实现这些技术的通用或专用可编程微处理器芯片。

数字信号处理包括两个方面的内容。

1) 算法的研究

算法的研究是指如何以最小的运算量和存储器的使用量来完成指定的任务。

2) 数字信号处理的实现

数字信号处理的实现是指用硬件、软件或软硬件结合的方法来实现各种算法。

2. 哈佛结构

DSP 芯片普遍采用数据总线和程序总线分离的哈佛结构或改进的哈佛结构, 比传统处理器的冯·诺依曼结构有更快的指令执行速度。

1) 冯·诺依曼(Von Neuman)结构

该结构采用单存储空间，即程序指令和数据共用一个存储空间，使用单一的地址和数据总线，取指令和取操作数都是通过一条总线分时进行的，其结构如图 1.4 所示。

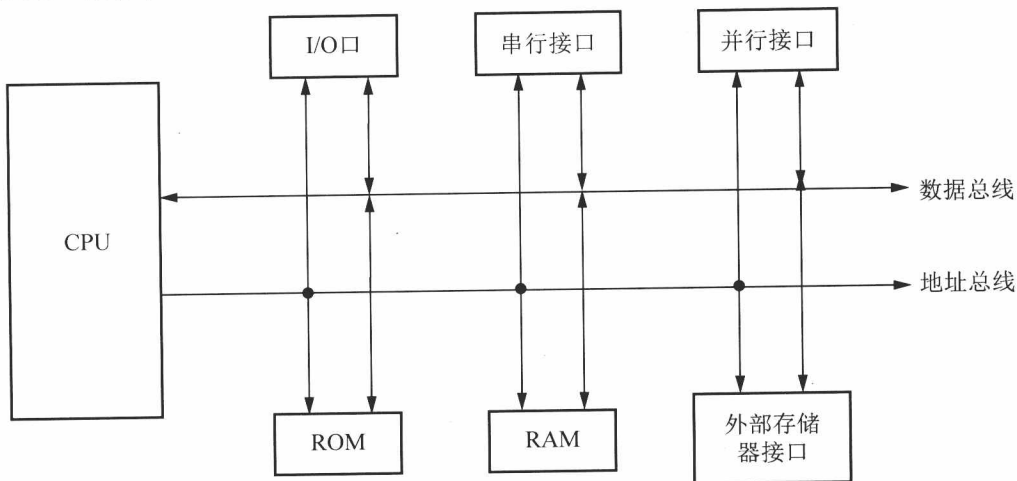


图 1.4 冯·诺依曼结构

2) 哈佛(Harvard)结构

该结构采用双存储空间，程序存储器和数据存储器分开，有各自独立的程序总线 and 数据总线，可以独立寻址和独立访问，可以对程序和数据单独进行传输，可以并行完成取指令操作、指令执行操作、数据吞吐等操作，大大地提高了数据处理能力和指令的执行速度，非常适合实时的数字信号处理，哈佛结构如图 1.5 所示。

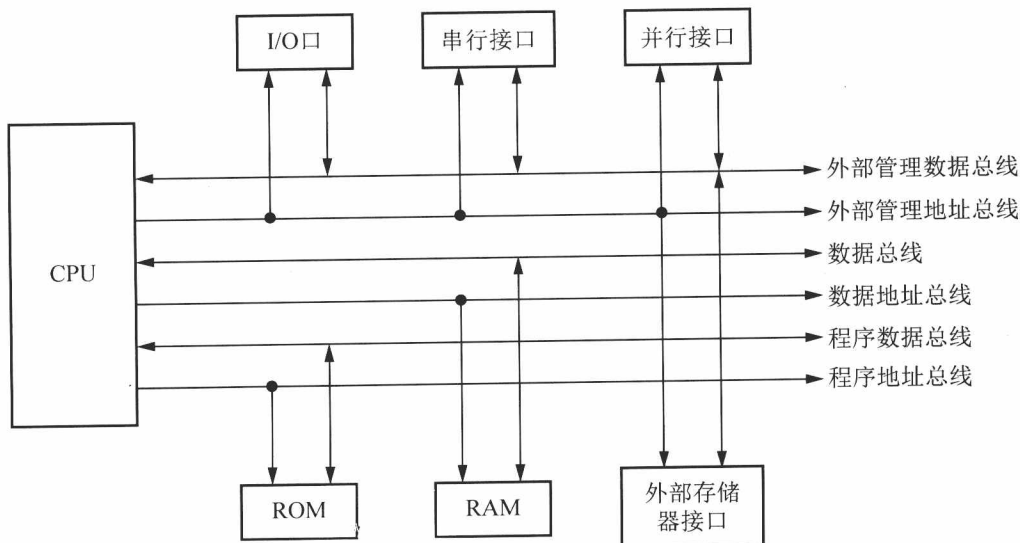


图 1.5 哈佛结构



3. 多总线结构

C55x 有 1 条 32 位的程序数据总线(PB)和 1 条 24 位的程序地址总线(PAB)、5 条 16 位数据总线(BB、CB、DB、EB、FB)和 5 条 23 位的数据地址总线(BAB、CAB、DAB、EAB、FAB)，这些总线分别与 CPU 相连。总线通过存储器接口单元(M)与外部程序总线和数据总线相连，实现 CPU 对外部存储器的访问。这种并行的多总线结构可以极大地提高 DSP 的运行速度、提高 DSP 的执行效率。其结构图如图 1.6 所示。

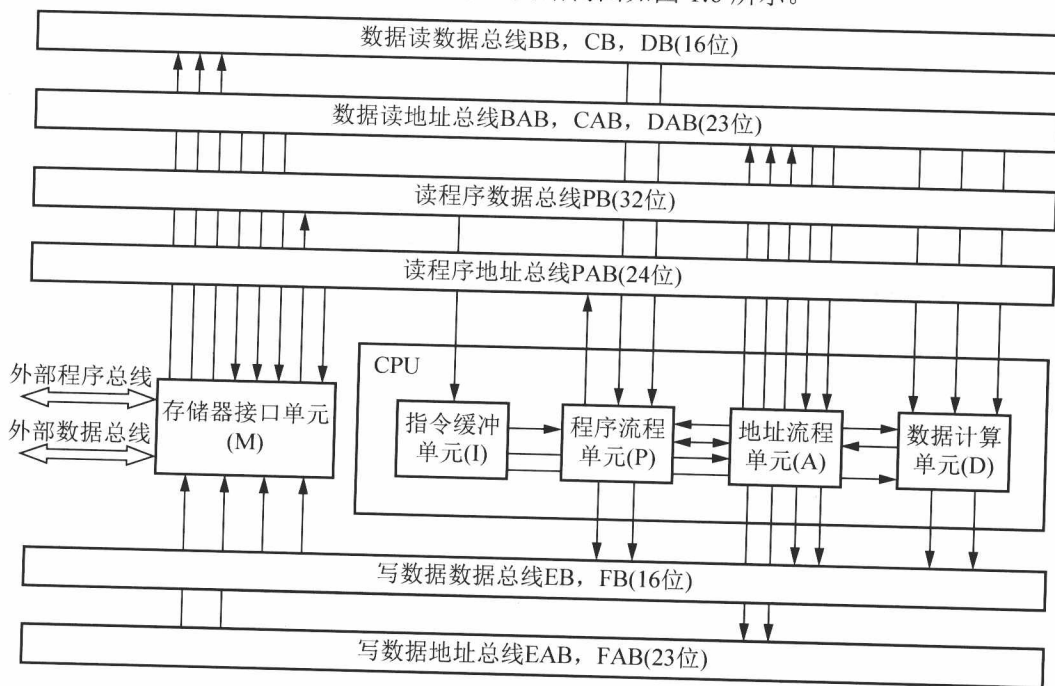


图 1.6 C55x CPU 结构图

4. 指令流水线

流水线结构将指令的执行分解为取指、译码、取操作数和执行等几个阶段。在程序运行过程中，不同指令的不同阶段在时间上是重叠的，流水线结构提高了指令执行的整体速度，有助于保证数字信号处理的实时性。因此，所有 DSP 均采用一定级数的流水线，如 TMS320VC54x DSP 采用 6 级流水线，而 TMS320VC6xxx DSP 采用 8 级流水线。C55x DSP 的流水线则被分为取指流水线和执行流水线两部分，取指流水线完成访问地址产生、等待存储器回应、取指令包、预解码等工作；执行流水线完成译码、读取/修改寄存器、读操作数和输出结果等工作。

C55x 的指令流水线包括以下两个阶段。

第一阶段是取指流水线，即从内存中取出 32 位的指令包，将它们放入指令缓冲队(IBQ)中，然后为流水线的第二阶段提供 48 位的指令包。其结构如图 1.7 所示。其功能见表 1-4。

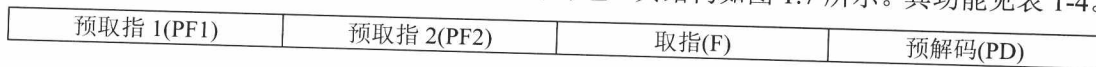


图 1.7 流水线的第一阶段(取指流水线)

表 1-4 取指流水线指令功能表

指 令	功 能
PF1	表示向存储器提供的程序地址
PF2	表示等待存储器的响应
F	表示从存储器取一个指令包并放入指令缓冲队列中
PD	表示对指令缓冲队列中的指令预解码(确定指令的起始和结束位置; 确定并行指令)

第二阶段是执行流水线, 这部分的功能是对指令进行解码并完成数据的存取和计算。其结构如图 1.8 所示, 其各部分功能见表 1-5。

解码 (D)	地址 (AD)	存取 1 (AC1)	存取 2 (AC2)	读 (R)	执行 (X)	写 (W)	写+ (W+)
-----------	------------	---------------	---------------	----------	-----------	----------	------------

图 1.8 流水线的第二阶段(执行流水线)

表 1-5 执行流水线指令功能表

D	(1) 从指令缓冲队列中读 6 个字节的指令; (2) 对一个指令对或一个单指令进行解码; (3) 给对应的 CPU 功能单元分配指令; (4) 读取与地址产生相关的 STx_55 寄存器中的位: ST1_55(CPL)、ST2_55(ARnLC)、ST2_55(ARMS)、ST2_55(CDPLC)
AD	(1) 读/修改与数据地址产生有关的寄存器; 例如: ①*ARx+(T0)中的 ARx 和 T0; ②BK03(如果 AR2LC = 1); ③SP 在压栈和出栈时, 读/修改 SP; ④SSP, 在 32 位堆栈模式, 在压栈和出栈时, 读/修改 SP; (2) 在 A 单元中的 ALU 完成运算; 例如: ①使用 AADD 指令进行算术运算; ②用 SWAP 指令交换 A 单元中的寄存器; ③向 A 单元的寄存器(BKxx, BSAXx, BRCx, CSR, 等)写入常量; (3) 在条件分支指令中 ARx 如果不等于 0, 则 ARx-1; (4) (例外)根据算法规则, 判断 XCC(在 AD 流水线执行)指令的执行条件
AC1	在存储器读操作中, 在相应的 CPU 地址总线上传送地址
AC2	给存储器一个周期时间来响应请求
R	(1) 从存储器和通过映射方式寻址的寄存器中读数据 (2) 在 R 节拍执行 D 单元的预取 A 单元寄存器指令时, 读 A 单元的寄存器 (3) 在 R 节拍判断条件指令的条件
X	(1) 读/修改不通过映射方式寻址的寄存器; (2) 读/修改寄存器中的单个位; (3) 设置条件; (4) 如果指令不是向存储器中写, 就判断 XCCPART 的条件; (5) 判断 RPTCC 指令的条件
W	(1) 向存储器映射方式寻址的寄存器或 I/O 空间写数据; (2) 向存储器写数据, 从 CPU 来看, 写操作在该节拍完成
W+	向存储器写数据, 从存储器来看, 写操作在该节拍完成



5. 数据格式

DSP 处理器的数据格式决定了它所能处理的不同精度、不同动态范围的信号种类。

DSP 按照其数据格式主要分为定点 DSP 和浮点 DSP 两种。一般而言,若数据以定点格式运算的称为定点 DSP,定点 DSP 芯片价格较便宜、功耗较低,但运算精度稍低。若数据以浮点格式运算的称为浮点 DSP,浮点 DSP 芯片的优点是运算精度高,但价格稍贵,功耗也较大。

1) 定点格式

在定点 DSP 处理中,以一系列二进制数位(0 和 1)来表示数字,数字一般包括符号位、整数位和小数位 3 部分构成。定点格式是将数据的整数和小数部分分开,小数点在一个固定的位置,就称为定点格式输出。通常表示为 $Qm.n$, m 表示数的整数部分, n 表示数的小数部分。将 N 定义为总位数,则有 $N=m+n+1$ 。对于 $Qm.n$ 格式总的 N 位符号数, $MSB(b_{N-1})$ 是符号位。例如,一个 16 位数用 1 位表示符号,15 位表示整数部分,则此数被称作 $Q15.0$ (或 $Q.15$),或简化为 $Q15$ 格式。定点 DSP 芯片一般采用整数型定点格式运算,其特点是硬件实现比较容易,但动态范围受到限制。

2) 浮点格式

为了扩大数据的范围和精度,就需要采用浮点运算。浮点格式通常用 3 个段来表示数:符号位、指数位和尾数位。其数据计算方法为:浮点数=尾数 $\times 2^{-\text{指数}}$ 。尾数位决定了精度,指数位决定了动态范围。与具有相同字长的定点数相比,浮点数有着更大的动态范围。

1.2 C55x 的硬件结构

C55x 数字信号处理器是在 C54x 的基础上发展起来的并且对 C54x 系列具有向下兼容性。它在内部硬件结构上有了很大的改进和增强,因此它要比 C54x 具有更高的性能。在这一节主要介绍 C55x 系列 DSP 的 CPU 结构、存储空间结构以及 TMS320VC5509A 芯片功能。

1.2.1 芯片引脚及功能

本节主要以 TMS320VC5509A 芯片为例介绍 C55x 的主要特性及其引脚功能。

TMS320VC5509A 是一款以 C55x 的 CPU 为内核的定点 DSP 芯片。它有两种封装形式,一种是采用 144 个引脚的塑料四方扁平(LQFP)封装形式;另一种是采用 179 引脚的球栅阵列(BGA)封装形式。这里以第二种封装形式为例来介绍,其封装引脚分布如图 1.9 所示。

TMS320VC5509A 引脚按其功能可分为并行总线引脚、中断和复位引脚、位输入/输出信号引脚、I²C 引脚、多通道缓冲串口引脚、USB 引脚、A/D 引脚、测试引脚和电源引脚等几部分。其引脚号及其对应引脚名称见表 1-6。

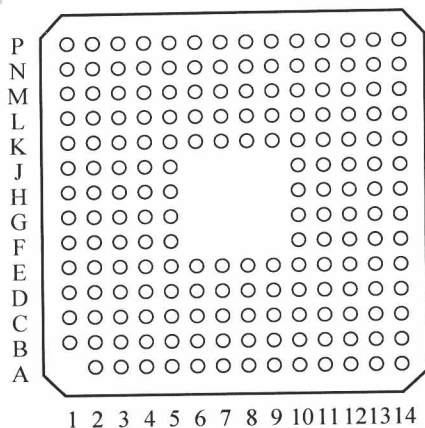


图 1.9 TMS320VC5509A GHH 和 ZHH 球阵列封装引脚图(179 引脚)

表 1-6 TMS320VC5509A 引脚表(179 引脚)

引脚号	引脚名称	引脚号	引脚名称	引脚号	引脚名称	引脚号	引脚名称
A2	V _{SS}	D5	GPIO5	H2	DV _{DD}	L13	D15
A3	GPIO4	D6	DR0	H3	A19	L14	CV _{DD}
A4	DV _{DD}	D7	S10	H4	C4	M1	C10
A5	FSR0	D8	S11	H5	C5	M2	C13
A6	CV _{DD}	D9	DV _{DD}	H10	DV _{DD}	M3	V _{SS}
A7	S12	D10	S25	H11	A[0]	M4	CV _{DD}
A8	DV _{DD}	D11	V _{SS}	H12	RESET	M5	V _{SS}
A9	S20	D12	AIN2	H13	SDA	M6	A5
A10	S21	D13	AIN1	H14	CSL	M7	A1
A11	S23	D14	AIN0	J1	C6	M8	A15
A12	RTCINX1	E1	GPIO1	J2	DV _{DD}	M9	D3
A13	RDV _{DD}	E2	GPIO2	J3	C7	M10	D6
A14	RDV _{DD}	E3	DV _{DD}	J4	C8	M11	CV _{DD}
B1	V _{SS}	E4	V _{SS}	J5	CV _{DD}	M12	DV _{DD}
B2	CV _{DD}	E5	V _{SS}	J10	CV _{DD}	M13	V _{SS}
B3	GPIO3	E6	DV _{DD}	J11	CV _{DD}	M14	D12
B4	TIN/TOUT0	E7	DX0	J12	TRST	N1	V _{SS}
B5	CLKR0	E8	S15	J13	TCK	N2	V _{SS}
B6	FSX0	E9	S13	J14	TMS	N3	A13
B7	CV _{DD}	E10	NC	K1	A18	N4	A10
B8	CV _{DD}	E11	AIN3	K2	C9	N5	A7
B9	V _{SS}	E12	ADV _{SS}	K3	C11	N6	DV _{DD}
B10	S24	E13	V _{SS}	K4	V _{SS}	N7	CV _{DD}
B11	V _{SS}	E14	XF	K5	V _{SS}	N8	CV _{DD}
B12	RTCINX2	F1	X1	K6	A3	N9	V _{SS}
B13	RDV _{DD}	F2	X2/CKLIN	K7	A2	N10	V _{SS}