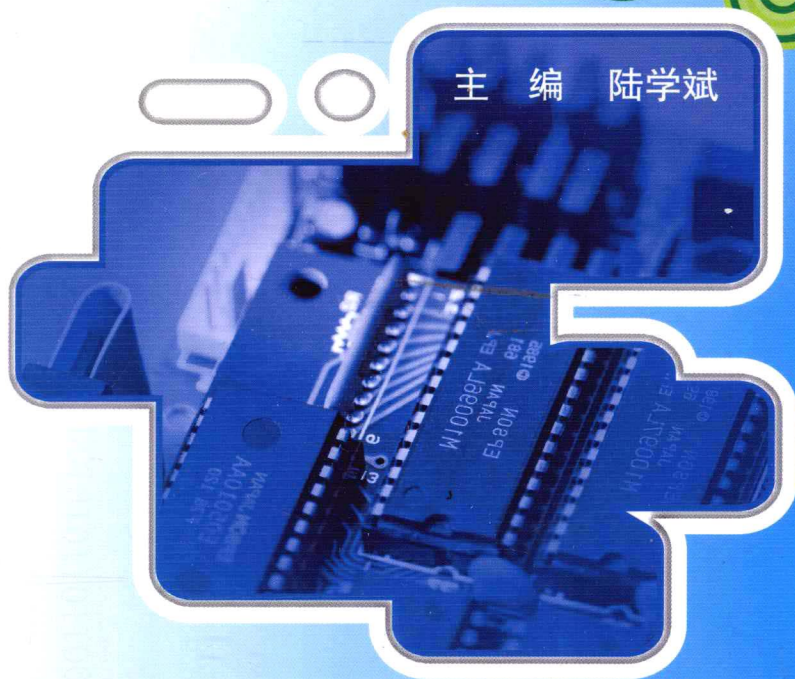




21世纪全国本科院校电气信息类**创新型**应用人才培养规划教材

集成电路版图设计

主 编 陆学斌



原理结合基本设计方法，带您轻松步入集成电路的世界
理论结合工艺实践经验，使您完美理解版图设计的真谛
知识要点和提醒星罗棋布
设计规则及经验锦上添花



北京大学出版社
PEKING UNIVERSITY PRESS

21 世纪全国本科院校电气信息类创新型应用人才培养规划教材

集成电路版图设计

主 编 陆学斌

副主编 董长春 韩 天



北京大学出版社
PEKING UNIVERSITY PRESS

内 容 简 介

本书主要介绍集成电路版图设计, 主要内容包括半导体器件和集成电路工艺的基本知识, 集成电路常用器件的版图设计方法, 流行版图设计软件的使用方法, 版图验证的流程, 以及集成电路版图实例等。

本书适合作为高等学校微电子技术专业和集成电路设计专业版图设计课程的教材, 也可作为集成电路版图设计者的参考书。

图书在版编目(CIP)数据

集成电路版图设计/陆学斌主编. —北京: 北京大学出版社, 2012.11

(21 世纪全国本科院校电气信息类创新型应用人才培养规划教材)

ISBN 978-7-301-21235-6

I. ①集… II. ①陆… III. ①集成电路—电路设计—高等学校—教材 IV. ① TN402

中国版本图书馆 CIP 数据核字(2012)第 215506 号

书 名: 集成电路版图设计

著作责任者: 陆学斌 主编

策 划 编 辑: 程志强

责 任 编 辑: 程志强

标 准 书 号: ISBN 978-7-301-21235-6/TM · 0049

出 版 者: 北京大学出版社

地 址: 北京市海淀区成府路 205 号 100871

网 址: <http://www.pup.cn> <http://www.pup6.cn>

电 话: 邮购部 62752015 发行部 62750672 编辑部 62750667 出版部 62754962

电 子 邮 箱: pup_6@163.com

印 刷 者: 北京鑫海金澳胶印有限公司

发 行 者: 北京大学出版社

经 销 者: 新华书店

787 毫米×1092 毫米 16 开本 16.75 印张 彩插 3 387 千字

2012 年 11 月第 1 版 2012 年 11 月第 1 次印刷

定 价: 36.00 元

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有, 侵权必究

举报电话: 010-62752024

电子邮箱: fd@pup.pku.edu.cn

前 言

集成电路版图是电路设计与集成电路工艺之间必不可少的环节。通过集成电路版图设计，可以将立体的电路结构转变为二维的平面图形，再经过工艺加工使之转换为基于硅材料的立体结构。由此可见，集成电路的版图设计起到了上承电路、下接集成电路芯片的重要作用。

集成电路的版图设计是一个崭新的领域，近几年已经开始成为一种职业，即版图设计师。这虽然是一个新兴的职业，但很多人包括大学毕业生和一些希望改行的工程师都希望进入到这个新的领域里工作。随着芯片尺寸的不断减小，集成电路的版图设计也越来越重要，一个有经验的版图设计师可以为公司节省大量成本。相信随着集成电路技术的不断发展及芯片特征尺寸的不断减小，版图设计工作将会越来越受到人们的重视和青睐。

长期以来，专门介绍集成电路版图设计知识的文献书籍非常少，很多都是在集成电路原理或超大规模集成电路设计书籍中的一些章节中出现，而这些章节往往都是在讲授复杂的工艺原理或电路设计，而且鉴于篇幅限制，对版图设计无法提供全面的介绍，读者在学习的时候总是感到晦涩难懂，实用性不强，动手操作性不强。目前，国内很多高校都设立了微电子技术专业，并把版图设计作为微电子技术专业的一门重要的专业课，因此急需一本合适的以介绍版图设计为主要内容的教材。

本书从半导体器件理论基础入手，在讲授集成电路制造工艺的基础上，循序渐进地介绍了集成电路版图设计的基本原理与方法。本书的一个突出特点是：全书在讲解版图设计的过程中，尽量减少复杂的理论讲解，并将理论讲解和工艺实践经验相结合，使读者能够明白版图设计是科学和经验两者的有机结合。本书在一些重要章节的最后小节中都增加了设计规则或相关设计经验的介绍，无论是对新手还是对有经验的设计者来说都非常有帮助。而且书中的实例都是作者多年实践的结果，极具指导性。

本书主要讲授集成电路版图设计的基本原理与方法，分门别类地介绍集成电路中常用器件的版图设计。全书共分为9章，第1章讲解半导体器件的理论基础；第2章讲解集成电路制造工艺；第3章讲解操作系统与Cadence软件；第4章讲解电阻的版图设计；第5章讲解电容和电感的版图设计；第6章讲解二极管和外围器件的版图设计；第7章讲解双极型晶体管的版图设计；第8章讲解MOS场效应晶体管的版图设计；第9章介绍集成电路版图设计实例。其中，第1章、第2章、第6章和第8章由哈尔滨理工大学的陆学斌编写；第5章、第7章和第9章由哈尔滨理工大学的董长春编写；第3章和第4章由哈尔滨理工大学的韩天编写。

本书作为教材使用，建议各章节的学时安排如下：第1章和第2章主要讲解为了学习版图设计所需要的半导体器件和集成电路工艺的一些基础知识，如果专业课程体系中已经包含相关课程，则这两章应以介绍复习为主，建议学时为4学时；第3章主要讲解操作系统和Cadence软件，这是上机操作的必备知识，最好在实验中讲解，建议学时为8实验学时，分别为操作系统与软件使用介绍2实验学时，CMOS反相器的电路图和版图设计2实



验学时，CMOS 反相器的 DRC 验证 2 实验学时，CMOS 反相器的 LVS 验证 2 实验学时；第 4 章主要讲解电阻的版图设计，建议学时为 4 学时；第 5 章主要讲解电容和电感的版图设计，建议学时为 4 学时；第 6 章主要讲解二极管和外围器件的版图设计，建议学时为 4 学时；第 7 章主要讲解双极型晶体管的版图设计，建议学时为 4 学时；第 8 章主要讲解 MOS 晶体管的版图设计，MOS 晶体管是集成电路中最重要的器件，建议学时为 6 学时；第 9 章主要介绍集成电路版图设计实例，建议学时为 6 学时。总计，理论学时 32 学时，实验学时 8 学时。

本书在编写过程中得到了哈尔滨理工大学崔林海副教授、任明远讲师和哈尔滨铁道职业技术学院孙伟的热心帮助，在此一并表示感谢！

由于作者水平有限，书中难免存在错误和不足之处，敬请读者批评指正。

编者

2012 年 8 月



目 录

第 1 章 半导体器件理论基础 1	2.4 掺杂工艺.....39
1.1 半导体的电学特性..... 2	2.4.1 扩散.....39
1.1.1 晶格结构与能带..... 2	2.4.2 离子注入.....41
1.1.2 电子与空穴..... 4	2.5 薄膜制备工艺.....45
1.1.3 半导体中的杂质..... 6	2.5.1 化学气相淀积.....45
1.1.4 半导体的导电性..... 9	2.5.2 物理气相淀积.....46
1.2 PN 结的结构与特性..... 10	2.6 光刻技术.....47
1.2.1 PN 结的结构..... 10	2.6.1 光刻工艺流程.....47
1.2.2 PN 结的电压电流特性..... 11	2.6.2 光刻胶.....50
1.2.3 PN 结的电容..... 14	2.7 刻蚀工艺.....50
1.3 MOS 场效应晶体管..... 14	2.8 CMOS 集成电路基本工艺流程.....51
1.3.1 MOS 场效应晶体管的结构与 工作原理..... 15	本章小结.....53
1.3.2 MOS 管的电流电压特性..... 19	第 3 章 操作系统与 Cadence 软件55
1.3.3 MOS 管的电容..... 20	3.1 UNIX 操作系统.....56
1.4 双极型晶体管..... 22	3.1.1 UNIX 操作系统简介.....56
1.4.1 双极型晶体管的结构与 工作原理..... 23	3.1.2 UNIX 常用操作.....56
1.4.2 双极型晶体管的电流传输..... 24	3.1.3 UNIX 文件系统.....57
1.4.3 双极型晶体管的基本 性能参数..... 26	3.1.4 UNIX 文件系统常用工具.....58
本章小结..... 27	3.2 Linux 操作系统.....60
第 2 章 集成电路制造工艺 28	3.3 虚拟机.....73
2.1 硅片制备..... 29	3.4 Cadence 软件.....81
2.1.1 单晶硅制备..... 30	3.4.1 Cadence 软件概述.....81
2.1.2 硅片的分类..... 32	3.4.2 电路图的建立.....82
2.2 外延工艺..... 32	3.4.3 版图设计规则.....92
2.2.1 概述..... 32	3.4.4 版图编辑大师.....94
2.2.2 外延工艺的分类与用途..... 33	3.4.5 版图的建立与编辑.....105
2.3 氧化工艺..... 34	3.4.6 版图验证..... 114
2.3.1 二氧化硅薄膜概述..... 35	3.4.7 Dracula DRC..... 116
2.3.2 硅的热氧化..... 37	3.4.8 Dracula LVS..... 122
	本章小结.....128
	第 4 章 电阻130
	4.1 概述.....131



4.2	电阻率和方块电阻.....	131	7.2	发射极电流集边效应.....	179
4.3	电阻的分类与版图.....	132	7.3	双极型晶体管的分类与版图.....	180
4.3.1	多晶硅电阻.....	133	7.3.1	标准双极型工艺 NPN 管.....	180
4.3.2	阱电阻.....	136	7.3.2	标准双极型工艺衬底 PNP 管.....	183
4.3.3	有源区电阻.....	136	7.3.3	标准双极型工艺横向 PNP 管.....	184
4.3.4	金属电阻.....	137	7.3.4	BiCMOS 工艺晶体管.....	185
4.4	电阻设计依据.....	138	7.4	双极型晶体管版图匹配规则.....	187
4.4.1	电阻变化.....	138	7.4.1	双极型晶体管版图基本 设计规则.....	187
4.4.2	实际电阻分析.....	139	7.4.2	纵向晶体管设计规则.....	187
4.4.3	电阻设计依据.....	140	7.4.3	横向晶体管设计规则.....	189
4.5	电阻匹配规则.....	141	本章小结.....		189
	本章小结.....	144			
第 5 章	电容和电感.....	145	第 8 章	MOS 场效应晶体管.....	191
5.1	电容.....	146	8.1	概述.....	192
5.1.1	概述.....	146	8.2	MOS 管的版图.....	193
5.1.2	电容的分类.....	148	8.3	MOS 晶体管版图设计技巧.....	199
5.1.3	电容的寄生效应.....	152	8.3.1	源漏共用.....	199
5.1.4	电容匹配规则.....	153	8.3.2	特殊尺寸 MOS 管.....	204
5.2	电感.....	155	8.3.3	衬底连接与阱连接.....	208
5.2.1	概述.....	156	8.3.4	天线效应.....	210
5.2.2	电感的分类.....	157	8.4	棍棒图.....	211
5.2.3	电感的寄生效应.....	158	8.5	MOS 管的匹配规则.....	213
5.2.4	电感设计准则.....	158	本章小结.....		218
	本章小结.....	159			
第 6 章	二极管与外围器件.....	161	第 9 章	集成电路版图设计实例.....	220
6.1	二极管.....	162	9.1	常用版图设计技巧.....	221
6.1.1	二极管的分类.....	162	9.2	数字版图设计实例.....	222
6.1.2	ESD 保护.....	165	9.2.1	反相器.....	223
6.1.3	二极管匹配规则.....	168	9.2.2	与非门和或非门.....	225
6.2	外围器件.....	169	9.2.3	传输门.....	227
6.2.1	压焊块(PAD).....	170	9.2.4	三态反相器.....	228
6.2.2	连线.....	173	9.2.5	多路选择器.....	228
	本章小结.....	176	9.2.6	D 触发器.....	229
			9.2.7	二分频器.....	230
第 7 章	双极型晶体管.....	178	9.2.8	一位全加器.....	231
7.1	概述.....	179			



9.3 版图设计前注意事项.....	232	9.6.5 运算放大器总体版图.....	246
9.4 版图设计中注意事项.....	234	9.7 带隙基准源版图设计实例.....	247
9.5 静电保护电路版图设计实例.....	234	9.7.1 寄生 PNP 双极型晶体管 版图设计.....	247
9.5.1 输入输出 PAD 静电保护.....	234	9.7.2 对称电阻版图设计.....	249
9.5.2 限流电阻的画法.....	237	9.7.3 带隙基准源总体版图.....	251
9.5.3 电源静电保护.....	237	9.8 芯片总体设计.....	252
9.5.4 二级保护.....	238	9.8.1 噪声考虑.....	252
9.6 运算放大器版图设计实例.....	240	9.8.2 布局.....	253
9.6.1 运放组件布局.....	240	本章小结.....	254
9.6.2 输入差分对版图设计.....	241	参考文献.....	255
9.6.3 偏置电流源版图设计.....	244		
9.6.4 有源负载管版图设计.....	245		

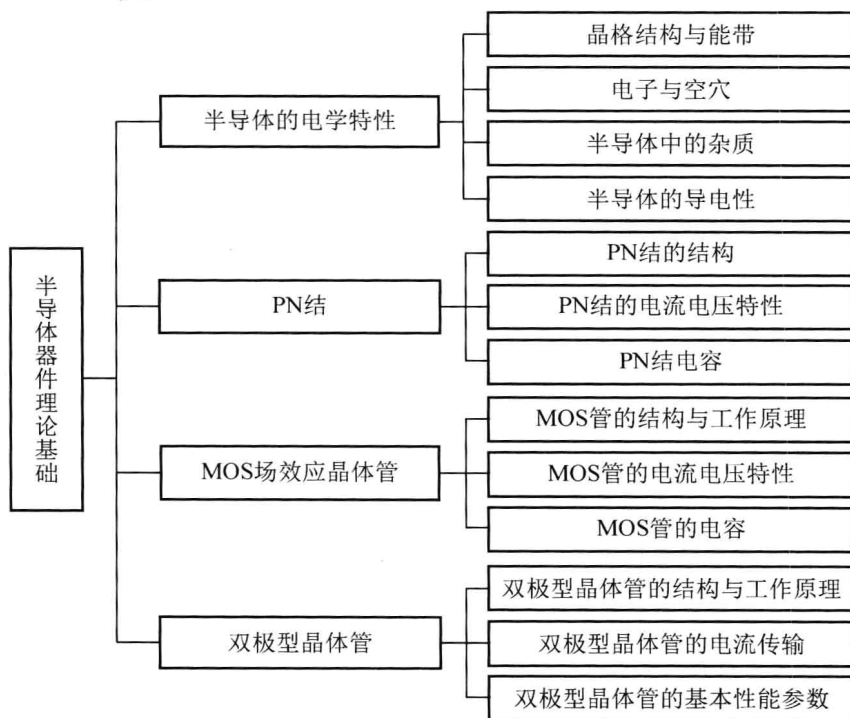


第 1 章

半导体器件理论基础



本章知识架构



本章教学目标与要求

- 了解半导体材料的晶格结构与能带
- 了解半导体中的电子与空穴
- 熟悉半导体的掺杂与导电机理
- 掌握 PN 结的结构、基本原理、电流电压特性以及结电容
- 掌握 MOS 场效应晶体管的结构与工作原理



- 掌握 MOS 场效应晶体管的电流电压特性
- 了解 MOS 管的电容
- 了解双极型晶体管的结构与工作原理

【引言】

人们日常生活中总会直接或间接地使用或接触各式各样的集成电路芯片，例如，在手机的电路板上就有很多个方形或长方形的集成电路芯片，这些芯片以模块的形式出现在手机中，完成各种功能。

集成电路芯片是利用半导体材料制成的。半导体是介于导体和绝缘体之间的一种材料，由于其具有独特的电学特性而得到了广泛的应用。本章主要介绍半导体物理和器件物理的相关理论知识，这些理论知识不但可以帮助大家深入了解半导体材料，而且也是学习集成电路版图设计的重要理论基础。

1.1 半导体的电学特性

固体按其导电性质可分为导体、绝缘体和半导体。导体(如金属)中含有大量的自由电子，如果在导体中存在电压，这些自由电子就可以自由运动，所以导体具有良好的导电性。绝缘体(如橡胶)中没有自由电子，电子被原子紧紧地束缚，不能自由运动。正是由于这些电子不能运动，所以绝缘体不导电，或者说其导电能力非常差(几乎不导电)。而半导体的导电能力介于导体和绝缘体之间，其英文名称为 **Semiconductor**，**Semi** 在英文中是准、半、部分的意思，**Conductor** 是导体的意思，合起来就是半导体。最重要的半导体材料主要有硅(Si)、锗(Ge)和砷化镓(GaAs)等。硅是集成电路制作中应用最广泛的半导体材料，占整个电子材料的 95%左右，人们对它的研究最为深入，工艺也最为成熟，在集成电路中基本上都是使用硅材料来制备电子器件。

半导体材料的导电能力是可以控制和人为干预的，例如，可以通过某种电路控制它的导电性，正是由于这个优点，使得半导体材料的应用越来越广泛。

1.1.1 晶格结构与能带

固体除了按其导电性能来分类外，还可以按其内在结构是否具有周期性来区分。在固体的内部如果原子或分子是周期性排列的，那么该固体就是晶体；反之，如果在固体的内部原子或分子不是周期性排列的，该固体就是非晶体。集成电路制作所涉及的硅、锗和砷化镓等半导体材料都是晶体。半导体材料都能得到广泛的应用，主要归功于现在的制作工艺已经能够制作出非常纯净的、完美的半导体单晶材料。

硅、锗等半导体材料在化学元素周期表中都属于第IV族元素，原子的最外层都具有 4 个价电子。在硅、锗半导体晶体中，大量的硅、锗原子依靠共价键相结合，其晶格结构是金刚石型。这种结构的特点是：每个原子的周围都有 4 个最邻近的原子，这 5 个原子组成如图 1.1 所示的正四面体结构。在正四面体结构中，最邻近的 4 个原子位于四面体的 4 个顶角处，每一个顶角处的原子与中心原子各贡献一个价电子为该两个原子所共有，共有的



电子在两个原子间形成共价键。于是在硅晶体中，每个原子都和邻近的 4 个原子形成 4 个共价键。将图 1.1 所示的正四面体累积起来就可以得到硅的金刚石型晶胞，如图 1.2 所示，图中 a 为硅的晶格常数，数值为 0.357nm 。

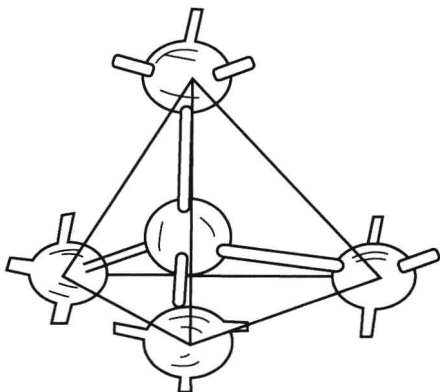


图 1.1 硅的正四面体结构

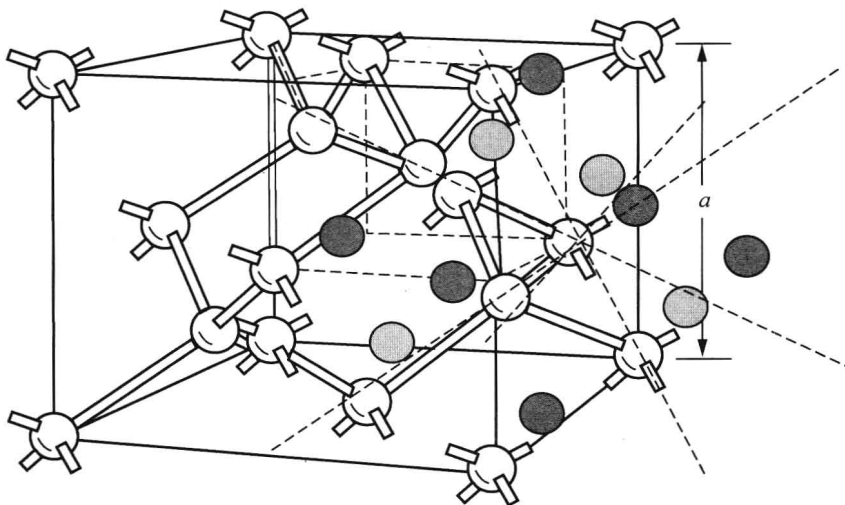


图 1.2 硅的金刚石型晶胞

硅的金刚石型晶胞是立方对称的。原子在晶胞中的排列情况如下，8 个原子位于立方体的 8 个顶角处，6 个原子位于立方体的 6 个面中心处，晶胞内部有 4 个原子，这 4 个原子分别位于立方体对角线的 $1/4$ 处。

制作集成电路的半导体材料基本上都是晶体。晶体是由原子周期性排列构成，相邻原子之间的距离小于 1nm 。正是由于这种紧密的排列，使得原子组成晶体后，原子核外的电子不再局限于某一个原子上，可以由一个原子转移到相邻的原子上，因此电子可以在整个晶体中运动，这称为电子的共有化，可以理解为电子不再只是属于某一个原子，而是属于整个晶体。为了描述电子的这种共有化运动，引入了能带结构，能带是表明电子在晶体中的能量可能具有哪些值。根据能带理论，在固体中的能带可分为导带、价带和禁带。在导

带中的电子具有足够的能量可以自由运动，因此导带中的电子可以导电；在价带中的电子是紧密排列的不能运动，因此价带中的电子不能导电；在导带和价带之间是禁带，在禁带中不允许电子存在，也就是电子要想导电就必须从价带直接跃迁至导带。

下面利用能带理论来解释固体的导电性。固体按其导电性质可分为导体、半导体和绝缘体，各自的能带如图 1.3 所示。

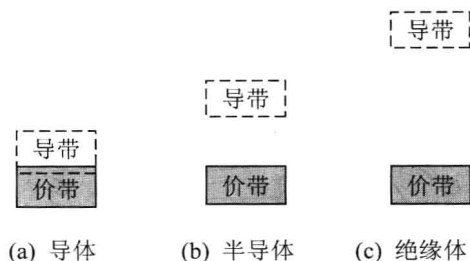


图 1.3 导体、半导体和绝缘体的能带

通过图 1.3 可以看出，在导体中导带和价带是相互交叠的，因此电子可以在导带和价带之间运动，从而可以导电。在绝缘体中，导带和价带距离非常远(能量差大)，价带中的电子很难跃迁至导带中，因此绝缘体不导电。而在半导体中，导带和价带距离较近(能量差小)，电子只需要很小的能量即可从价带中跃迁至导带中，在室温条件下，已经有一部分电子具备了能量，跃迁至导带中，所以半导体具有一定的导电能力。

硅的导带和价带之间的能量差较小，因此使硅中的电子从价带中跃迁至导带中比较容易；而且由于硅在地球上的含量非常丰富，例如，在沙滩上所玩耍的沙子，其中的二氧化硅(SiO₂)就是硅元素在地球上的最常见的存在形式，这些都使得硅成为集成电路制备最常用的材料。

1.1.2 电子与空穴

电子和空穴都是半导体中的载流子，都具有导电作用。在硅、锗半导体晶体中，大量的硅、锗原子依靠共价键相结合。在共价键中的电子是两个原子共用的，这些电子被束缚在这两个原子附近，不能自由运动，因此不能导电。尽管共价键中的电子处于束缚态，但是只要给电子以足够的能量，它们就能冲破束缚，成为可以自由运动的导电电子。实验表明，对于硅的共价键电子，只需要提供 1.1eV(eV，电子伏特)的能量就使其可以成为导电电子；这个 1.1eV 的能量实际上就是图 1.3(b)中半导体导带和价带之间的能量差。

在绝对零度温度(-273℃)附近，电子被原子紧紧束缚，一动不动。随着温度升高，晶体中的原子要做热运动，在它们原来的位置附近来回地振动，这种热运动有一定的能量，共价键电子可以从原子的热运动中得到能量。当温度升高到室温时，这种热运动更加剧烈，使得一部分电子从束缚的状态激发到自由的状态，成为导电电子。这种共价键电子激发成为导电电子的过程称为本征激发。硅的本征激发过程如图 1.4 所示。

本征激发除了能提供导电电子外，还有另外一个作用：提供空穴。共价键电子脱离束缚成为导电电子后，这时在原来的共价键上就留下了一个缺位，因为邻近共价键上的电子



随时可以跳过来填补这个空位，从而使缺位转移到邻近共价键上去，所以空位也是可以移动的，这种可以自由移动的空位通常被称为空穴。半导体就是依靠电子和空穴的移动来导电的，因此，电子和空穴统称为载流子，它们起到承载电流的作用。电子是带负电的，电荷是 $-q(q=1.602 \times 10^{-19}\text{C})$ ，而空穴刚好相反，空穴带正电，电荷是 $+q$ 。

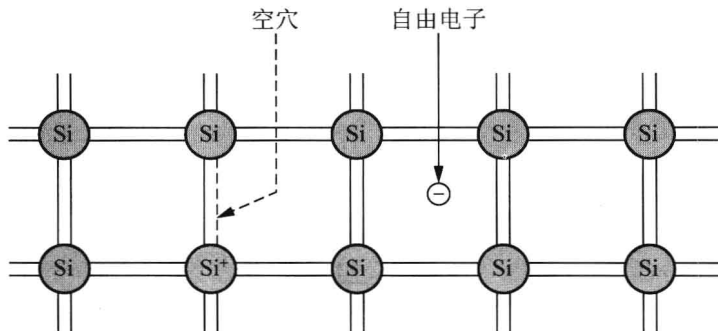


图 1.4 硅的本征激发示意图

空穴的导电作用如图 1.5 所示。在图 1.5 中，位置 1 有一个空穴，它附近的价键上的电子就可以过来填补这个空位，例如，从位置 2 跑一个价键电子到位置 1 去，但在位置 2 却留下了一个空穴，相当于空穴从位置 1 移动到位置 2 去了。同样，如果从位置 3 又跑一个电子到位置 2 去，空穴就又从位置 2 跑到位置 3，……。如果用虚线箭头代表空穴移动的方向，实线箭头代表价键电子移动的方向，就可以看出，空穴的移动可以等效于价键电子在相反方向的移动。

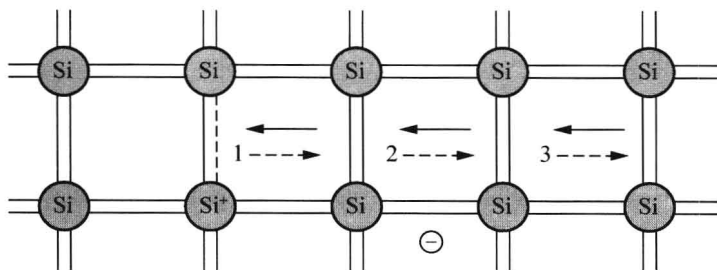


图 1.5 空穴的导电作用

当有外加电场时，半导体内的电子(和空穴)会受到电场力的作用，沿着电场反方向(和正方向)作定向运动，从而构成电流。电流的大小与载流子的迁移率有关，迁移率表示单位电场强度下载流子的平均漂移速度，单位为 $\text{cm}^2/\text{V}\cdot\text{s}$ 。根据半导体物理可知，在室温附近，当硅的掺杂浓度约为 10^{16}cm^{-3} 时，硅中电子的迁移率为 $1350\text{cm}^2/\text{V}\cdot\text{s}$ ，而空穴的迁移率为 $500\text{cm}^2/\text{V}\cdot\text{s}$ ，电子的迁移率比空穴的迁移率大两倍之多。从定性的角度来分析，在半导体中的电子属于自由电子，它的运动除了受到原子核周期性势场的约束外，基本上是不受其他约束的，所以迁移速度快，迁移率大；而空穴就不一样了，虽然空穴是由电子的缺位产生，但是产生的缺位是在原子之间的共价键处，也就是说，空穴除了要受到原子核周期性势场的约束外，还要受到共价键的约束，因此迁移速度慢，迁移率小。



电子的迁移率比空穴的迁移率大两倍之多，这一点对于集成电路设计比较重要。以数字集成电路中的反相器为例，如图 1.6 所示。该反相器由一个 PMOS 晶体管和一个 NMOS 晶体管构成，为了保证反相器的上升和下降延迟相等，PMOS 晶体管的尺寸(宽长比)大约是 NMOS 晶体管尺寸的两倍(两倍是综合考虑了时序、速度饱和、噪声容限等多个因素的结果)，其原因就是 NMOS 晶体管是利用电子来导电的，迁移率大，而 PMOS 晶体管是利用空穴来导电的，迁移率小。NMOS 晶体管和 PMOS 晶体管的尺寸不同，这是在进行数字集成电路版图设计时需要注意的。

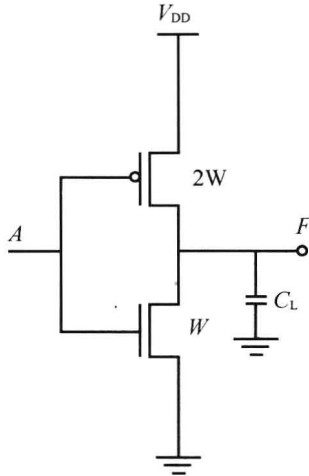


图 1.6 数字集成电路中的反相器

1.1.3 半导体中的杂质

本征半导体就是一块没有杂质和缺陷的半导体，其晶格结构是完美的，在其内部除了硅原子外没有其他任何原子，因此是纯净的。严格意义上的本征半导体并不存在，因为在半导体的制备过程中，晶格结构的缺陷是不可避免的，当然可以通过改进工艺来将缺陷降低至很小；而且在制备过程中，其他杂质的掺入也是不可避免的，因此人们通常将无人为因素掺入杂质的半导体称为本征半导体。

在绝对零度附近，本征半导体的共价键是完整的、饱和的，无本征激发，自然没有电子和空穴；当温度升高时，本征激发过程产生了电子和空穴。由于电子和空穴是成对产生的，因此二者的浓度相等，用 n_0 表示电子的浓度，用 p_0 表示空穴的浓度，于是有

$$n_0 = p_0 = n_i \tag{1-1}$$

式(1-1)中的 n_i 为本征载流子浓度，实验表明本征载流子浓度与禁带宽度、温度都有关。禁带宽度越大， n_i 越小，温度越高， n_i 越大。温度为 300K 时，硅的本征载流子浓度 $n_i = 1.5 \times 10^{10} \text{cm}^{-3}$ ，这个浓度还是比较低的，因此本征半导体的导电能力很弱。而且由于本征载流子的浓度随温度的变化而迅速变化(指数次幂变化)，因此采用本征半导体材料来制备集成电路其性能是不稳定的，通常制备集成电路都是采用掺有适量杂质的半导体，即掺杂半导体。





实际的半导体材料中,总是含有一定量的杂质,这些杂质的掺入可以通过在单晶半导体材料的制备过程中直接完成,也可以在半导体材料制备完成后通过后续工艺来完成。由于掺入杂质的数量远大于硅的本征载流子浓度,因此这些半导体材料的导电性不是由本征激发产生的载流子决定,而是受控于材料中所掺入的杂质(包括杂质的数量和类型)。在半导体中可以掺入各种各样的杂质,但为了更好地控制半导体材料的导电性,通常掺入元素周期表中的 III、V 族元素。在元素周期表中,半导体材料属于 IV 族元素,III、V 族元素与半导体材料在原子半径、外层电子数和原子量等方面都比较接近,因此通常掺入 III、V 族元素来控制半导体材料的导电性。

1. P 型半导体

用来掺杂的 III 族元素主要包括硼(B)和铝(Al), III 族元素的杂质原子最外层只有 3 个价电子,其代替硅或锗原子形成 4 个共价键,就必须从其邻近的硅或锗原子的共价键上夺取一个电子,这样就产生了一个空穴,而该杂质原子由于接受了一个电子而成为带负电的离子。因为这种杂质在硅或锗中能接受电子从而产生空穴,所以称为受主杂质或 P 型杂质(P 是英文 Positive 的第一个字母),而掺杂了 P 型杂质的半导体则称为 P 型半导体。

带负电的杂质离子同带正电的空穴之间由于电荷的相互作用而有吸引力,由于空穴还会受到一些束缚,只能在杂质离子的附近活动,不像本征激发的空穴可以自由运动,因此还不能导电。但是如果给它一些能量,帮助它挣脱束缚,也就是运动到距离杂质离子较远的地方,使得杂质离子对它的吸引作用变得微不足道,那么这个空穴就同本征激发的空穴一样可以自由运动,参与导电了。使空穴摆脱受主离子的束缚的过程称为受主电离,电离过程所需要的能量称为 P 型杂质的电离能。在硅中硼的电离能为 0.045eV ,铝的电离能为 0.057eV 这两个电离能都很小,在室温条件晶格原子热振动的能量就可以使得硼和铝几乎全部电离。

在硅中掺杂硼元素电离产生空穴的过程如图 1.7 所示。

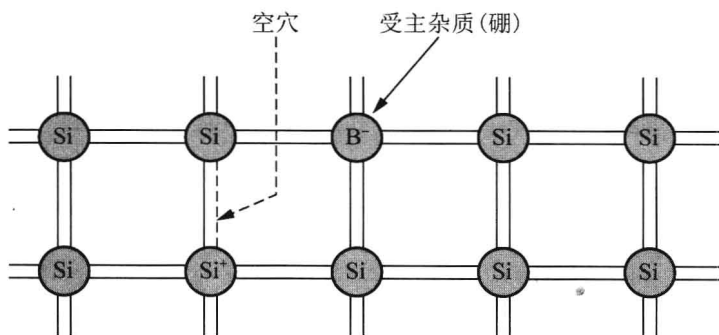


图 1.7 掺硼硅电离产生空穴示意图

2. N 型半导体

用来掺杂的 V 族元素主要包括磷(P)和砷(As), V 族元素的杂质原子最外层有 5 个价电子,其代替硅或锗原子形成 4 个共价键时,只需要拿出 4 个价电子同 4 个邻近硅或锗原子





共用就可以了，这样在杂质原子的最外层还剩余一个价电子，而该杂质原子由于施放出了一个电子而成为带正电的离子。因为这种杂质在硅或锗中能施放电子，所以被称为施主杂质或 N 型杂质(N 是英文 Negative 的第一个字母)，而掺杂了 N 型杂质的半导体则称为 N 型半导体。施放出的多余的一个电子虽然没有被束缚在共价键中，但仍然会受到磷原子核的正电荷的吸引束缚，因此只能在磷原子的周围运动，不能导电。可是这种束缚作用要比对价键电子的束缚作用弱得多，只要很小的能量就可以使它挣脱这种吸引而成为导电电子，而磷原子也因为少了一个电子变成带正电的磷离子。使电子摆脱施主离子束缚的过程称为施主电离，电离过程所需要的能量称为 N 型杂质的电离能。在硅中磷的电离能为 0.044eV，砷的电离能为 0.049eV，同样这两个电离能也都很小，在室温条件晶格原子热振动的能量就可以使得磷和砷几乎全部电离。

在硅中掺杂磷元素电离产生电子的过程如图 1.8 所示。

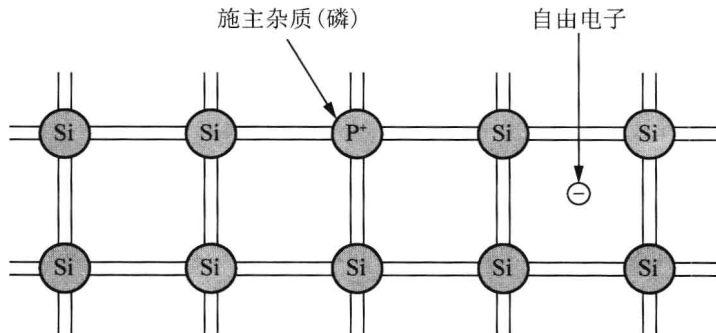


图 1.8 掺磷硅电离产生电子示意图

在本征半导体中，只存在本征激发；但在杂质半导体中，杂质电离和本征激发同时存在。本征激发是成对地产生自由电子和空穴，因此自由电子和空穴的浓度相等。杂质电离与本征激发不同，不是成对地产生自由电子和空穴。施主杂质电离会产生一个自由电子和带正电的离子，而受主杂质电离会产生一个空穴和带负电的离子。虽然带正负电的离子只能在自己原来位置附近做热运动，不能导电，但额外产生的电子和空穴可以参与导电。

在半导体中掺入施主杂质后，自由电子和空穴的浓度是不相等的。自由电子要比本征载流子浓度高得多，而由于电子浓度的增加，电子与空穴复合的机会也增加了，导致空穴的浓度降低，甚至低于本征载流子浓度。掺入受主杂质也是一样的道理，只是空穴的浓度很高，而自由电子的浓度非常低。可以证明，当温度确定时，半导体中的自由电子的浓度 n 、空穴的浓度 p 以及本征载流子的浓度 n_i 三者满足如下关系：

$$np = n_i^2 \quad (1-2)$$

在 N 型半导体材料中，电子的浓度远大于空穴的浓度，半导体的导电能力主要取决于电子的浓度，此时，称电子为多数载流子(多子)，而空穴为少数载流子(少子)。在 P 型半导体材料中，空穴为多子，而电子为少子。

如果在半导体材料中同时掺入施主和受主杂质，则这两种杂质的作用将相互抵消，半



导体的导电类型取决于掺杂浓度大的那种杂质，这就是杂质补偿。例如，掺入施主杂质的浓度大于受主杂质的浓度，那么该半导体将是N型半导体。

☺ **小思考：**如果实验测量得到一块半导体材料的载流子浓度非常低，接近于其本征载流子浓度，请问该半导体材料是本征半导体吗？

1.1.4 半导体的导电性

人们知道，如果在导体材料的两端施加电压 V ，导体内就存在电流 I ，电压与电流的关系为

$$I = \frac{V}{R} \quad (1-3)$$

式中， R 为导体的电阻。如果 R 为常数，则式(1-3)就称为欧姆定律。

电阻 R 与导体材料的长度 L 、电阻率 ρ 、截面积 s 都有关：

$$R = \rho \frac{L}{s} \quad (1-4)$$

如果将式(1-4)应用于半导体材料，则有

$$R = \rho \frac{L}{Wh} \quad (1-5)$$

式中， W 为半导体材料的宽度； h 为半导体材料的厚度。如果定义 $R_s = \frac{\rho}{h}$ ，则有

$$R = R_s \frac{L}{W} \quad (1-6)$$

式中， R_s 称为方块电阻， Ω/\square ，而 $\frac{L}{W}$ 被称为方块数。方块电阻在集成电路中经常被用到，根据方块电阻的定义可知，对于某一种半导体材料，其电阻率是确定的，而且对于某一确定的工艺制程，半导体材料的厚度也是确定的，因此方块电阻也是可以确定的，那么只需要知道该半导体材料的方块数，就能够求得该材料的电阻，而方块数只需要用沿电流方向的材料长度除以材料的宽度即可，这非常容易求得。

半导体的电阻率与其掺杂浓度密切相关，通常掺杂浓度越高，电阻率越低。实验得到的室温下硅电阻率和掺杂浓度的关系如图 1.9 所示。

可以看出，在图 1.9 中，无论是掺杂磷杂质还是掺杂硼杂质，硅的电阻率都随掺杂浓度的增加而减小，而且基本上是呈线性关系。因此利用图 1.9 来进行杂质浓度与电阻率之间的换算是很方便的。通常将掺杂浓度在 $10^{15} \sim 10^{18} \text{cm}^{-3}$ 称为低掺杂浓度(轻掺杂)，掺杂浓度在 $10^{18} \sim 10^{20} \text{cm}^{-3}$ 称为中等掺杂浓度，掺杂浓度在 10^{20}cm^{-3} 以上称为高掺杂浓度(重掺杂)。通常在 N 和 P 后加上角标“+”或“-”来表示掺杂浓度的高低，例如， N^+ 表示 N 型重掺杂，而 P^- 表示 P 型轻掺杂。利用掺杂技术控制半导体材料的电阻率是非常重要的。