

目 录

第一章 双极型逻辑集成电路版图设计基础

第一节 逻辑集成电路版图的简单介绍.....(1)	1-3-1 二极管的直流特性.....(18)
1-1-1 逻辑集成电路的工艺特点.....(1)	1-3-2 二极管的寄生效应.....(23)
1-1-2 逻辑集成电路版图设计原则.....(3)	1-3-3 二极管的电荷存储效应.....(24)
第二节 逻辑集成电路中的晶体管.....(7)	1-3-4 六种二极管性能的比较和讨论.....(26)
1-2-1 晶体管的图形设计.....(7)	第四节 逻辑集成电路中的电阻器.....(26)
1-2-2 晶体管的击穿电压.....(8)	1-4-1 硼扩散电阻器.....(27)
1-2-3 晶体管的最大工作电流.....(10)	1-4-2 其他电阻器.....(33)
1-2-4 集电极串联电阻和饱和压降.....(11)	第五节 逻辑集成电路的封装和布线.....(35)
1-2-5 晶体管的寄生电容和寄生 $n-p-n$ 效应.....(13)	1-5-1 封装和压焊的简单介绍.....(36)
1-2-6 晶体管的频率特性和开关速度.....(16)	1-5-2 和封装有关的版图设计问题.....(37)
第三节 逻辑集成电路中的二极管.....(18)	

第二章 集成逻辑门电路工作原理

第一节 逻辑门电路介绍.....(39)	2-2-3 DTL 门电路的逻辑扩展.....(50)
2-1-1 基本逻辑门电路.....(39)	2-2-4 DTL 门电路的改进形式.....(51)
2-1-2 常用逻辑门及其相互关系.....(40)	2-2-5 高阈值逻辑(HTL) 门电路.....(53)
第二节 二极管-晶体管(DTL) 门电路	第三节 晶体管-晶体管逻辑(TTL) 门
原理.....(43)	电路原理.....(54)
2-2-1 DTL 门电路的工作原理.....(43)	2-3-1 TTL 门电路的工作原理.....(54)
2-2-2 DTL 门电路的特性参数.....(48)	2-3-2 典型的 TTL 与非门.....(57)

第三章 晶体管-晶体管逻辑(TTL) 门电路

第一节 TTL 门电路静态特性.....(59)	3-3-3 三状态逻辑 TTL 电路.....(109)
3-1-1 TTL 门电路开态和关态的工作特性.....(59)	3-3-4 直接耦合 TTL 电路.....(111)
3-1-2 TTL 电路的电压传输特性.....(63)	第四节 TTL 门电路的逻辑扩展.....(113)
3-1-3 TTL 门电路静态特性参数及测试.....(68)	3-4-1 “与”扩展器和“与或”扩展器.....(114)
第二节 TTL 门电路瞬态特性.....(73)	3-4-2 或非门、或门和与门.....(116)
3-2-1 TTL 门电路瞬态分析的特点.....(73)	3-4-3 异或门和异或非门.....(118)
3-2-2 关态到开态的瞬态过程分析.....(76)	第五节 TTL 门电路中的噪声.....(121)
3-2-3 从开态到关态的瞬态过程.....(88)	3-5-1 TTL 电路中噪声的来源.....(121)
3-2-4 平均延迟时间及其测试.....(95)	3-5-2 传输线工作的基本原理.....(122)
3-2-5 瞬态功耗.....(97)	3-5-3 TTL 电路中传输线的信号反射引起的
第三节 TTL 门电路的几种改进形式.....(98)	干扰.....(130)
3-3-1 有源泄放 TTL 电路.....(99)	3-5-4 TTL 电路中脉冲电流引起的噪声.....(139)
3-3-2 抗饱和 TTL 电路.....(105)	3-5-5 TTL 电路中传输线之间的串扰.....(141)

3-5-6 驱动长距离传输线的专用电路.....(142)	3-6-2 其他元件的设计.....(154)
第六节 TTL 门电路版图设计.....(148)	3-6-3 工艺条件的设计.....(157)
3-6-1 特殊元件设计.....(148)	3-6-4 TTL 电路版图设计实例.....(158)

第四章 发射极耦合逻辑(ECL)门电路

第一节 ECL 门电路的工作原理.....(160)	4-4-1 全补偿的 ECL 门电路.....(179)
4-1-1 实现“或”(“或非”)功能基本门的工作原理.....(160)	4-4-2 E ² CL 电路.....(183)
4-1-2 典型 ECL 门电路工作原理.....(162)	4-4-3 EFL 电路.....(185)
第二节 ECL 门电路的静态特性.....(163)	第五节 ECL 门电路的逻辑扩展和 ECL 串级门.....(187)
4-2-1 电压传输特性.....(163)	4-5-1 ECL 门电路的逻辑扩展.....(187)
4-2-2 主要直流参数.....(165)	4-5-2 ECL 串级门.....(189)
4-2-3 参考电源及温度特性.....(168)	第六节 接口转换门.....(192)
第三节 ECL 电路的瞬态特性.....(170)	4-6-1 ECL 电路到 TTL 电路的接口转换门.....(192)
4-3-1 门的平均延迟时间.....(170)	4-6-2 TTL 电路到 ECL 电路的接口转换门.....(193)
4-3-2 射极跟随器的平均延迟时间.....(176)	第七节 ECL 门电路版图设计实例.....(194)
第四节 ECL 电路的改进形式.....(179)	

第五章 双极型集成触发器

第一节 触发器的基本形式及其逻辑功能.....(196)	第四节 边沿触发器.....(218)
5-1-1 触发器的基本形式——D 锁触发器.....(196)	5-4-1 触发器的脉冲工作特性.....(219)
5-1-2 具有时钟控制的 D 锁触发器.....(198)	5-4-2 边沿触发器电路介绍.....(223)
5-1-3 触发器的几种逻辑功能.....(200)	第五节 ECL 集成触发器.....(228)
第二节 维持-阻塞触发器.....(202)	5-5-1 ECL D 锁触发器.....(229)
5-2-1 维持-阻塞方法克服触发器空翻的工作原理.....(202)	5-5-2 边沿灵敏的 ECL 主从触发器.....(232)
5-2-2 维持-阻塞触发器电路介绍.....(207)	第六节 集成触发器的版图设计.....(236)
第三节 主从触发器.....(210)	第七节 集成触发器的参数和测试.....(239)
5-3-1 主从触发器的工作方式.....(210)	5-7-1 静态参数及测试方法.....(239)
5-3-2 集成主从 J-K 触发器电路介绍.....(212)	5-7-2 瞬态参数及测试方法.....(240)

第六章 双极型集成逻辑功能器件

第一节 全加器.....(243)	6-3-1 原码-反码转换器和原码-补码转换器.....(293)
6-1-1 全加器的逻辑设计和线路分析.....(243)	6-3-2 二进制数码与二-十进制数码转换器.....(298)
6-1-2 全加器的进位方式.....(251)	6-3-3 数码比较器.....(308)
6-1-3 全减器和全加/减器的逻辑设计.....(257)	6-3-4 数码校验器.....(314)
6-1-4 二-十进制全加器.....(259)	第四节 算术/逻辑运算器.....(316)
第二节 译码器、编码器和数据选择器.....(265)	6-4-1 第一种算术/逻辑运算器.....(317)
6-2-1 二进制译码器.....(265)	6-4-2 第二种算术/逻辑运算器.....(332)
6-2-2 二-十进制译码器.....(271)	6-4-3 超前进位发生器.....(339)
6-2-3 编码器.....(283)	第五节 寄存器和移位寄存器.....(342)
6-2-4 数据选择器.....(289)	6-5-1 数码寄存器.....(343)
第三节 数码转换器、比较器和校验器.....(293)	6-5-2 移位寄存器.....(344)

第六节 计数器和分频器.....(351)	第七节 脉冲顺序分配器.....(373)
6-6-1 二进制计数器.....(351)	6-7-1 移位寄存器型脉冲顺序分配器.....(373)
6-6-2 十进制计数器.....(355)	6-7-2 计数译码型脉冲顺序分配器.....(377)
6-6-3 可逆计数器.....(362)	第八节 逻辑功能器件的版图设计.....(379)
6-6-4 任意计数分频器.....(370)	第九节 逻辑功能器件的测试.....(382)

第七章 存贮器

第一节 随机存贮器.....(389)	第三节 提高集成度的工艺措施及版图设计.....(410)
7-1-1 随机存贮器工作原理和工作方式.....(389)	7-3-1 提高集成度的工艺措施.....(410)
7-1-2 各种存贮单元的工作原理和分析比较.....(394)	7-3-2 采用等平面隔离工艺的版图设计.....(413)
7-1-3 随机存贮器线路分析.....(397)	第四节 随机存贮器的测试.....(417)
第二节 唯读存贮器(ROM).....(405)	7-4-1 功能测试方法.....(417)
7-2-1 唯读存贮器工作原理和工作方式.....(406)	7-4-2 功能测试程序.....(420)
7-2-2 唯读存贮器线路分析.....(407)	

第八章 集成注入逻辑(I²L)电路

第一节 I ² L电路的概述.....(424)	8-4-2 功能部件的逻辑结构和线路形式.....(467)
8-1-1 I ² L电路的由来和发展.....(424)	第五节 I ² L接口电路.....(476)
8-1-2 I ² L基本门的结构和特点.....(426)	8-5-1 输入接口电路.....(476)
8-1-3 I ² L基本门的开关过程.....(427)	8-5-2 输出接口电路.....(477)
8-1-4 I ² L电路的优缺点和发展动态.....(429)	第六节 I ² L电路的工艺和版图设计.....(480)
第二节 I ² L电路的静态分析.....(431)	8-6-1 I ² L电路的工艺结构和要求.....(480)
8-2-1 I ² L基本门的物理模型和工作状态.....(431)	8-6-2 版图设计中的几个问题.....(483)
8-2-2 I ² L多集电极基本门.....(436)	第七节 I ² L电路的改进和发展.....(486)
8-2-3 I ² L门电路的转换特性及直流参数.....(445)	8-7-1 自对准I ² L(S ² L)电路.....(487)
第三节 I ² L基本门的瞬态分析.....(452)	8-7-2 采用离子注入掺杂工艺的I ² L电路.....(488)
8-3-1 大电流近似的瞬态过程.....(453)	8-7-3 等平面隔离I ² L(I ² L)电路.....(489)
8-3-2 小电流近似的瞬态过程.....(458)	8-7-4 肖特基I ² L电路.....(489)
第四节 I ² L电路的逻辑组合和线路分析.....(460)	8-7-5 上扩散I ² L电路.....(491)
8-4-1 逻辑设计的特点与方法.....(460)	8-7-6 衬底馈电逻辑(SFL)电路.....(491)

附 录

附录 I 双极型半导体集成电路版图绘制方法摘要.....(493)	附录 V 肖特基二极管(SBD)的工作原理.....(509)
附录 II 晶体管单位发射区有效周长的最大工作电流.....(493)	附录 VI 晶体管的非线性方程式(埃伯斯-莫尔方程).....(513)
附录 III 二进制码运算介绍.....(496)	本书主要参数符号表.....(518)
附录 IV 逻辑代数基础.....(500)	本书主要图形符号表.....(520)

第一章 双极型逻辑集成电路版图设计基础

双极型逻辑集成电路是指以双极型晶体管为基本元件,集成在一块硅片上,并有一定逻辑功能的电路。设计的目的是根据整机需要。所以集成电路设计包括了线路设计和制造工艺设计。线路设计就是按照一定的逻辑功能和电学性能来确定电路形式。从原理上来讲,集成电路的线路与一般晶体管线路(相对集成电路来讲可称为分立元件线路)是相似的,但是由于集成电路的工艺特点,使它的线路和分立元件的线路又有很大的差异。关于集成电路的特点及其设计原理,将在下面有关章节中结合具体电路进行介绍与分析。

制造工艺设计就是为了把一定的线路制造成集成电路而进行的设计,它包括选择氧化、扩散、光刻、外延、封装等工艺条件和参数要求,并且根据线路要求和工艺条件,选择各元件的图形尺寸、布局和布线,再把它设计为工艺中使用的光刻掩模版。由于光刻掩模版的设计有着承接线路和制造工艺的作用,因此我们也可以把整个集成电路设计看为由线路设计,版图设计和工艺设计三部分组成。显然,这三者是互相渗透,互相关联的有机整体,而不是相互孤立的。

目前制造双极型逻辑集成电路大量使用的常规工艺比较标准化,所以我们在本章中结合常规工艺简单介绍双极型逻辑集成电路版图设计的基本原则和方法,使大家先对集成电路的结构有一个概括的了解,为后面的电路分析和设计提供依据。至于采用新的改进工艺以后对版图设计的改革,将分别在以后有关章节里再介绍。

第一节 逻辑集成电路版图的简单介绍

1-1-1 逻辑集成电路的工艺特点

集成电路的制造和晶体管制造有许多共同的东西,它的核心部分是制作晶体管,它的基本工艺仍然是平面工艺。但在集成电路中,不论是电路形式的选择,寄生效应的考虑,还是制造工艺,都有其自身的特点。本节首先介绍双极型逻辑集成电路的工艺特点,然后根据这些特点确定版图设计的基本原则。双极型逻辑集成电路常规工艺的主要流程如图 1-1-1 所示,整个工艺经过六次光刻(隐埋、隔离、基区、发射区、引线孔和反刻)、四次扩散(隐埋、隔离、基区和发射区)、蒸发、外延等工序,同时制成晶体管、二极管和电阻、电容等元件,并互连成完整的电路,和制造单个双极型晶体管的平面工艺相比,集成电路工艺有如下一些特点。

(一) 集成电路中各元件需要隔离

在集成电路中,许多元件做在同一块硅片上,各个元件间必须互相绝缘。常规工艺中采用反向 $p-n$ 结来达到互相绝缘的目的,一般称为 $p-n$ 结隔离。图 1-1-1 所示的 $p-n$ 结隔离工艺,就是

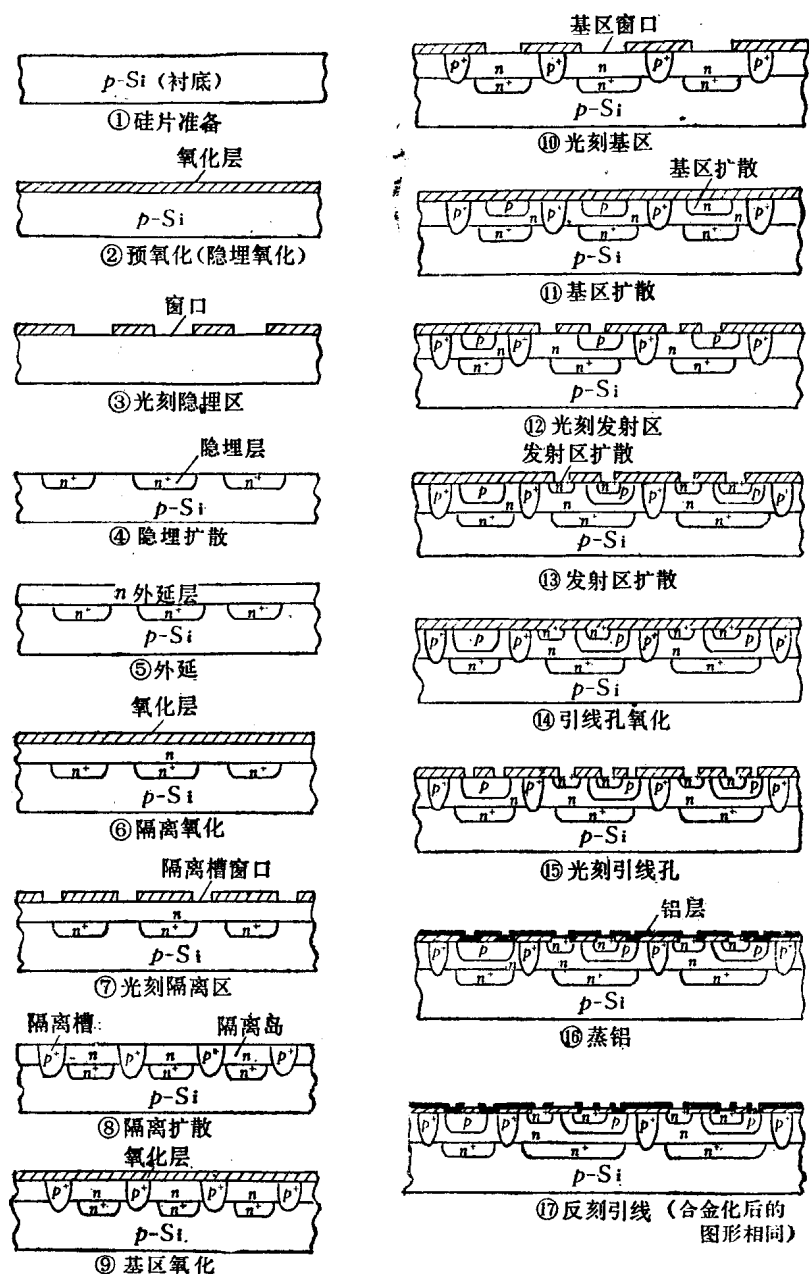


图 1-1-1

通过 p 型浓硼扩散把 p 型衬底上的外延层分成一个个 n 型岛, 当隔离槽接最低电位时, 不同的 n 型岛之间就为反向 $p-n$ 结所隔离。原则上元件之间需要隔离, 但并非每个元件都要有一个单独隔离区, 例如:

(1) 几个集电极电位相同的晶体管, 可以放在一个隔离区内。因为外延层就是集电区, 集电区电位相同就是集电区相通, 故可放在一个 n 型岛内。

(2) 电阻是在 n 型外延层上进行 p 型扩散而形成的, 只要电阻岛的 n 型外延层接上最高电

位, 岛中的几个电阻就可以相互隔离, 因此原则上所有电阻都可以放在同一隔离区内。

(3) 如果某晶体管集电极接最高电位(如射极输出器的情况), 这些晶体管便可以和电阻放在同一隔离区内, 因为电阻区的外延层就是这些管子的集电极, 是接最高电位的。

(二) 集成电路中需要增添埋层工艺

集成电路中晶体管的集电极必须从上面引出, 因而增加了集电极串联电阻, 这对电路的性能是不利的。为了减小集电极串联电阻, 外延前在晶体管的区域光扩散一层浓的 n 型层(称为隐埋层, 简称埋层), 提供集电极电流的低阻通路, 以减小集电极串联电阻。有关埋层对减小串联电阻的作用我们将在下节中进一步说明。

(三) 集成电路中的电阻采用扩散电阻

集成电路中的电阻往往是利用基区 p 型扩散时同时制成的。扩散电阻有误差大、温度系数高和存在寄生效应等缺点, 但是扩散电阻也有相对误差小等优点。只要充分利用其优点, 避免其缺点, 就可以设计制造性能优良的电路。

(四) 集成电路需要内部布线

集成电路中各元件要通过内部布线进行互连, 就象一个完整的电路必须用导线把各个分立元件连接起来一样。集成电路中的互连线是布在二氧化硅绝缘层上的。由于要在小范围内进行复杂的、互不相交的布线, 所以这也是集成电路设计时必须要考虑的问题之一。

(五) 集成电路中存在寄生效应

集成电路中特有的寄生效应主要有:

1. 隔离电容

集电极的 n 型区与 p 型区(即隔离槽)形成的 $p-n$ 结有一定的电容。因为衬底是接最低电位的, 所以这个电容就是晶体管的集电极到地的电容, 其作用是使晶体管高频性能变坏。

2. 扩散电阻的寄生电容

电阻扩散区(p 型)与 n 型外延层形成的 $p-n$ 结有一定的电容。由于电阻隔离岛接最高电位, 该 $p-n$ 结总是处于反偏工作状态。该电容的作用是使电阻的高频阻抗下降, 并引起相移。

3. 寄生 $p-n-p$ 效应

晶体管的基区、外延层和衬底构成一个寄生 $p-n-p$ 晶体管, 由于外延层和衬底间总是反向偏置的, 一旦出现 bc 结正向偏置的情况, 这个寄生 $p-n-p$ 晶体管就进入有源区, 使电路的性能发生变化, 这是设计电路时必须预先估计到的。

在设计工作中, 我们应根据集成电路的特点充分利用它的长处, 尽量设法弥补它的短处, 这样才能设计出性能良好的电路来。如何利用集成电路的特点, 正是本书始终要加以重视的问题, 这里只是简单的提一下, 以后还会不断的提到。

1-1-2 逻辑集成电路版图设计原则

版图设计就是按照线路的要求和一定的工艺条件来设计元件的图形尺寸, 并进行布局和布

线,以设计出一套(一般为六块)光刻掩模版的图形。合理的版图设计不仅是制造合格集成电路的基本条件,而且对产品的性能和成品率都有很大的影响。

版图设计以一定的工艺条件为前提。版子一旦确定,工艺条件也就受到了一定的限制。在版图设计之前,必须对实际的工艺条件有充分的了解,只有这样,才能按照线路要求和工艺实际水平,选取适当的工艺条件作为版图设计的基础。在版图设计前必须充分了解下列工艺条件:

1. 制版和光刻的工艺水平

因为光刻版子的基本尺寸(包括最小光刻孔的尺寸,各次光刻间的套准精度等)和要求是由制版和光刻水平决定的。

2. 外延和扩散的工艺参数

外延层的厚度是决定隔离槽宽度和隔离槽与其它扩散图形间隔的主要参数,而扩散的薄层电阻率则是决定电阻尺寸的一个重要参数。

3. 封装工艺和管壳情况

这是决定反刻图形中压焊点大小和分布的重要因素。

4. 集成度和成品率的关系

根据工艺中集成度和成品率的关系,就可以预先估计某一电路的工艺成品率。

然而在实际工作中,一条生产线(或试制线)的工艺水平也并不是绝对的,如果组织良好,在同样的条件下也可以发挥出更大的潜力。再说,所谓的工艺水平也只是相对成品率而言,如果光刻精度在一般条件下为10微米,那并不是说小于10微米的光刻精度就做不到,一般还是可以做到的,只是成品率要降低;反之如果采用较宽的光刻精度,光刻的成品率就可以提高,但是如果放得过宽,片子的面积就会增大,总的工艺成品率有可能反而下降。因此需要全面考虑、合理选择。

版图设计之前,除了必须了解工艺条件以外,对线路也要充分了解,因为构成集成电路的各元件(晶体管、二极管、电阻等)的参数规格及这些元件间的互连都是由线路本身的要求决定的。只有对线路的工作原理及性能要求有较充分的了解,才能合理地选择元件的图形尺寸,设计出符合要求的版图。为了兼顾电路要求和工艺特点,集成电路的线路应由使用单位(一般为整机单位)和生产单位(或试制单位)共同研究确定。版图设计者要掌握模拟电路分析测试的第一手资料,详细了解电路在各种工作状态下直流工作点和瞬态特性,以及各种因素(如元件参数变化,温度变化)对电路特性的影响。

在对工艺和线路充分了解的基础上,就可着手进行版图设计,设计时应掌握下列原则:

(一) 确定光刻的基本尺寸

光刻的基本尺寸是根据生产线的工艺条件并参考电路要求而选定的。如果一条生产线的工艺条件在一定时期是相对稳定的,则按照不同的电路要求也可以在一定范围内有所变化,要选取的基本光刻尺寸如下:

1. 最小光刻孔的宽度

最小光刻孔的大小限制了引线孔的尺寸和电阻条的最小宽度。最小光刻孔的宽度由制版和光刻水平来决定。目前一般水平取6到14微米。开孔太小,成品率要下降;太大,电路的尺寸要

变大。

2. 最小套准间距

最小套准间距由制版精度和光刻水平来决定。目前一般水平为 6~12 微米。

3. 隔离槽的宽度

隔离槽的宽度当然不能小于最小光刻孔宽度。由于隔离槽比较长,如果太细就容易断,而且隔离槽的宽度对隔离扩散的浓度也有一定的影响,所以隔离槽的宽度总取得比最小光刻孔的宽度为大,通常取 10 到 20 微米。

4. 隔离槽和其他扩散图形的间距

由于隔离槽的横向扩散相当于外延层厚度,基区横向扩散相当于基区扩散深度,因此槽到相邻扩散图形的间距,应大于外延层厚度、基区扩散深度和光刻套准精度之和,考虑到外延层厚度的误差,这个间距还要适当放宽,一般取 12~30 微米。

(二) 选取各元件的图形和尺寸

在上述光刻基本尺寸确定的基础上,可按基本尺寸确定最小晶体管图形和最小电阻宽度,但在一个电路中并非所有的元件都可以采用最小尺寸的。某些晶体管要求较大电流或较低的饱和压降,就必须采取较大的尺寸,并采用各种符合要求的图形来设计。某些电阻要流过较大电流或要求较高的精度,也必须采用较大的宽度。元件图形尺寸必须选取在满足电路要求的范围内。它是版图设计的一个重要内容。

(三) 划分隔离区

前面我们已经讲到过,集成电路中的元件需要互相隔离。隔离区可按电路要求划分。凡是集电极电位相同的晶体管可以共置于一隔离区内,集电极不同电位的晶体管必须相互隔离。二极管可按晶体管的原则处理。电阻原则上可以放置在一个隔离区内,该区外延层接最高电位,但有时为了布局方便也可以和其他元件放在一个隔离区内,其条件是该区外延层电位要高于电阻的电位。

(四) 排版和布线

在电路隔离区划分和元件图形、尺寸大致确定以后,就可以进行排版和布线工作,最后按附录 I 所定的规则绘成比实际图形放大若干倍的总图(例如 500 倍),如图 1-1-2 所示。排版设计的原则大致如下:

1. 元件排列尽可能紧凑

版面面积尽可能小,以减少每个电路实际占用的硅片面积,有利于提高成品率。

2. 布线尽量短而简洁,不可交叉

在难以避免交叉的个别地方可以用磷扩散电阻(称为磷桥)作过渡,但是这将引进附加的小电阻,必须在电路上确定是允许的才可使用。

3. 压焊点分布符合管壳的情况

对有统一规定的电路,引出线次序要与标准一致。

4. 铝条要有一定宽度,通过大电流的铝线要宽些。

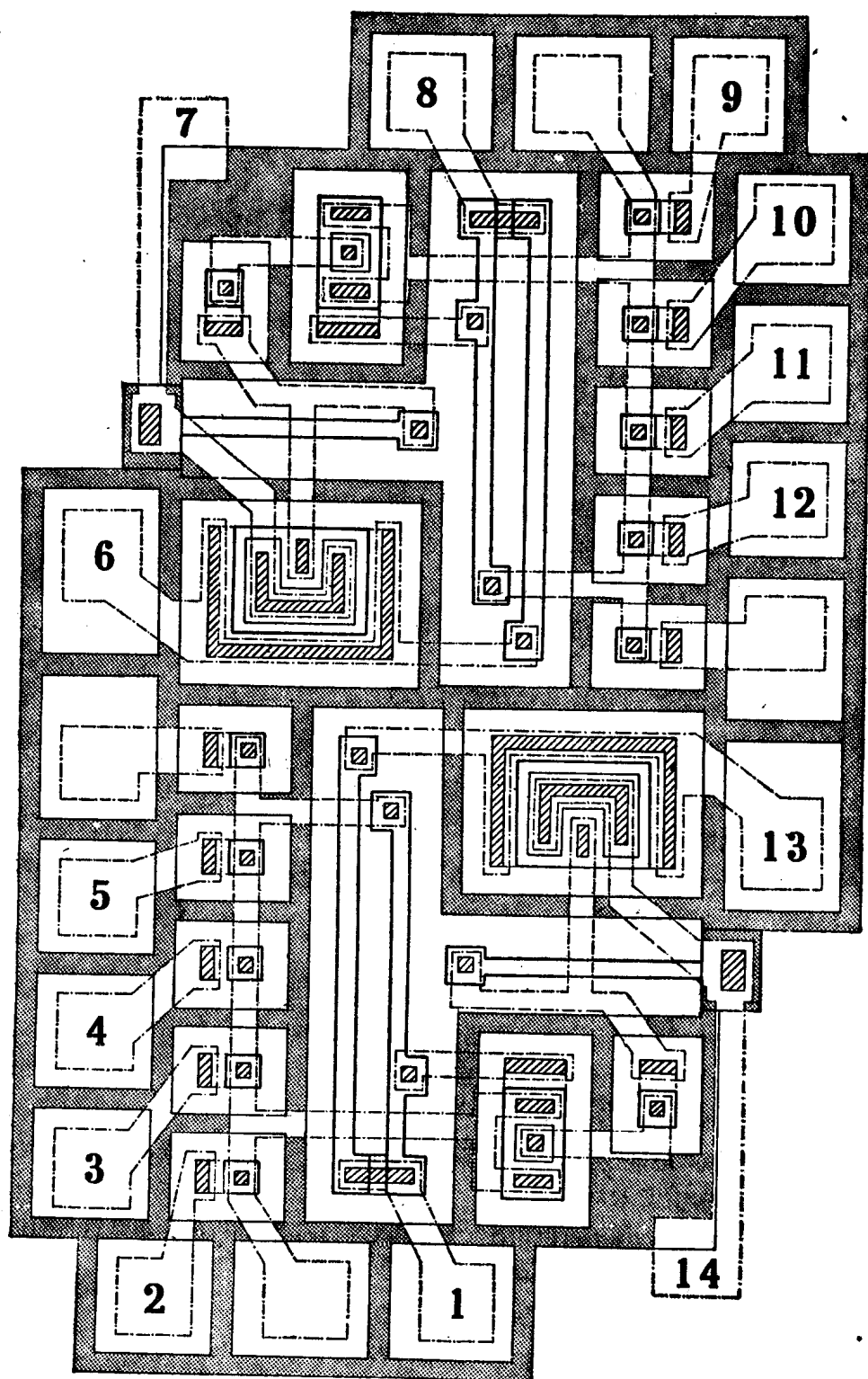


图 1-1-2

5. 要考虑温度对元件特性的影响

整个电路功耗应在管壳允许的范围内,尽可能在管芯上均匀分布,要求温度平衡的元件对,要放在等温点上。

6. 电阻岛接正电源,隔离槽接负电源

这是为了减小和消除寄生效应。

以上是版图设计中的一些基本原则。但真正要设计出高质量的版图,还需要实践经验。

第二节 逻辑集成电路中的晶体管

本节介绍集成电路中最基本的元件 $n-p-n$ 晶体管的特性和设计。本节只介绍常规的逻辑集成电路(二极管-晶体管逻辑电路,简称 DTL 电路;晶体管-晶体管逻辑电路,简称 TTL 电路;发射极耦合逻辑电路,简称 ECL 电路)中使用的晶体管都是 $n-p-n$ 晶体管,至于在某些新型的逻辑集成电路(注入集成逻辑电路,简称 I^2L 电路)中开始使用的横向 $p-n-p$ 晶体的性能、结构,将在后面结合 I^2L 电路一起介绍。

1-2-1 晶体管的图形设计

(一) 集成电路中 $n-p-n$ 晶体管的图形结构

$n-p-n$ 晶体管是集成电路中的主要元件,最常用的有五种,如图 1-2-1 所示。下面我们简单的说明一下它们的区别。

(1) 图 1-2-1(a)所示的图形是单基极条形,这是集成电路中最常用的一种图形。这种形式

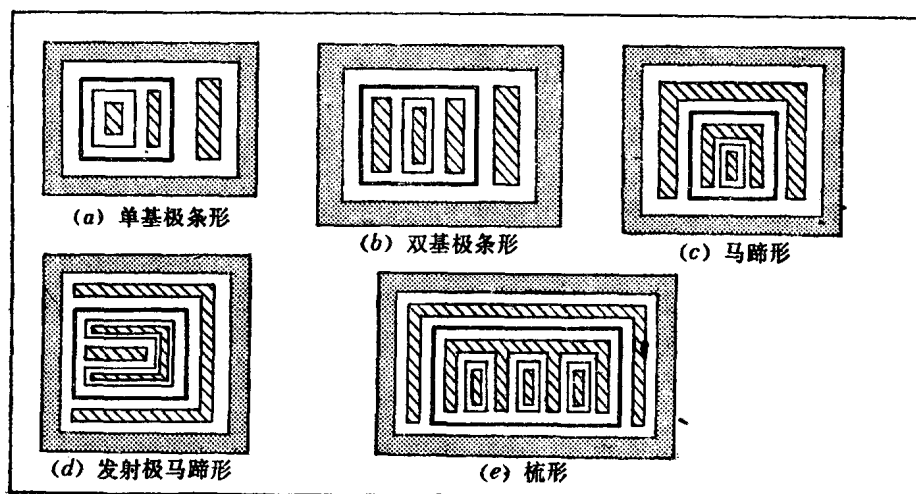


图 1-2-1

的晶体管,由于发射区的有效长度较短,因此允许流过的最大电流就较小;由于它的面积可以做得较小,所以具有较高的特征频率。单基极条结构晶体管的基极电阻较大,这对提高晶体管的最高振荡频率及减小晶体管的噪声都是不利的。因此这种管子适用于要求通过电流较小而特征频率较高的地方。

(2) 图 1-2-1(b)所示的图形是双基极条形,这是集成电路中较常用的一种图形,与图 1-2-1(a)的图形相比较,假如发射区的长和宽一样,则图 1-2-1(b)的发射区有效周长比图(a)的大一倍,因此允许通过的最大电流也大一倍。双基极条结构的面积比单基极条结构稍大,所以它的特征频率稍低,但由于基极电阻是单基极条结构的一半,所以最高振荡频率比单基极条形晶体管要高。

(3) 图 1-2-1(c)所示的图形是基区和集电区引线孔都是马蹄形结构,它也是集成电路中较常用的结构。与图 1-2-1(b)所示的双基极条形相比,在发射区长和宽相同的情况下,允许通过的最大电流大致相同。基极电阻也大致相同。这种结构的特点是集电极串联电阻小,因此在逻辑集成电路中输出管的图形常常设计成这种形式。

(4) 图 1-2-1(d)所示的图形是发射区马蹄形结构,它和基区引线孔马蹄形结构允许通过的最大电流相同,而集电极串联电阻更小。

(5) 图 1-2-1(e)所示的图形是梳形结构,它的最大特点是允许通过更大的电流,而又保持良好的频率特性。原因是它虽然增加了发射极的周长,但基极电阻较小,使 $r_b C_c$ 仍保持较小的数值,因此最高振荡频率可以做得很高。但这种结构的管子发射区很窄,发射区与基区的间距又很小,所以在工艺上对制版及光刻的要求就很高。不仅要求版子的线条细,而且还要求各块版子相互套得很准。仅在晶体管输出电流很大时才使用这种结构。

在集成电路的版图设计中,往往一块版子中就有几种晶体管的图形,这是由晶体管在电路中所起的不同作用而决定的。因此我们在设计版图之前,首先要搞清楚电路中各个晶体管的作用,找出主要矛盾,然后抓住这个主要矛盾,决定采用哪种图形的晶体管。

(二) $n-p-n$ 晶体管的设计

集成电路对晶体管的主要要求是:①有一定的特征频率;②满足要求的开关时间;③能经受一定的电流;④具有较低的噪声系数;⑤具有一定的耐压。

在设计电路中的某一管子时,我们不应当面面俱到,平均地考虑上述各项要求,而应当抓住主要矛盾。例如,一般 DTL 电路和 TTL 电路中的输出管,要求承受较大的电流及较快的开关速度,我们设计的时候就应当着重考虑这两个要求;对某些管子来说,则要求它有较快的开关速度和较高的特征频率。此外,设计时还应当考虑工艺实际的可能性,既要从现有条件出发,又要敢于革新工艺,这样才能不断取得新的进步。

1-2-2 晶体管的击穿电压

图 1-2-2 是集成电路中 $n-p-n$ 晶体管的结构图。从图中可以看出:集电区是包围在隔离区之

中的, 因此其击穿特性除了必须考虑晶体管本身的 eb 击穿、 bc 击穿和 ce 击穿之外, 还要考虑外延层(集电区)与衬底之间的击穿, 通常称 cs 击穿。因为衬底和隔离槽是相通的, 而且总是接最低电位, 因此 cs 结一般总要承受较高的

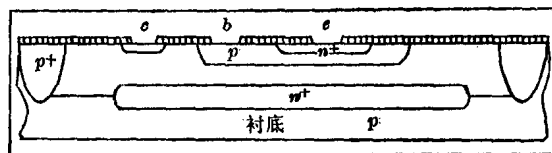


图 1-2-2

反向电压。由于衬底一般是高阻的 p 型材料 ($\rho_s = 10\Omega\text{-cm}$), 外延层和衬底之间的击穿电压是很高的。此外隔离扩散是深结扩散, 结的杂质浓度梯度很小, 隔离槽和外延层之间的击穿电压也很高, 所以在正常工艺条件下, cs 击穿电压比其他三个击穿电压都高, 不构成晶体管使用中的限制因素, 可以不予考虑。在其他三个击穿电压中, eb 击穿电压最低, 它由基区扩散杂质浓度决定, 一般在 $6\sim 9$ 伏的范围内。但是在 eb 结反向运用的情况下, 一般不需要高的耐压, 所以问题并不大。实际中需要特别考虑的是 ce 击穿电压和 bc 击穿电压。根据一般雪崩击穿的机理, 这两个击穿电压有如下的对应关系:

$$BV_{ceo} = \frac{BV_{cbo}}{\sqrt[4]{\beta}} \quad (1-2-1)$$

例如 bc 击穿电压为 20 伏, 在电流放大系数 $\beta = 20$ 时, ce 的击穿电压数值约为 9.1 伏。因此我们在实际工作中只要考虑 bc 击穿就够了。影响 bc 击穿电压的主要因素有三个: 外延层的厚度; 外延层的电阻率; 以及基区扩散的结深。从 $p-n$ 结的一般原理, 我们知道 $p-n$ 结的击穿电压决定于电阻率较高一侧材料电阻率的数值, 也决定于结面的杂质浓度梯度, 即高阻一侧材料的电阻率越高和杂质扩散的结深越大, 击穿电压就越高。我们将击穿电压和结深、电阻率的关系列在表 1-2-1 中。

表 1-2-1 $p\pm n$ 结击穿电压 (V_z) 与 n 区电阻率 (ρ_n) 和结深 (x_j) 关系表

$x_j (\mu)$	$\rho_n (\Omega\text{-cm})$					
	0.1	0.2	0.4	0.6	1.0	2.0
	$V_z (V)$					
0	15	24	52	80	140	250
2	30	45	68	90	150	300
4	40	55	80	110	180	350
10	50	70	100	140	220	400

例如: n 型外延层电阻率为 0.4 欧姆-厘米, 基区硼扩散结深为 3 微米, 击穿电压约 75 伏, 而隔离扩散结深为 10 微米, 击穿电压就是 100 伏。实际上做到的击穿电压比这样查出来的为低, 主要原因有:

1. $p-n$ 结棱角电场的影响

表中的数据是把 $p-n$ 结面当作一个平面考虑的结果。实际上, 用平面工艺制得的 $p-n$ 结存在着横向扩散, 所以在杂质扩散区的边缘, $p-n$ 结的交界面是圆弧形的, 圆弧的曲率半径就是结深 x_j , 如图 1-2-3 所示。

由于电场在曲率半径小的地方比较集中,因此在 $p-n$ 结边缘的地方,电场特别强些,这里的电场叫做棱角电场。当加上反向电压时,虽然在 $p-n$ 结平面部分,电场强度还未达到击穿强度,棱角电场已经强到足以产生雪崩击穿了,这样总的 $p-n$ 结击穿电压就降低了。

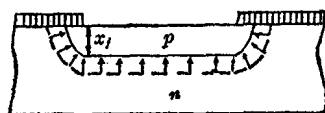


图 1-2-3

曲率半径 x_j 越大,棱角电场就越弱。所以要求 $p-n$ 结耐压高时,扩散的结深 x_j 应大些。一方面减小了棱角电场;另一方面又减小了杂质浓度梯度。二者都有利于提高击穿电压。

2. 隐埋层杂质向外扩散的影响

外延层的电阻率因埋层杂质的上推而下降,这是由于隐埋层的杂质在外延后的高温处理中向上扩散,使这些区域的杂质浓度变高。如果基区扩散进入到这些区域, bc 击穿电压就会大大下降。要防止 bc 结击穿电压下降,就要求外延层有一定的厚度。下面我们来估计一下外延层厚度的要求。设隔离扩散为 1200°C 、3 小时,锑的扩散系数为 $D=5 \times 10^{-13} \text{ cm}^2/\text{sec}$, 可以计算出埋层上推距离为:

$$x_j = 5.4\sqrt{Dt} = 5.4\sqrt{5 \times 10^{-13} \times 10800} \approx 4 \times 10^{-4} \text{ cm} = 4\mu$$

如基区扩散结深 $x_j=3\mu$, 再加上各次氧化工艺对硅片的减薄约 1 微米, 这样就要求外延层厚度大于 8 微米。

以上我们简单分析了影响晶体管击穿电压的几种因素, 这些因素除了影响击穿电压这一参数之外, 对其他参数也有影响。因此就不能单单根据击穿电压的要求来选定。实际上对击穿电压要求较低的逻辑电路, 外延层电阻率选取在 $0.2 \sim 0.5$ 欧姆-厘米范围内, 基区扩散结深在 $2 \sim 3$ 微米范围内, 外延层则可以选的比较薄(例如 6 微米)。这样基区和埋层上推的区域相遇, 击穿电压有所降低, 但仍能满足要求(例如 $BV_{ceo} > 20\text{V}$, $BV_{cso} > 8\text{V}$)。外延层减薄, 则有减小串联电阻和寄生电容的好处。

1-2-3 晶体管的最大工作电流

根据晶体管的工作原理, 我们知道在电流密度增大至一定数值时, 会产生晶体管发射极电流的集边效应, 即由于基区电阻的自偏压作用, 晶体管的发射极电流并不是均匀地流过所有的发射区结面, 而是集中在发射区靠近基极条的边缘处注入基区。由于集边效应, 发射区的有效面积就缩小了, 必然引起电流集中区域的电流密度增加, 只要这些区域的电流密度达到大注入条件, 晶体管的电流放大系数就会下降。所谓晶体的最大工作电流就是指晶体管的电流放大系数尚未严重下降时的发射极电流。显然, 一只晶体的最大工作电流是和靠近基极条一侧的发射区周长成比例的, 靠近基极条一侧的发射区周长一般称为“有效发射区周长”, 一个管子的有效发射区周长越长, 它的最大工作电流也越大。因此对于集成电路的设计来讲, 单位发射区有效周长允许流过的最大工作电流是一个很重要的数据。根据实践经验, 单位发射区有效周长的最大工作电流是和工艺参数密切相关的, 而在一定的工艺条件下, 又按电路的要求取不同的数据, 如果晶体管

作线性应用,往往要求电流放大系数变动范围小一些,因此单位发射区有效周长取得严格些,一般为 $0.04 \sim 0.16$ 毫安/微米;而在逻辑电路中往往只要求电流放大系数超过一定的数值,单位发射区有效周长的标准可以放宽到 $0.16 \sim 0.4$ 毫安/微米。对于这些数据的理论计算,可参阅附录 II。由于晶体管的最大工作电流主要决定于它的发射区有效周

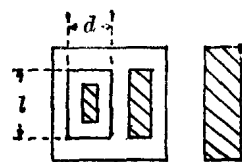


图 1-2-4

长,因此集成电路中的晶体管也可以采用各种图形设计以获得尽可能大的周长-面积比。如前面图 1-2-1 所示的五种形式的图形: (a) 是单基极条晶体管,发射区有效周长为 l ,一般用于工作电流较小的晶体管; (b) 是双基极条晶体管,发射区有效周长为 $2l$,其工作电流比 (a) 大一倍; (c) 和 (d) 的有效发射区周长分别为 $2l + d$; (e) 的有效发射区周长为 $6l + 3d$,一般用于工作电流较大的晶体管。 d 为发射区宽度, l 为发射区长度,如图 1-2-4 所示。

1-2-4 集电极串联电阻和饱和压降

集成电路中晶体管外延集电区被下面的 p 型衬底和四周的隔离槽所隔离,集电极引线必须以上面引出,这是集成电路晶体管和分立元件晶体管的主要区别。这种结构(即使增加了隐埋层)使得集成电路中的晶体管具有较大的集电极串联电阻,因而就有较大的饱和压降。这个缺点使得集成电路大电流应用受到了很大的限制。但是通过适当的版图设计和一定的工艺控制,这个问题可以得到一定的解决。因此在设计中必须予以足够的重视。

下面我们用极为粗糙的方法估算集电极的串联电阻。图 1-2-5 为一个简单的晶体管图形和它的剖面示意图。假定发射区注入基区的电子在被集电区收集后均匀的流过 I 区(外延层),以上面向下均匀垂直的进入隐埋层(即 II 区),再从 II 区的右边均匀流出,并通过 III 区, IV 区,再从 IV 区的上面均匀地进入外延层的 V 区后到达集电极(显然电流的方向与此正好相反,如图中箭

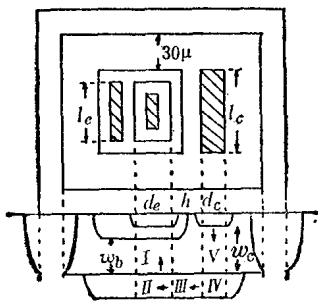


图 1-2-5

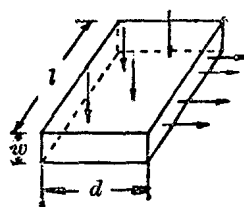


图 1-2-6

头所示)。实际电流流动情况当然远比上述假设的模型复杂。设外延层电阻率为 ρ_c , 隐埋层薄层电阻为 R_s 。各区的电阻可以计算如下:

I 区电阻为

$$r_I = \frac{\rho_c}{l_c d_c} \cdot w_b$$

V 区电阻为

$$r_V = \frac{\rho_c}{l_c d_c} \cdot w_c$$

III 区电阻为:

$$r_{III} = \frac{R_s h}{\frac{1}{2}(l_e + l_s)}$$

设隐埋层的电阻率远比外延层的电阻率小,则可以近似地认为区域 II 和区域 IV 中的电流相当于图 1-2-6 所示的情况,即电流从矩形薄片的上面均匀流进,从侧面流出。这种情形的电阻相当于沿薄层方向电阻值的 $\frac{1}{3}$, 即

$$r = \frac{1}{3} \rho_c \frac{d}{wl}$$

薄层电阻的定义

$$R_s = \frac{\rho_c}{w}$$

则

$$r = \frac{1}{3} R_s \frac{d}{l}$$

因此

II 区电阻为

$$r_{II} = \frac{1}{3} R_s \frac{d_s}{l_s}$$

IV 区电阻为

$$r_{IV} = \frac{1}{3} R_s \frac{d_e}{l_e}$$

总的串联电阻为:

$$r_{\Sigma} = \rho_c \left[\frac{w_b}{l_s d_e} + \frac{w_e}{l_e d_e} \right] + R_s \left[\frac{h}{\frac{1}{2}(l_e + l_s)} + \frac{d_e}{3l_s} + \frac{d_s}{3l_e} \right] \quad (1-2-2)$$

假设图 1-2-5 所示管子的尺寸和工艺参数为: $l_s = 32\mu$, $d_s = 30\mu$, $l_e = 52\mu$, $d_e = 12\mu$, $h = 22\mu$, $w_b = 4\mu$, $w_e = 6\mu$, $\rho_c = 0.5\Omega\text{-cm}$, $R_s = 20\Omega/\square$ 。

则

$$r_I = \frac{0.5\Omega\text{-cm}}{32 \times 30 \mu^2} \times 4\mu = \frac{0.5}{32 \times 30 \times 10^{-4}} \times 4\Omega = 21\Omega$$

$$r_V = \frac{0.5}{12 \times 52 \times 10^{-4}} \times 6\Omega = 48\Omega$$

$$r_{III} = 20\Omega \times \frac{2 \times 22\mu}{52\mu + 32\mu} = 11\Omega$$

$$r_{II} = \frac{1}{3} 20\Omega \times \frac{30}{32} = 6\Omega$$

$$r_{IV} = \frac{1}{3} 20\Omega \times \frac{12}{52} = 1.5\Omega$$

总的串联电阻为

$$r_{\Sigma} = 21 + 48 + 11 + 6 + 1.5 = 87.5\Omega$$

这个串联电阻数值是很大的。当然,实际的结果并不完全和计算的符合。由于埋层向上推移;发

射区电流集边效应以及集电极电流的非均匀性都使得上述计算显得不准确,计算数值往往偏高。但是上述方法的计算结果大体上还是对的。而且更重要的是,我们可以从上述计算分析各种因素对串联电阻的影响。从上面例子中,如果我们将外延层电阻率降低到 0.2 欧姆-厘米,那么 r_{cs} 就下降到 45 欧姆;如果再把集电极宽度 d_c 以 12 微米加大到 24 微米,那么 r_{cs} 就进一步降到 37 欧姆。如再要进一步减小串联电阻,一般要加大发射区有效周长,或采用更为复杂的图形结构。例如马蹄形或梳形状结构,在适当的工艺条件下集电极串联电阻可以下降到 10 欧姆以下。

下面讨论晶体管的饱和压降。晶体管的饱和压降 V_{ces} 是晶体管处于饱和态时,集电极和发射极之间的电压降。这是逻辑集成电路输出晶体管的一个重要参数,它直接影响输出低电平这一参数。一般在 DTL 和 TTL 等饱和型逻辑集成电路中希望它小于 0.3 伏。饱和压降 V_{ces} 主要由两个因素决定:①饱和态时发射结的压降 V_{eb} 和集电结上的压降 V_{cb} 之差;②集电极电流 I_c 在串联电阻 r_{cs} 上的压降。 V_{ces} 就是上述两部分电压之和。

$$V_{ces} = (V_{eb} - V_{cb}) + I_c r_{cs} = V_{cbo} + I_c r_{cs} \quad (1-2-3)$$

一般在饱和较深时, $V_{cbo} = V_{eb} - V_{cb}$ 的值很小,约 0.1 伏,因此对一个管子 V_{ces} 的设计主要是对集电极串联电阻 r_{cs} 的考虑,如工作电流为 10 毫安, r_{cs} 有 50 欧姆,那么 V_{ces} 必定大于 0.5 伏。如果要 V_{ces} 低于 0.3 伏就必须设计出 r_{cs} 小于 20 欧姆的晶体管。

1-2-5 晶体管的寄生电容和寄生 $n-p-n$ 效应

(一) 寄生电容

集成电路晶体管的寄生电容除了 eb 结电容, bc 结电容之外还多了一个 cs 结电容。在 eb 结、 bc 结和 cs 结中, eb 结接近于突变结; bc 结在一般情况下表现为线性缓变结,在较高电压下(大于 10 伏)趋向于突变结;隔离结则是较典型的线性缓变结。因此在一般反向电压下, eb 结电容和偏压的关系近似为

$$C_e(V) = \sqrt{\frac{1}{1 + \left| \frac{V}{V_T} \right|}} \cdot C_e(0) \quad (1-2-4)$$

式中 $C_e(0)$ 为零偏压时的电容, V_T 为内建电势,一般约为 0.7 伏, V 为外加反向电压。在反向电压下, bc 结或 cs 结的电容则和电压有如下关系:

$$C_c(V) = \sqrt[3]{\frac{1}{1 + \left| \frac{V}{V_T} \right|}} \cdot C_c(0) \quad (1-2-5)$$

在正向导通时,电容的数值近似采用 $4C(0)$ 。因此只要知道零偏压时的电容数值,就可以推出不同偏压时的电容值。由于电容计算方法复杂,而且难以十分准确(即使查表也是如此),所以我们根据理论和实验结果给出一些在实际上有用的典型数据。

设衬底电阻率为 10 欧姆-厘米,外延层厚度为 8 微米,基区结深为 2.7 微米,发射区结深为 2 微米。对外延层电阻率 $\rho_c = 0.1$ 欧姆-厘米和 0.5 欧姆-厘米两种情况,结的零偏压电容数据如表

