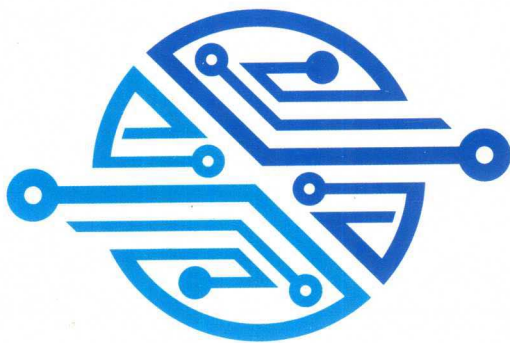




SYSTEM LEVEL
ESD PROTECTION

系统与芯片 ESD防护的协同设计

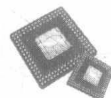
[美] 弗拉迪斯拉夫·瓦什琴科
Vladislav Vashchenko

[比] 米尔科·肖尔茨
Mirko Scholz

著 韩雁 丁扣宝 张世峰 译



机械工业出版社
China Machine Press



电子电气工程师技术丛书

系统与芯片 ESD防护的协同设计

SYSTEM LEVEL
ESD PROTECTION

[美] 弗拉迪斯拉夫·瓦什琴科 [比] 米尔科·肖尔茨 著 韩雁 丁扣宝 张世峰 译
Vladislav Vashchenko Mirko Scholz



机械工业出版社
China Machine Press

图书在版编目 (CIP) 数据

系统与芯片 ESD 防护的协同设计 / (美) 弗拉迪斯拉夫·瓦什琴科 (Vladislav Vashchenko) 等著; 韩雁, 丁扣宝, 张世峰译. —北京: 机械工业出版社, 2019.1

(电子电气工程师技术丛书)

书名原文: System Level ESD Protection

ISBN 978-7-111-61919-2

I. 系… II. ①弗… ②韩… ③丁… ④张… III. 芯片—静电防护—设计 IV. TN430.2

中国版本图书馆 CIP 数据核字 (2019) 第 022526 号

本书版权登记号: 图字 01-2015-5950

Translation from English language edition:

System Level ESD Protection

by Vladislav Vashchenko and Mirko Scholz

Copyright © 2014 Springer International Publishing

Springer International Publishing is a part of Springer Science+Business Media

All rights reserved.

本书中文简体字版由 Springer 授权机械工业出版社独家出版。未经出版者书面许可, 不得以任何方式复制或抄袭本书内容。

系统与芯片 ESD 防护的协同设计

出版发行: 机械工业出版社 (北京市西城区百万庄大街 22 号 邮政编码: 100037)

责任编辑: 冯秀泳

责任校对: 李秋荣

印 刷: 北京市荣盛彩色印刷有限公司

版 次: 2019年3月第1版第1次印刷

开 本: 186mm×240mm 1/16

印 张: 16.75

书 号: ISBN 978-7-111-61919-2

定 价: 79.00元

凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换

客服热线: (010) 88379426 88361066

投稿热线: (010) 88379604

购书热线: (010) 68326294 88379649 68995259

读者信箱: hzit@hzbook.com

版权所有·侵权必究

封底无防伪标均为盗版

本书法律顾问: 北京大成律师事务所 韩光 / 邹晓东

The Translator's Words | 译者序

在过去的十年中，新的市场需求和新技术的介入引发了电子系统和集成电路（IC）设计显著的范式转移。手持式和移动设备细分市场的快速发展，汽车产品中电子元器件的急剧增加，以及工业和医疗应用的巨大进步，为电子系统及芯片级静电放电（ESD）应力防护技术创造了新的契机。这种新的趋势与高级别的片上系统（SoC）和系统级封装（SiP）相结合，形成了一种片上系统级 ESD 防护设计的新文化。

本书第一次尝试组织、构建、化简素材，给读者带来对这种系统级片上 ESD 防护设计文化的理解。作者试图在理解的最简单层面进行这种尝试，而不需要特定的前导知识，使它适合更广大的读者需求。

本书共分 5 章介绍片上系统级 ESD 防护设计的构成。在逻辑上集中于系统级芯片设计原理的介绍、主要测试方法的呈现、兼顾闩锁现象的片上 ESD 解决方案以及 IC 与系统协同设计方法的概述。

本书的目的不是对本领域的出版物或标准提供最新的评论，而是在每一个设计步骤的基础上，找出解决方案、设计方法学背后的基本原理和逻辑重点，使读者通过阅读本书，可将对物理的深入理解应用于解决他们自己的芯片 ESD 设计问题。

本书不仅对专注于 ESD 设计的从业人员有帮助，而且对 IC 和系统设计师、应用工程师和产品工程师等广大读者也有裨益。

本书第 1~3 章由浙江大学微电子学院丁扣宝副教授翻译，第 4~5 章由张世峰博士翻译，全书由浙江大学微电子学院韩雁教授统稿和校对。翻译过程虽力求完美，但若有错漏或不妥之处，还望读者不吝赐教。

译者

于浙大求是园

前言 | Preface |

本书的主题和目的

在过去的十年中，新的市场需求和新兴技术的问世引发了系统和模拟集成电路设计的显著的范式转变。手持式和移动设备市场份额的快速增长、汽车电子产品的急剧增加、工业和医疗应用的实质性进步，为系统级静电放电（ESD）应力的芯片级（片上）防护创造了新的契机。这种趋势的扩展不仅仅局限于对 ESD 的规格说明，对系统级电磁兼容性（EMC）标准也是十分必要的。它可以包括浪涌防护、EMI 兼容、过电压保护（OVP），甚至增加了可以承受专用于除颤设备的更长的电脉冲或者雷击的能力。

这种新趋势与高端片上系统（SoC）和系统级封装（SiP）集成相结合，数据率的大幅增长、电子系统的可移植性、更低的功耗以及更低的工作电压，引发了密集的研究和设计活动。作为结果，对新测试方法开发需求的理解、对 IC 元器件和测试芯片上 ESD IP 的设计的系统级测试标准和程序的适应，已经显著地改变了 ESD 开发的景观和今天的整体研发投入。结果是，具有高电流能力的新的片上 ESD 防护器件和具有精确电性能的更先进的瞬态电压抑制器（TVS）已经出现。

从本质上说，一种新的片上系统级防护 ESD 设计文化已经形成。它包括考虑到各种闩锁和瞬态闩锁场景的高电流能力器件的物理设计、印制电路板（PCB）和未来的系统设计，以及对不同器件、应力类型和架构之间的相关性的理解。作为一个终极目标，这项活动目前针对的是将系统与集成电路（IC）芯片整合起来进行协同设计的新方法。这种新的系统级 ESD 设计文化的创造，不仅得到了本书作者的认可，还得到了 ESD、IC 和系统设计领域权威专家越来越多的认可。然而，到目前为止，对芯片系统级设计的全面理解只是分散在多篇论文、教程、白皮书和 IC 产品应用说明中。

带着这样的主要目的，本书第一次尝试通过组织、构建、简化的方法，带给读者对系统级片上 ESD 设计文化主要方面的理解。作者尽最大努力以逻辑的和简单的理解方式来追求这一尝

试，这不需要特定的前导知识，普适于广大的受众。

在这本书的编写工作中，作者共同努力，将各自的研究和工业设计经验以及在这一领域的积累，进行整合和归纳，以将理解带入更深的级别。本书的材料组织方式是将片上系统级 ESD 设计的内容放入 5 章之内。它们从逻辑上分别聚焦于系统级片上设计原理的介绍、主要测试方法的呈现、片上 ESD 设计方案、闩锁现象的考虑，最后给出了一个芯片与系统协同设计方法的概要。

尽管在书的各个章节中引用了许多原始的研究论文，但本书的总体目的并不是要对该领域最新的出版物或标准进行综述。相反，作为作者的目标的挑战任务是，在每个方面或设计阶段，发现并引入解决方案、设计或方法背后的基本物理机理的逻辑重点。这样做是为了使读者能够应用在阅读本书材料时产生的深入的物理理解，以解决特定系统和芯片中的 ESD 设计问题。作者希望，用来解决未来系统级 ESD 设计问题所需要的创造和创新将从本书中得到有力的支持。特别是，读者将看到物理设计方法的优点，该方法由一种使用参数化的器件、电路和工艺的器件 - 电路混合模式的仿真所支持。

作者衷心希望这本书不仅能被专门的 ESD 设计实践者，而且还能被广大的 IC 芯片和系统设计师、应用工程师、产品工程师认为是有用的。

本书结构

这本书共 5 章。首先是引导性的第 1 章，为片上 ESD 设计定义主要的原理和方法；第 2 章聚焦在 ESD 测试标准和方法上；第 3 章为片上系统级的 ESD 防护，描述器件和电压钳位级的解决方案，它在第 4 章被扩展到解决芯片设计其余的方面、闩锁和瞬态感应闩锁；最后，第 5 章利用前面几章的知识，构架出新的芯片 - 系统级协同设计的方法。

引导性的第 1 章对于理解接下来的章节材料是一个重要的指引。这一章建立了一个贯穿全书的术语系统，开始于对作为能量在两个接触物体之间传输的 ESD 事件的基础理解，接着是片上 ESD 防护策略以及片上与片外 ESD 防护方法差异的描述。一个关于理解系统级 ESD 脉冲、标准和测试方法的更加详细的说明，在第 2 章中做了进一步总结。第 1 章的内容阐述一个理念，即新时代电子学的需求在带有集成系统级 ESD 防护器件的片上系统级设计和片外 PCB 设计中，都创造了一个重要的设计范式转移。新的精准的硅 TVS（瞬态电压抑制器）解决方案提供了比一般在非常轻的容性负载下使用的聚合物或氧化锌多层压敏电阻更精确的电压钳位。第 3 章给出了一个关于硅 TVS 器件更加详细的器件级的描述，而带有硅 TVS 的片上和片外协同设计的内容在第 5 章中讨论。通过特定系统级测试的一个重要方面不仅仅与脱电状态相关，而且同样与上电应力状况相关。于是，那些引脚需要的防护比标准组件说明书上的 CDM（充电器件模型）、MM（机器模型）和 HBM（人体模型）的电流水平都要高一个数量级。第 1 章强调，系统 ESD 的“解决方案”不再是连接到系统端口的抑制器这个单一选择。一个有效的解决方案需要应用

设计方法学，它考虑电路板的布图、抑制器的电特性和 IC 本身的 ESD 特性。在功能和可靠性上都具有挑战性的产品设计过程中，那些需要考虑的很多方面都在这章中有所提及。需要创新的方法来应对解决方案复杂性的提升。

第 1 章的最后两节介绍了两个关键的仿真方法来支持 ESD 的物理设计，依赖于 ESD 的紧凑型模型和新的 TCAD（半导体工艺技术的计算机辅助设计）方法，它基于参数化的混合模式分析并使用 DECIMM 工具。这一方法使得既带有参数化工艺配置文件又带有器件模型的混合模式的器件 - 电路自动分析成为可能。

在本书的主要术语和方向确定之后，第 2 章带给大家的是关键测试方法物理机制方面的背景，以及它们在片上 ESD 系统级设计中每一个开发阶段上的应用。重点在于理解板级的 ESD 电子枪的测试，然后是封装和晶圆级的测试方法，以达到一个更有效率的片上设计手段。这一章的重点首先在于系统级的测试，像常用的 IEC 61000-4-2 和 ISO 10605 标准。这些内容后面，是关于人体金属模型（HMM）测试关键方法的解释，这是第一个系统级 ESD 应力的元器件级仿真。为了完整性，这一章还覆盖了片上设计其他实际在用的测试方法，比如传输线脉冲（TLP）、ESD 波形的获取和分析，以及不同脉冲、器件类型和测试条件相关因素背后的物理基础等内容。这一章呈现的测试方法被广泛地用在了本书的其他章节。

第 3 章讨论片上 ESD 防护解决方案和工艺技术方面的问题。这一章的目标是对考虑了系统需求的引脚防护所需的成功设计这一交叉学科主题的结构和逻辑的理解。这些主题包括 ESD 器件在击穿状态下、在注入和电导率调制状态下的工作原理、钳位器的布图设计、工艺技术选择、安全工作区（SOA）、标准器件的自防护能力，以及片上 ESD 网络和内部模拟电路模块之间的协同设计。于是，这一章挑战了高级别的器件设计内容，专用于先进的系统级片上 ESD 防护器件和钳位器的设计原理。这里涵盖的主要挑战是高压（HV）系统级 ESD 元胞设计，其专注于利用可以获得的工艺技术特征为大电流性能获得合适的独立于脉冲式的宽度调整。这一章还讨论了影响结构性能的非线性效应和产品布图。非线性效应的原因可以是电流集聚、不平衡的版图布图、多叉指不均匀开启或者在特定元胞中形成了一个“非故意的”漏电流通道。这一章基于一个对最终解决方案的实质性的物理实验验证和确定，DECIMM 工具^[19-20]使得用 TCAD 对 ESD 器件、钳位电路和外围模拟电路模块做混合模式分析这一新方法成为可能。作为这一章的总结，讨论了与 ESD 解决方案设计和实现 ESD 防护窗口目标相关的工艺能力的关键问题。

在晶圆级封装（或者微表面贴装器件）的设计中，倒装芯片键合块被均匀地分布在整个有源布图区域的顶部。在系统级 ESD 事件的大电流情况下，从模拟电路钳位区域的注入会干扰许多相连的有源器件的工作。一个“潜在的”门锁电流通路能够在内部电路元器件的版图下很深的地方形成。因此，钳位器的门锁隔离是一个很重要的设计内容。这些门锁现象作为前面章节内容的逻辑延续，在第 4 章中给出了总结。第 4 章的关键点是：一个系统级所需的经过验证的

独立的 ESD 钳位器的芯片级集成，这不是一个简单的问题。在系统级 ESD 应力和正常工作情况下，都应充分考虑使用说明书和芯片的功能定义，以避免钳位器与内部电路模块的相互作用。在系统级 ESD 电流引起的高注入情况下，受电导率调制影响的寄生器件也会开启。从这个角度来看，在上电情况下的系统级 ESD 事件在概念上能被视为与闩锁现象相似。在这里，主要有三种代表了不同物理现象的闩锁场景。首先，传统的 CMOS 闩锁，以大电流开启由 PMOS-NMOS 反相器对形成的寄生 SCR 为代表，作为电流注入的结果，它以两种子形式存在：一种是带有内部注入的 I/O 缓冲器，另一种是带有来自远端注入的核心电路。其次，高压 N 外延到 N 外延的闩锁——在大电流状态下寄生 n-p-n 结构开启，是来自一个外延区电流注入的结果。对来自低边外延区的电子注入和来自高边外延区的空穴注入的理解，本章进行了解释。最后，作为一种物理现象的组合，介绍了瞬态感应闩锁，在此现象组合中作为短时电压过应力的结果，ESD 钳位器被打开。于是，这一章涵盖了许多重要的工业设计要考虑的内容，作为一个验证过的独立的 ESD 钳位器片上集成的桥梁，在系统级 ESD 应力和正常工作模式下，均考虑了芯片的功能以及内部电路模块的相互作用。后者在高度集成的带有 CAN（控制器区域网络）收发器的智能功率 IC 的例子中进行了演示。

最后的第 5 章组合了前面几章的工具与方法，为 IC 引脚和系统本身开发出有效的和耐用的 ESD 协同设计方法。所选方法组合了带有测试板和晶圆级设置的瞬态器件特性以及器件和电路的仿真。仿真与晶圆级特性的组合使得在 IC 设计的早期阶段，甚至在最后的系统远未被设计及建造之前，系统级 ESD 防护方案的设计与验证就成为可能。首先介绍了可用的片外 ESD 防护器件。接着是可用于 ESD 防护设计的仿真工具的学习。然后是器件与电路建模的方法与实例。仿真模型被用于两个系统级的 ESD 设计方法：基于数据手册的设计和协同设计。每一种方法所需要的投入都与其优缺点一起讨论。通过几个案例，提供了系统级 IC 引脚 ESD 防护结构设计的建议。这一章以介绍的设计方法的比较、测定和讨论作为结束。仿真和瞬态器件特性是系统级 IC 引脚 ESD 防护方案分析和开发的基础。需简化 ESD 器件模型以减少建模的付出和大型防护网络仿真的时间。混合模式的 ESD 仿真使得更高的精度或者在 ESD 应力下具有复杂行为的器件仿真成为可能。高精度的有限元模型（FEM）允许瞬态域的仿真和器件行为的提取。SPICE 和紧凑模型可以加入到混合模式的仿真设置中以进行像电路一样的仿真。所提出的仿真方法被应用到不同的案例研究中以分析和评估系统级 ESD 的设计概念。本章将带有 PCB 上 TVS 组件的基于数据手册的系统设计作为一种方法来介绍，该方法需要基于设计经验或者 IC 供应商提出的更高的 ESD 防护级别需求。基于数据手册的方法的应用导致了许多问题，要么是系统的过设计，要么是 IC 的高成本的 ESD 防护方案的过设计。在某些应用场合中，这一方法会产生额外的挑战，即要同时设计出既有 ESD 鲁棒性又能满足功能需求的系统。作为结果，需要增加许多超出必要数量的片外元器件。

另一个方法是 IC 与系统协同设计的方法，它涉及器件脉冲特性的获取。TLP 测试与 TLP

$I-V$ 曲线用于给系统设计者提供片上和片外 ESD 防护的信息。本章的内容极大地依赖于案例学习, 这些案例将 TLP 测试结果与瞬态仿真结合起来, 用于识别在系统级 ESD 应力下片上和片外 ESD 防护器件的瞬态行为。通过增加从外部 IC 引脚获得的大量的 HMM 特性数据, 可以得到 IC 与系统级协同设计方法的一个重要扩展。这一信息被用来检验进入片上 ESD 防护系统的残余电流是否没有超过 HMM 的失效等级。结论是, 由于 CMOS 工艺尺寸持续缩小、像 3D 晶体管 (多栅 FET、FINFET) 这样的新器件概念的问世以及像硅通孔线性结构这样的新型后端工艺定义的 2.5D 和 3D 的集成机理的出现, 协同设计对将来的封装级系统和片上系统将会是一个始终存在的挑战。

致谢

本书作者对过去二十年中, 来自 EOS/ESD (电过应力 / 静电放电) 协会、Industry and University Research Groups 的同事的众多讨论和支持表示感谢。他们愿意认可来自 Angstrom 设计自动化公司的 Andrei Shibkov 博士的额外贡献, 特别是他用 DECIMM 所做的仿真支持和新特性的实现, 使得这本书有了想要的组成内容, 尤其是对门锁的自动化仿真 (第 4 章) 和对 ESD 器件的革命性加工能力指标的仿真研究 (3.5 节)。

本书两位作者还特别欣赏 Augusto Tazzoli 博士, 他致力于完成对整个手稿的详细的高质量的综合, 并发表了许多有价值的评论和技术讨论, 极大地完善了本书的内容。

此外, 作者 Vladislav Vashchenko 博士还感谢 Yana Vashchenko 在第 3 章、第 4 章材料编辑上的工作; 也感谢作者本人在 Maxim Integrated 公司 ESD 领域的许多同事: Joseph Sheu、Todd Mitchell、Slavica Malobabic 博士、Blerina Aliaj、Dimitrios Kontos、Ali Rezvani 博士和博士生 Yunfeng Xi (他们在与系统级 ESD 主题相关的项目工作中, 有许多激励性的讨论, 影响了这本书的内容)。作者还深深地感激在过去十年中, 围绕 ESD 主题与他进行过多次讨论的同行: 来自 imec 的 Dimitri Linten 博士和 Geert Hellings 博士, 来自硅实验室 (Silicon Labs) 的 Misha Khazhinsky 博士、Jeremy Smith 和 Anirudh Oberoi, 来自加州大学伊利诺伊分校的 Elyse Rosenbaum 教授, 来自 QPX GmbH 的 Markus Mergens 博士, 来自 Novorel 的 Vess Vassilev 博士, 来自法国国家系统分析与架构实验室 (LAAS) 的 David Tremouilles 博士, 来自英特尔公司的 Harald Gossner 博士和来自中佛罗里达大学的 Juin Liou 教授。

作者 Mirko Scholz 博士想要感谢他现在和以前在 imec ESD 团队的同事, 他们在日常的 ESD 工作中与他有着众多的交流。特别是 Shih-Hung Chen 博士、Dimitri Linten 博士、Steven Thijs 博士、Geert Hellings 博士、Roman Boschke 和 Alessio Griffoni 博士。作者还想感谢许多来自 imec 不同部门和小组的同事的直接与间接的支持。他想要感谢国家半导体公司 (现 TI 公司) 的前 ESD 团队, 特别是 Ann Concannon 博士、Antonio Gallerano 博士和 David Lafonteese 博士, 与他们早年在各种元器件级和系统级 ESD 主题上有过合作。他还要感谢日本的 HANWA 公司参加了 ESD

测试设备的开发合作，使得许多新的和先进的 ESD 测试方法成为可能，这在本书中也得到了部分论述。他还想进一步感谢 ESDA 工作组过去和现在的成员在 HMM 测试方法上所做的工作（见 5.6 节）。最后，他还感谢比利时自由大学（Vrije Universiteit）电气电子工程系的教职员们，以及那些他早年的同事和合作研究者们。

目 录 | Contents |

译者序

前言

第1章 系统级ESD设计 1

1.1 认识ESD事件 1

1.1.1 IC和系统级ESD应力 1

1.1.2 IC元器件和系统ESD设计趋势 2

1.2 片上ESD防护策略 4

1.2.1 基于轨的ESD防护网络 7

1.2.2 局部钳位网络和两级防护 9

1.2.3 多电压域 14

1.3 片外ESD防护策略 15

1.3.1 高集成度的趋势: SoC和SiP 15

1.3.2 ESD电压抑制 16

1.3.3 电容和信号完整性 18

1.3.4 片外网络的ESD抑制因素 20

1.4 基于ESD紧凑模型的

防护网络仿真 24

1.4.1 低压器件的ESD紧凑模型 25

1.4.2 高压器件的ESD紧凑模型 26

1.5 用混合模式电路仿真进行片上

ESD设计 29

1.5.1 基于TCAD的工业级ESD开发

流程 29

1.5.2 参数化器件和工艺的新方法 31

1.6 小结 36

第2章 系统级测试方法 37

2.1 板级测试方法 38

2.1.1 一般电气设备的IEC 61000-4-2

标准和测试方法 38

2.1.2 汽车标准 ISO 10605 46

2.1.3 IEC 61000-4-5浪涌标准 48

2.2 HMM测试 53

2.2.1 具有ESD枪的HMM装置 54

2.2.2 50 Ω 的HMM装置 55

2.3 传输线脉冲表征 56

2.3.1 TLP测试方法 56

2.3.2 极快TLP测试方法 60

2.4 ESD应力的瞬态波形表征 63

2.4.1 ESD 波形校准 64

2.4.2 HV电路的瞬态特性 69

2.4.3 晶圆级HMM装置的瞬态特性	71
2.5 HMM测试仪相关	72
2.5.1 测试装置和器件表征	72
2.5.2 阻抗匹配和对失效水平的影响	77
2.6 小结	79

第3章 片上系统级ESD器件和钳位

3.1 片上ESD设计的重要入门知识	81
3.1.1 局部钳位和基于轨的防护网络	81
3.1.2 半导体结构的电导率调制	84
3.1.3 集成工艺中ESD相关细节	87
3.1.4 ESD脉冲域的SOA和自防护	93
3.2 系统级防护的低压ESD器件	95
3.2.1 非回滞解决方案	96
3.2.2 SCR和LVTSCR器件	98
3.2.3 高维持电压SCR	103
3.2.4 低压双向器件	105
3.3 系统级防护的高压ESD器件	108
3.3.1 高压有源钳位	109
3.3.2 LDMOS-SCR器件	110
3.3.3 高维持电压HV器件: 雪崩二极管	114
3.3.4 横向PNP ESD器件	121
3.3.5 HV双向器件	124
3.4 ESD单元设计原理	126
3.4.1 不受欢迎的多叉指开启效应	127
3.4.2 多晶硅镇流克服多叉指开启 效应	132
3.4.3 通过适当的单元布图工程克服 多叉指不均匀开启效应	135

3.4.4 金属化限制及优化	136
3.5 ESD器件工艺能力指数	139
3.5.1 对器件工艺能力指数的认识	139
3.5.2 雪崩二极管击穿的 C_{pk} 仿真	143
3.5.3 NLDMOS-SCR钳位的 C_{pk} 分析	148
3.6 总结	152

第4章 系统级应力下的门锁

4.1 常规的I/O门锁和核心电路门锁	156
4.1.1 门锁仿真结构	156
4.2 高压门锁	163
4.2.1 n外延-n外延门锁	163
4.2.2 有源保护环隔离和实验对比	170
4.2.3 高压门锁抑制规则	174
4.3 TLU	174
4.3.1 TLU门锁测试	175
4.3.2 电源轨中开关引脚的TLU	176
4.3.3 TLU, 基于独立ESD器件的 简单网络	179
4.3.4 TLU, 片上和片外防护网络的 影响	181
4.4 应用案例	184
4.4.1 LIN和CAN收发机	185
4.4.2 CAN收发机案例研究	188
4.5 总结	191

第5章 IC与系统的ESD协同设计

5.1 采用硅基TVS元器件进行片外 ESD防护	193
5.1.1 硅基TVS器件结构	194

5.1.2 硅基TVS器件特性	196
5.2 系统级ESD设计建模和仿真	198
5.2.1 ESD测试模型	198
5.2.2 ESD器件的行为模型	198
5.2.3 TVS二极管模型	200
5.2.4 板级无源元器件建模	201
5.2.5 混合模式仿真	203
5.3 基于数据手册的系统级ESD 防护设计	204
5.4 IC与系统的ESD协同设计概念	206
5.4.1 基于TLP数据的协同设计方法	207
5.4.2 基于HMM测试的IC与系统协同 设计	209
5.4.3 基于TLP和HMM测试的协同设计 流程	215
5.5 系统感知片上ESD防护设计	216
5.5.1 案例研究的实验设置	216

5.5.2 给外部IC引脚选择合适的ESD 钳位器件	216
5.5.3 基于先进CMOS工艺的 协同设计	222
5.5.4 元器件级ESD设计准则	225
5.6 系统级ESD协同设计方法的 比较	229
5.6.1 基于数据手册的设计	230
5.6.2 基于TLP特性的设计	236
5.6.3 基于HMM测试的设计优化	238
5.6.4 设计基准和比较	239
5.7 总结	241
5.8 展望	242

参考文献	245
------------	-----

缩略词表	252
------------	-----

系统级 ESD 设计

1.1 认识 ESD 事件

1.1.1 IC 和系统级 ESD 应力

ESD 事件表示两个不同静电势的物体相连时发生的直至电势相等或两个物体分开的能量转移。此处的“相连”姑且假定为包括空气的任何介质提供的电流通路。ESD 事件引发了正比于静电势差的一个衰减的电流脉冲，上升时间和电流大小决定于连接阻抗。能量转移可以通过接触进行，也可以通过电离环境放电（电火花）。这一转移由不同的标准电路模型模拟，以测试器件是否满足相应的合格水平。通常，这些模型采用一个由给定 ESD 脉冲电压充电的电容器和一个充当限流电阻的网络（或环境空气条件），伴随着感性和容性负载，以便控制脉冲上升时间和波形参数。第 2 章会对 ESD 脉冲的规范、标准和测试方法进行归纳总结。

ESD 电流脉冲持续时间 1~200 ns，上升时间从几百皮秒（ps）到零点几纳秒（ns），电流幅值从 1 A 到超过 50 A。除非采取特殊的防护措施，否则在某些临界幅值处，ESD 瞬态电流可直接影响到系统和元器件的可靠性。这可以导致成品率的下降或消费产品的损失。

在现实生活中，作为摩擦生电、以导电表面机械连接或空气放电的形式与其他带电系统或设备接触等的后果，ESD 放电可在产品寿命期限内、在制造和装配或维护过程中由终端用户对系统或器件造成冲击。例如，带电电缆或连接器与系统输入或输出端口的连接可产生放电电流，其必定会通过特别的 ESD 电流通路分流到系统内部（见图 1.1）。

在 IC 中实现的钳位电压和残余电流是防护器件的击穿电压和动态电阻的函数，钳位电压可以通过将电流乘以与 ESD 电流通路相关的导通电阻而推算得到。

为确保系统的可靠性和合格性，必须基

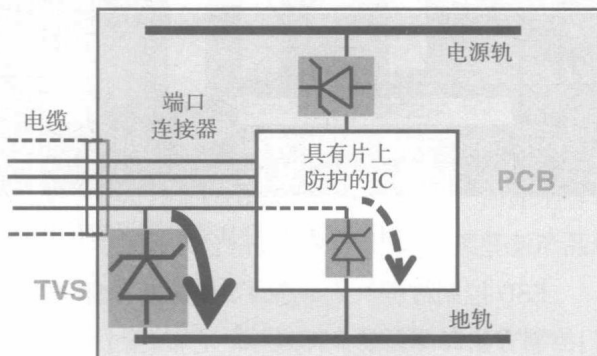


图 1.1 有内部 IC 的系统中的 ESD 电流通路

于一系列标准文件进行器件级和系统级的 ESD 鉴定试验。这种鉴定测试条件是 IC 和系统设计以及产品不可分割的一部分。通过这些测试是取得各种产品证书（例如产品引入消费市场所必备的欧洲 CE 标志）的必要条件。

同时，ESD 防护策略自身是基于一个相当简单的方法。它包括一个专用的用于放电的电流通路的实现，这借助于集成电路（IC）元器件的片上防护结构或 / 和嵌进系统 ESD 防护网络。除了其他隔离措施之外，这个网络还防护系统自身。这个防护网络通常由片上有源和无源或片外板级元器件组成。总体上说，这些元器件和互连线代表一个脉冲电源网络电路，在正常工作状态下不工作，但在 ESD 脉冲下被激活，提供放电电流通道。ESD 脉冲防护网的启动通常是由上升时间和过电压检测组合来实现的。如果 IC 引脚或系统端口的临界电压超过了某一阈值，片上和片外 ESD 防护网就开启。

1.1.2 IC 元器件和系统 ESD 设计趋势

在产品使用寿命期限内，终端用户能产生并引入电子系统产品的 ESD 强度比在一个受控制制造环境中产生的典型强度要严重得多。此外，由于 1993 年 S20.20 流程^[1]的引入，在实际 ESD 受控环境中探测到的 ESD 脉冲强度呈现不断减小的趋势。因此，EOS/ESD 协会（ESDA）建议降低了相应资质的要求（见图 1.2）。这一倡议还没有被工业界完全接受，IC 制造商的标准公司要求和具体产品规格常常取决于客户。它们通常包括元器件级的 2 kV HBM 和 100~200 V MM 的 ESD 脉冲。然而，在 ESD 防护区域 ESD 应力事件的幅值显著降低的事实几乎不会引起任何怀疑，它至少被广泛地作为合格免检的理由。

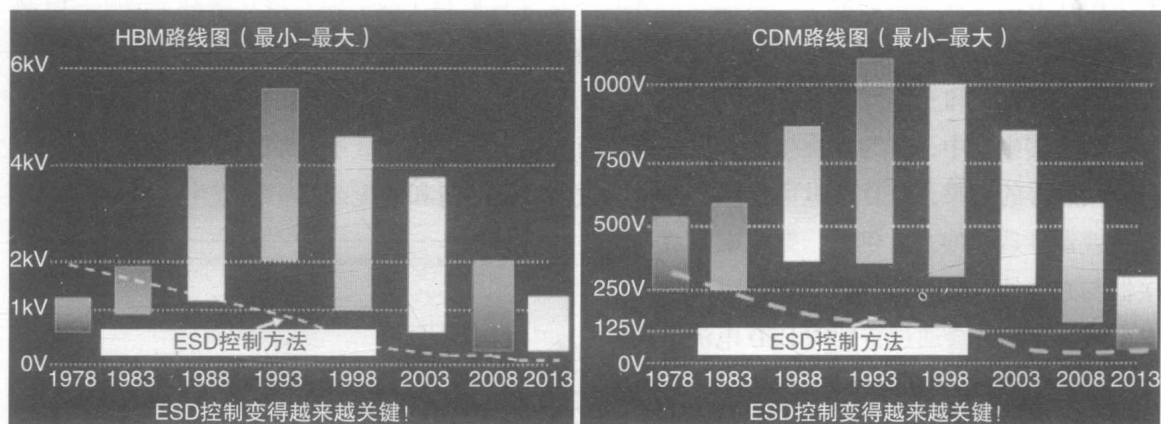


图 1.2 EOS/ESD 协会建议在 HBM 和 CDM 应力下的 ESD 脉冲路线

ESD 控制过程大大减少了制造场所电荷的积累。例如，图 1.3 中的 A 情形是在没有采取专门控制方法时测量的人体电压，它能超过 2 kV。如果制造场地配备 ESD 地板，静电引起的电压就降低到 200 V 左右的量级（图 1.3 中的 B 情形）。如果操作者穿上 ESD 鞋，在 ESD 地板上的

行走仅产生约 20 V 的电压（图 1.3 中的 C 情形）。因此，通过 ESD 控制流程的实施，由人体引起的电压可以降低二个数量级。

近二十年来，系统级防护出现了一个相反的趋势，为了满足不断上升的系统 ESD 防护需求，引入了大量新的标准。一个典型的例子是在汽车应用领域，要满足故障率为百万分之零的部件要求（图 1.4）。除系统级 ESD 脉冲之外，IC 制造的一些新标准已经向下传递到元器件级。其中包括电源涌浪规格（第 2 章）。因此，当这些最初的系统级标准已经向下传递到选定的 IC 引脚合格级的要求时，就会发生重要的范式转变。

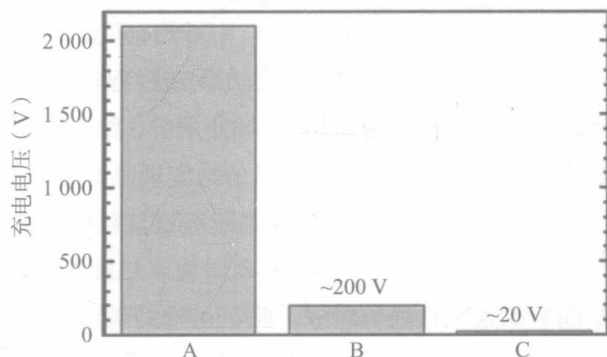


图 1.3 不同 ESD 控制方法对制造环境中人体电压的影响：
A. 没有 ESD 控制，B. 安装有 ESD 地板，
C. ESD 地板及 ESD 鞋类^[2]

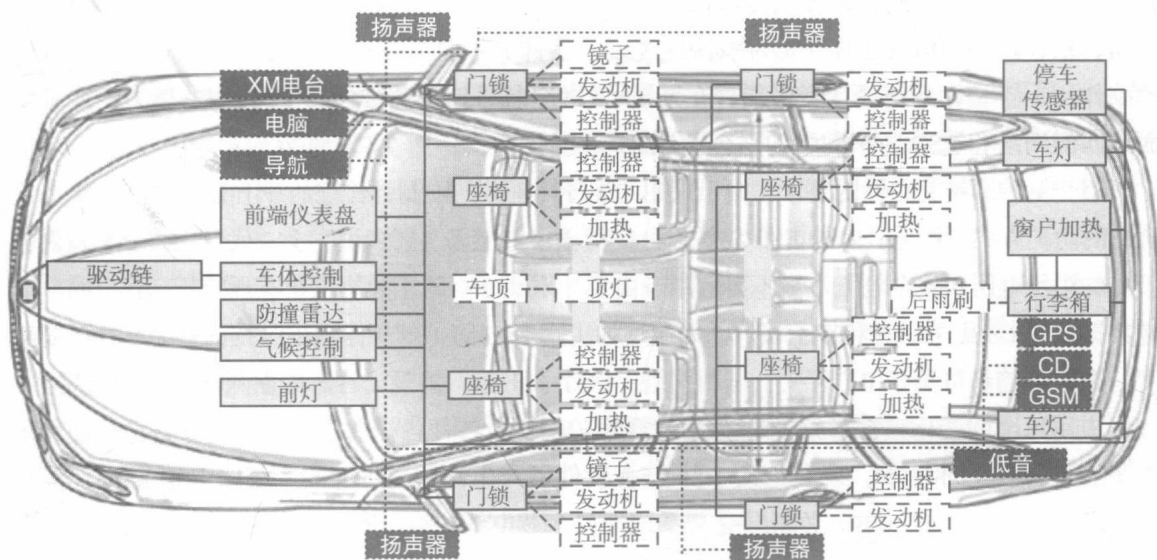


图 1.4 汽车产品系统级鲁棒性设计说明

在某种程度上，ESD 防护的重点已经从芯片级 ESD 鲁棒性转移到系统级鲁棒性上。以往解决这个问题的最初尝试仅仅来自一个直观要求，即更高标准的元器件级 ESD 测试。例如，要求 IC 制造商供应的 IC 的某些引脚的防护级别达到 8 kV 甚至 15 kV HBM。即使在今天，如此不合理高的（与图 1.2 相比）元器件 HBM 应力水平还能在与系统级合格数据列在一起的某些新产品的数据手册中见到。然而，针对特定系统级标准脉冲的通过水平已成为了主导方法。

总的来说，CDM、MM 和 HBM 标准脉冲的元器件合格水平不能保证 IC 增加系统级鲁棒性。在芯片级 ESD 评定期间，通过 IC 的放电是在断电情况下进行的。通常，由此引发的 ESD 电流

通路与在通电系统的系统级 ESD 测试期间的并不相同。因此, IC 至少能承受一小部分系统级 ESD 电流的能力需要得到验证。这需要将 IC 引脚直接与系统端口相接触, 除非板级 ESD 防护网络确保适当地限制了流进 IC 引脚的电流。

芯片级验证的最初目的是在制造过程和系统自身装配期间确保芯片自身的可靠性, 而不是在现场的使用寿命期间。在现场使用中, 系统或许会经历相当高的故障率, 不太可能会通过认证, 除非系统经过专门设计, 有目的地实现系统级 ESD 防护网络, 从而分流 ESD 电流。

现今最理想的实现 ESD 系统级设计鲁棒性的设计方法涉及 IC 元器件级和系统板级防护。片上 ESD 防护网络通常由 ESD 钳位、二极管、自防护功率器件、供元器件级 ESD 电流流动的坚固金属条互连线等组成。除了可选的瞬态电压抑制器 (TVS) 之外, 系统级 ESD 防护网络还依靠无源元器件。结合这两个网络的主要策略将在后面两部分评述。有两个重要趋势导致系统级 ESD 防护策略的根本性变化——随着工艺向更先进技术节点的迁移, 以及随着数据速率的不断增加而日益严格的信号完整性要求^[3], 系统中 IC 对 ESD 敏感性不断增长。

处理高数据速率的传统方法是降低传输线上的容性负载。其中包括 ESD 防护器件的电容。然而, ESD 器件的电容正比于器件有源区宽度。器件 ESD 防护能力的下降是可预料的不受欢迎的副作用。于是, 系统设计者面临着在系统可靠性和信号完整性之间进行折中的压力, 或者要面对匹配网络和 ESD 防护网络的联合设计策略。

对于某些系统完整性的要求, 由于采用的半导体工艺的限制, 传统的片上 ESD 方法不能提供合适的防护方案。因此, 片外 ESD 防护设计变得不可避免。一般来说, 上一代专用集成电路能够接受的钳位电压和残余电流水平不再适用于由尺寸不断缩小的半导体工艺实现的新一代电路。高速数据接口 USB、HDMI 和显示端口的采用增加了在 ESD 防护的鲁棒性下维持信号完整性的复杂度。类似的趋势可见于 RF 天线、车用网络、医疗、工业, 甚至云计算的新兴服务器的应用。

应用环境的变化直接导致了 ESD 的脆弱性。例如, 各种各样的手持和移动设备每天使用于严苛和不可控的环境下, 现实生活中的 ESD 事件可产生高达 30 kV 的系统级 ESD 脉冲、浪涌和 EMI。设备 (比如 USB) 必须忍受与系统端口多芯电缆的频繁连接和拔出, 以及在不同应用环境中, 比如在跑步或骑自行车的人的口袋中, 便携设备摩擦生电电荷的积累。

对于传统的 ESD 架构, ESD 防护的鲁棒性与低寄生电容的反相关, 会对信号完整性产生负面影响。这导致维持电容和阻抗匹配的困难不断增加。另一方面, 多个规范、标准和测试标准的组合通常非常烦琐。由系统级 ESD 条件下的片外器件以及残余电流传到 IC 引脚的片上器件实现的电压钳位波形不明确, 因而确定哪一种 ESD 防护器件能提供最好的效果是相当困难的。

1.2 片上 ESD 防护策略

片上 ESD 防护的最初作用是保证 IC 能承受在 ESD 防护区域 (EPA) 的整个制造过程中的