



普通高等教育“十三五”规划教材
电子信息科学与工程类专业规划教材

基于Verilog HDL的 数字系统设计与实现

◎ 赵 科 鞠艳杰 编著



中国工信出版集团



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

电子信息技术与工程类专业规划教材

基于 Verilog HDL 的 数字系统设计与实现

赵 科 鞠艳杰 编著

电子工业出版社
Publishing House of Electronics Industry
北京·BEIJING

内 容 简 介

本书根据课堂教学和实验操作的要求,以提高实际工程设计能力为目的,深入浅出地介绍了基于 Verilog HDL 的数字系统设计与实现。全书共四个部分:第一部分为基础篇,介绍了数字系统设计所使用的软、硬件平台和硬件描述语言;第二部分为入门篇,讲解了组合逻辑电路和时序逻辑电路的设计方法;第三部分为提高篇,详细讲解了状态机的设计方法、IP 封装及原理图调用、常用接口电路设计;第四部分为应用篇,阐述了复杂数字电路的设计思路与方法。本书按照知识递进、难度递进的原则来组织内容,通过大量完整的实例介绍基于 Verilog HDL 进行数字系统设计与实现的基本原理、概念和方法。

本书主要面向高等院校应用型本科 EDA 技术和 FPGA 应用开发等课程,推荐作为电子、通信、自动化、电气等专业的实践指导课的授课教材或主要参考书,同时也可以作为参加电子设计竞赛的高年级学生、从事数字电路设计的工程人员的自学参考书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有,侵权必究。

图书在版编目(CIP)数据

基于 Verilog HDL 的数字系统设计与实现/赵科,鞠艳杰编著. —北京:电子工业出版社,2019.2
ISBN 978-7-121-35713-8

I. ①基… II. ①赵… ②鞠… III. ①VHDL 语言—程序设计 IV. ①TP312

中国版本图书馆 CIP 数据核字(2018)第 266298 号

策划编辑:竺南直

责任编辑:竺南直

印 刷:三河市华成印务有限公司

装 订:三河市华成印务有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编:100036

开 本:787×1092 1/16 印张:15 字数:384 千字

版 次:2019 年 2 月第 1 版

印 次:2019 年 2 月第 1 次印刷

定 价:39.80 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888,88258888。

质量投诉请发邮件至 zlts@phei.com.cn,盗版侵权举报请发邮件至 dbqq@phei.com.cn。

本书咨询联系方式: davidzhu@phei.com.cn。

前 言

随着 EDA 技术的发展,EDA 在电子信息、通信、自动化控制及计算机应用等领域的重要性日益突出。与此同时,技术市场对 EDA 技术需求的不断提高,也必然会反映到教学和科研领域中来。以最近十届的全国大学生电子设计竞赛为例,涉及 EDA 技术的赛题从未缺少过。EDA 技术在本科和研究生教学中有两个明显的特点:其一,各专业中 EDA 教学实验课程的普及率和渗透率极高;其二,几乎所有实验项目都部分或全部融入了 EDA 技术,其中包括数字电子技术、计算机组成与设计、计算机接口技术、数字通信技术、嵌入式系统和 DSP 等实验内容,并且更注重创新性实验。这显然是科技发展和市场需求双重影响下的必然结果。

本书按由浅入深的学习顺序进行安排,让读者先了解 FPGA 器件原理,再学习基本的 Verilog 语言基础和 EDA 工程软件使用方法,以及具体工程案例和实验项目指导。读者通过本书循序渐进地学习数字电路的设计及仿真,并最终完成复杂数字系统的设计及验证。书中讲解项目设计时,任务明确、条理清晰、结构规范、系统性强,并对硬件电路进行了优化设计和仿真验证,其目的是使读者掌握硬件电路设计技巧,注重工程实践和实际应用。本书对初学者来说是一本很好的学习教材,对工程技术人员又是一本很好的参考书籍。对于实验与设计,书中给出了详细的实验目的、实验原理和实验步骤,读者可以根据书中的大量实例进行知识扩展和创新设计。授课教师也可以根据本课程的实验学时和教学内容的要求,依照学生的兴趣程度,以不同的方式或形式让学生完成综合性、创新性项目。

本书有以下几方面的特色。

- (1) 基础内容精炼:本书针对 FPGA 工程应用,编写的基础理论及语法内容简洁凝练,主要提供一种查阅功能。
- (2) 工程特点突出:本书突出实践性,针对电类相关专业分别举例,并结合基础性应用,全方位介绍实际工程应用的开发方法。
- (3) 注重编程技巧及仿真测试。
- (4) 内容全面:本书采用的案例,覆盖了电类相关专业,可以使读者得到丰富的工程开发方面的设计知识。

本书是引导读者进入 EDA 深入学习的一把钥匙,特别适合电类专业及相关专业读者系统学习电子设计自动化技术。为便于读者学习,并考虑到本书的篇幅,本书第 8 章复杂数字电路系统设计部分的代码,读者可以通过扫描书中给出的相应二维码在线阅读。为便于教学,本书向使用本书作为教材的教师提供电子课件,请登录华信教育资源网(<http://www.hxedu.com.cn>)注册下载。

本书的第 1 章、第 3~9 章由赵科编写,第 2 章由鞠艳杰编写。本书编著者长期从事模拟电子技术、数字电子技术、硬件描述语言及 FPGA 应用开发等课程的教学工作。在本书的编写过程中,得到了薛严冰、刘晓博、陈宝君老师的大力帮助,参考和引用了有关专家的著作和论文,在此一并表示衷心的感谢。

由于时间仓促和编者水平所限,书中难免有疏误和不当之处,恳请读者批评指正。

编著者
2018 年 10 月

目 录

第一部分 基础篇

第 1 章 硬件开发平台及集成开发平台	2
1.1 FPGA 原理及介绍	2
1.1.1 FPGA 结构及原理	2
1.1.2 FPGA 芯片介绍	7
1.2 硬件开发平台	10
1.2.1 硬件平台介绍	10
1.2.2 硬件接口电路	11
1.2.3 开发板引脚定义	14
1.3 集成开发环境 Vivado	17
1.3.1 Vivado 套件介绍	18
1.3.2 Vivado 开发流程	18
1.3.3 生成和下载 PROM 文件	35
第 2 章 Verilog HDL 语言基础	37
2.1 模块结构	37
2.1.1 硬件描述语言简介	37
2.1.2 Verilog 基本模块结构	38
2.2 基本语法	39
2.2.1 基本语法规则	39
2.2.2 常量及其表示	41
2.2.3 变量及其数据类型	44
2.2.4 表达式	48
2.2.5 运算符及其优先级	48
2.3 描述方式	52
2.3.1 结构化描述	52
2.3.2 数据流描述	54
2.3.3 行为描述	56
2.3.4 描述形式与电路建模	69
2.4 逻辑仿真	70
2.4.1 Testbench 简介	70
2.4.2 激励信号	70
2.4.3 系统自定义函数和任务	75

第二部分 入门篇

第3章 组合逻辑电路设计	86
3.1 编码器.....	86
3.1.1 普通编码器.....	86
3.1.2 优先编码器.....	87
3.2 译码器.....	91
3.2.1 二进制译码器.....	92
3.2.2 显示译码器.....	93
3.3 数据选择器.....	94
3.3.1 二选一数据选择器.....	94
3.3.2 四选一数据选择器.....	95
3.4 数据分配器.....	97
3.5 数值比较器.....	98
3.6 加法器.....	99
3.7 算术逻辑单元.....	100
第4章 时序逻辑电路设计	103
4.1 时序逻辑电路建模基础.....	103
4.2 锁存器和触发器建模.....	103
4.2.1 8位D锁存器.....	104
4.2.2 D触发器.....	105
4.2.3 异步置位和复位D触发器.....	106
4.2.4 同步置位和复位D触发器.....	108
4.2.5 异步复位和置位JK触发器.....	109
4.2.6 阻塞赋值和非阻塞赋值.....	111
4.3 寄存器建模.....	113
4.3.1 普通寄存器.....	113
4.3.2 移位寄存器.....	114
4.4 计数器建模.....	115
4.4.1 同步四位二进制加计数器.....	115
4.4.2 异步4位二进制加计数器.....	117
4.4.3 非二进制加计数器.....	119
4.4.4 分频器.....	120

第三部分 提高篇

第5章 时序状态机设计	123
5.1 有限状态机.....	123
5.2 状态机设计实例.....	124
第6章 原理图设计及IP调用	132
6.1 原理图设计.....	132

6.2	IP 调用	132
6.2.1	创建新封装 IP 的设计工程	132
6.2.2	添加新封装 IP 的设计源文件	133
6.2.3	定制封装 IP	134
6.2.4	调用用户封装 IP	136
6.2.5	系统行为级仿真	138
6.2.6	系统验证	139
第 7 章	常用接口电路设计	141
7.1	LED 显示控制	141
7.2	数码管显示控制	144
7.3	按键控制	153
7.4	脉冲信号产生电路	157
7.5	序列检测器	158
第四部分 应用篇		
第 8 章	复杂数字电路系统设计	162
8.1	简易数字钟设计	162
8.2	简易万年历设计	165
8.3	交通灯控制器设计	172
8.4	频率计设计	176
8.5	密码锁设计	182
8.6	抢答器设计	189
8.7	简易信号发生器设计	193
8.8	数字电压表设计	205
8.9	温湿度测量电路设计	214
第 9 章	实验与设计	223
9.1	含有异步清零、同步使能的十进制可逆计数器设计	223
9.2	双向移位寄存器设计	224
9.3	数码管动态扫描显示电路设计	224
9.4	键盘显示电路设计	225
9.5	电子日历和电子时钟设计	226
9.6	反应测量仪设计	227
9.7	出租车模拟计价器设计	228
9.8	具有 4 种信号灯的交通灯控制器设计	229
9.9	拔河游戏机设计	230
参考文献		232

第 1 章 硬件开发平台及集成开发平台

本章首先介绍 FPGA 结构和 FPGA 芯片，然后介绍本书所使用的硬件开发平台，并重点介绍该硬件开发平台的接口电路：按键、LED 灯、拨码开关、数码管等；最后介绍 Vivado 集成开发环境及数字系统设计流程，为后续章节的实践项目设计打下基础。

学习本章的主要目标有两个：①通过学习硬件开发平台的接口电路，为后续项目的开发提供参考依据；②通过学习 Vivado 集成开发环境及数字系统设计流程，为后续应用项目的开发与设计打下坚实的基础。

1.1 FPGA 原理及介绍

1.1.1 FPGA 结构及原理

FPGA(现场可编程门阵列)主要包括:可编程输入/输出单元(I/O)、可编程逻辑块(CLB)、完整的时钟管理(CMT)、嵌入块式RAM(BRAM)、丰富的布线资源、内嵌的底层功能单元和专用硬件模块等。

Xilinx(赛灵思)7系列FPGA的内部结构如图1.1.1所示。

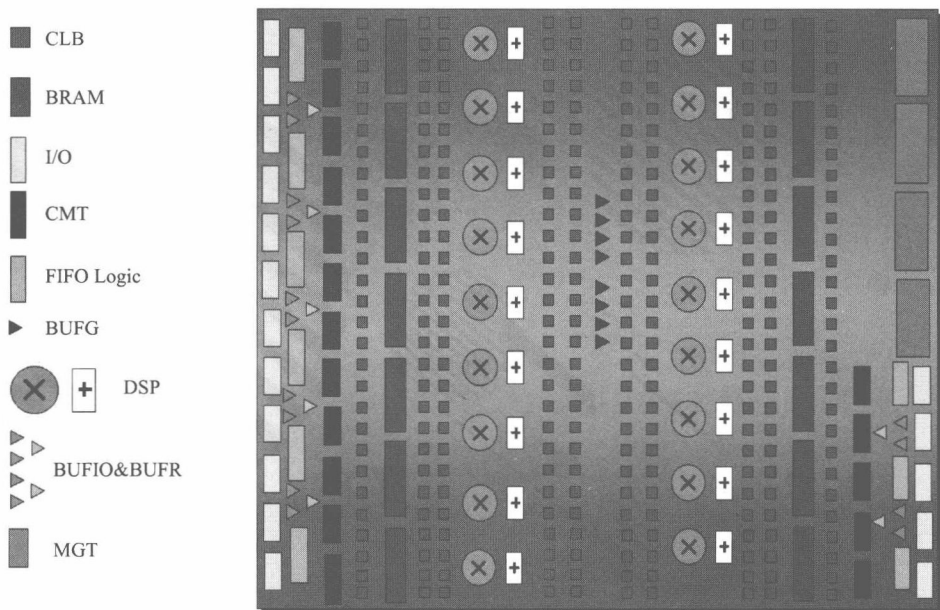


图 1.1.1 Xilinx 7 系列FPGA的内部结构图

FPGA 基本模块的主要功能如下。

1. 可编程输入/输出单元 (I/O 单元)

可编程输入/输出单元简称 I/O 单元，是芯片与外界电路的接口部分，完成不同电气特性下对输入/输出信号的驱动与匹配要求。FPGA 内的 I/O 单元按组分类，每组都能够独立地支持不同的 I/O 标准。通过软件的灵活配置，可适配不同的电气标准与 I/O 物理特性，可以调整驱动电流的大小，可以改变上、下拉电阻。目前，I/O 接口的频率也越来越高，一些高端的 FPGA 通过 DDR 寄存器技术可以支持高达 2Gbps 的数据速率。

外部输入信号可以通过 I/O 单元的存储单元输入到 FPGA 的内部，也可以直接输入到 FPGA 内部。为了便于管理和适应多种电气标准，FPGA 的 I/O 单元被划分为若干个组 (Bank)，每个 Bank 的接口标准由其接口电压 VCCO 决定，一个 Bank 只能有一种 VCCO，但不同 Bank 的 VCCO 可以不同。只有相同电气标准的端口才能连接在一起，VCCO 相同是接口标准的基本条件。

2. 可编程逻辑块 (CLB)

CLB 的结构如图 1.1.2 所示。

可编程逻辑块 (CLB) 是 FPGA 内的基本逻辑单元。CLB 的实际数量和特性会依器件的不同而不同，但是每个 CLB 都包含：一个可配置开关矩阵 (此矩阵有 4 或 6 个输入)、一些选型电路 (多路复用器等) 和触发器。开关矩阵是高度灵活的，可以对其进行配置以便处理组合逻辑、移位寄存器或 RAM。在 Xilinx 公司的 FPGA 器件中，CLB 由多个 (一般为 2 个或 4 个) 相同的 Slice 和附加逻辑构成。

每个 CLB 模块不仅可以用于实现组合逻辑、时序逻辑，还可以配置为分布式 RAM 和分布式 ROM。开关矩阵可以方便连接 FPGA 的相邻 CLB 资源，进位链 CIN、COUT 用于连接垂直相邻的 Slice。每一个 CLB 中可以包含两种基本结构 (Slice)，Slice 的分类如图 1.1.3 所示。

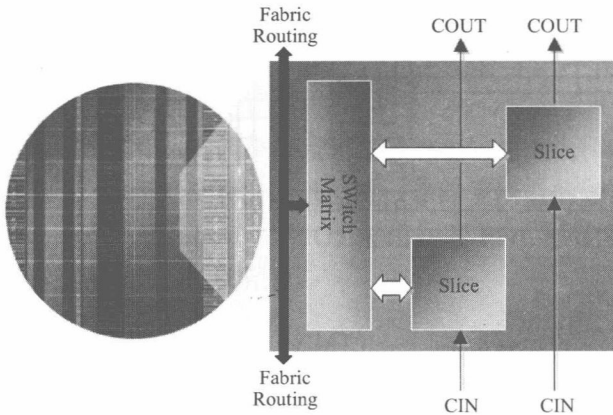


图 1.1.2 可编程逻辑块结构

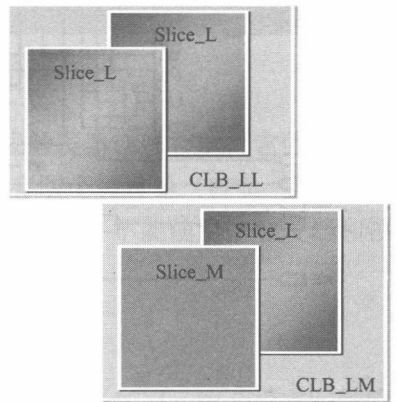


图 1.1.3 Slice 的分类

Slice 的结构图如图 1.1.4 所示。基本结构 (Slice) 中包含 4 个查找表 (LUT)、4 个存储

进位链可以在一个 Slice 中连接四个 LUT，也可以连接同一个 CLB 中相邻的 Slice，实现快速的加法和减法运算，提高 CLB 模块的处理速度，进位链连接如图 1.1.7 所示。

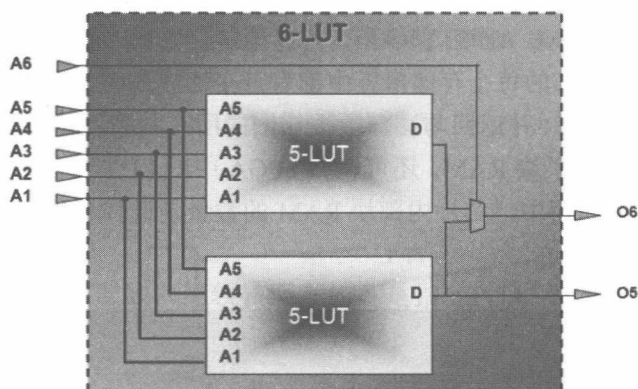


图 1.1.5 查找表结构

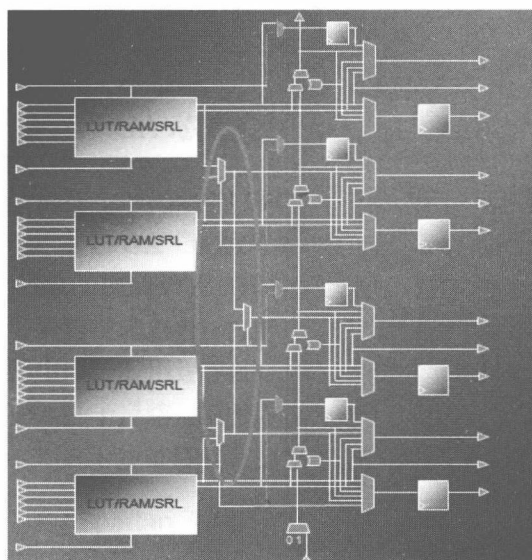


图 1.1.6 多路复用器的布置

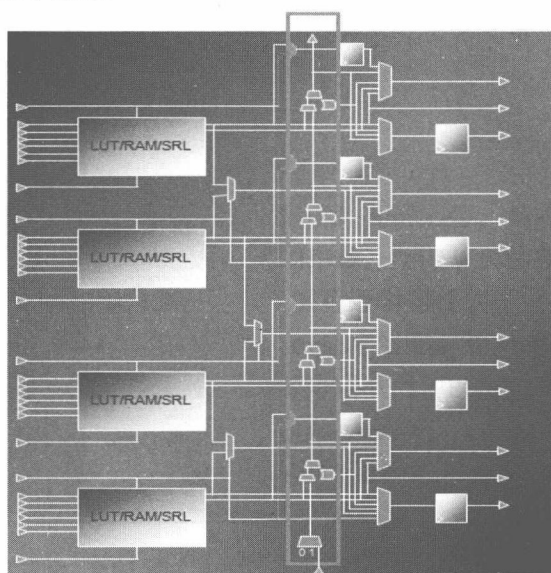


图 1.1.7 进位链连接

每个 Slice 有四个触发器或锁存器（FF/L），可以被配置成触发器或锁存器，它的输入可以是 LUT 的 O6 输出、进位链、多路复用器的输出。另外还有四个触发器（FF），它的输入可以是查找表（LUT）的 O5 输出。若 FF/L 被配置为锁存器，则 FF 不能使用，触发器和锁存器布置如图 1.1.8 所示。

3. 时钟管理模块（CMT）

每个 7 系 FPGA 最多有 24 个 CMT，每一个 CMT 都包含一个 MMCM（混合模式时钟管理器）和一个 PLL（相位锁相环），提供了时钟合成（clock frequency synthesis）、倾斜矫正（deskew）、过滤抖动（jitter filtering）等功能。

4. 嵌入式块 RAM (BRAM)

大多数 FPGA 都具有内嵌的块 RAM，这样极大地拓展了 FPGA 的应用范围和灵活性。块 RAM 可被配置为单端口 RAM、双端口 RAM、内容地址存储器 (CAM) 及 FIFO 等常用存储结构。CAM 存储器在其内部的每个存储单元中都有一个比较逻辑，写入 CAM 中的数据会和内部的每一个数据进行比较，并返回与端口数据相同的所有数据的地址，因而在路由的地址交换器中有广泛的应用。除了块 RAM，还可以将 FPGA 中的 LUT 灵活地配置成 RAM、ROM 和 FIFO 等结构。在实际应用中，芯片内部块 RAM 的数量是选择芯片的一个重要考虑因素。

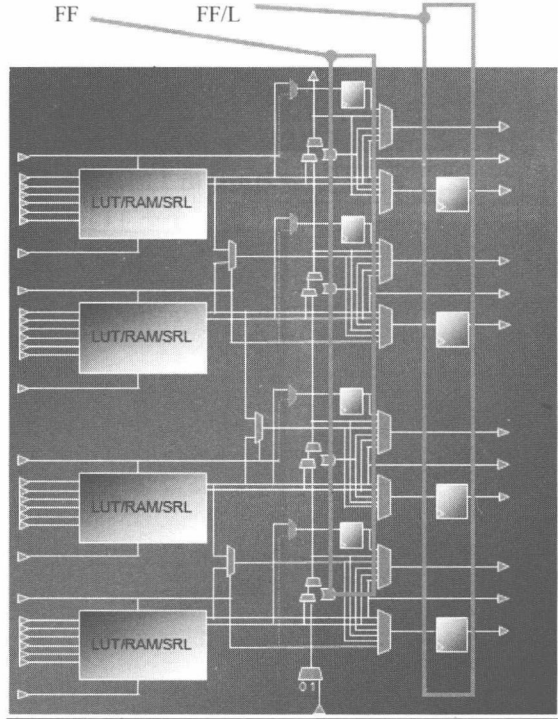


图 1.1.8 触发器和锁存器布置

5. 丰富的布线资源

布线资源连通 FPGA 内部的所有单元，而连线的长度和工艺决定着信号在连线上的驱动能力和传输速度。FPGA 芯片内部有着丰富的布线资源，根据工艺、长度、宽度和分布位置的不同而划分为 4 种类别。第一类是全局布线资源，用于芯片内部全局时钟和全局复位/置位的布线；第二类是长线资源，用以完成芯片 Bank 间的高速信号和第二全局时钟信号的布线；第三类是短线资源，用于完成基本逻辑单元之间的逻辑互连和布线；第四类是分布式的布线资源，用于专有时钟、复位等控制信号线。

从本质上讲，布线资源的使用方法和设计的结果有密切、直接的关系。但在实际中，设计者不需要直接选择布线资源，布局布线器可自动地根据输入逻辑网表的拓扑结构和约束条件选择布线资源来连通各个模块/单元。

6. 底层内嵌功能单元

内嵌功能单元主要是指 DLL (延迟锁相环)、PLL (锁相环)、DSP 和 CPU 等软处理核 (SoftCore)。现在越来越丰富的内嵌功能单元,使得单片 FPGA 成为系统级的设计工具,使其具备了软硬件联合设计的能力,逐步向 SOC 平台过渡。

DLL 和 PLL 具有类似的功能,可以完成时钟高精度、低抖动的倍频和分频,以及占空比调整和移相等功能。

7. 内嵌专用硬核

内嵌专用硬核是相对底层嵌入的软核而言的,是指 FPGA 处理能力强大的硬核 (Hard Core),等效于 ASIC 电路。为了提高 FPGA 性能,芯片生产商在芯片内部集成了一些专用的硬核。例如,为了提高 FPGA 的乘法速度,主流的 FPGA 中都集成了专用乘法器;为了适用通信总线与接口标准,很多高端的 FPGA 内部都集成了串并收发器 (SERDES),可以达到数十吉比特每秒的收发速度。ZYNQ-7000 系列 FPGA 内部嵌入了 ARM9 双硬核,方便实现软硬件协调设计,使软硬件开发无缝连接。

1.1.2 FPGA 芯片介绍

目前全球知名的 FPGA 生产厂商有: Xilinx、Altera、Actel、Lattice 和 Atmel 等,其中 Xilinx 是 FPGA (现场可编程门阵列)的发明者,拥有世界上半以上的市场,提供 90% 的高端 65nm FPGA 产品,开发软件为 ISE 和 Vivado; Altera 作为世界老牌可编程逻辑器件的厂家,是可编程逻辑器件 (PLD)的发明者,开发软件有 MAX+PLUSII 和 QuartusII。Xilinx 和 Altera 主要生产一般用途 FPGA,其主要产品采用 RAM 工艺。Actel 主要提供非易失性 FPGA,产品主要基于反熔丝工艺和 Flash 工艺,其产品主要用于军工和宇航。

Xilinx 公司目前有三大系列 FPGA 产品: Spartan 系列、Virtex 系列和 7 系列。

1. Spartan 系列

Spartan 系列 FPGA 产品适用于低成本的中低端应用,用于普通的工业、商业等领域。主流的芯片包括: Spartan-2、Spartan-2E、Spartan-3、Spartan-3A、Spartan-3E 和 Spartan-6 等。随着产品系列的升级,芯片包含的系统门从 20 万逐渐提高到 500 万,而且还增强了大量的内嵌专用乘法器和专用块 RAM 资源,还具备了实现复杂数字信号处理和片上可编程系统的能力。

2. Virtex 系列

Virtex 系列 FPGA 产品是 Xilinx 的高端产品,主要面向电信基础设施、汽车工业和高端消费电子等领域。主流的芯片包括: Virtex-2、Virtex-2 Pro、Virtex-4、Virtex-5 和 Virtex-6 等。Virtex 系列采用的架构与 Spartan 系列完全不同。

3. 7 系列

2010 年 2 月, Xilinx 公司宣布将生产新一代 28nm 的 7 系列 FPGA,新的器件将采用高 K

金属栅 (HKMG) 及高性能、低功耗工艺 (HPL), 应用全新的、统一的高级硅模块 (ASMBL) 架构。统一的架构使客户在功能方面收放自如, 既能降低成本和功耗, 又能提高性能和容量, 从而实现在低成本和高性能系列产品的开发部署上投资。该架构建立在大获成功的 Virtex-6 系列架构基础之上, 旨在简化当前 Virtex-6 和 Spartan-6 FPGA 设计方案的重用。Xilinx 在完全可编程的 7 系列中包括了最低功耗与最低成本的低端 Artix-7 系列、最佳性价比的中端 Kintex-7 系列以及最高系统性能与容量的高端 Virtex-7 系列。全新 7 系列 FPGA 不仅在帮助客户降低功耗和成本方面取得了新的突破, 还不影响容量的增加和性能的提升, 从而进一步扩展了可编程逻辑的应用领域。新系列产品不仅能实现出色的生产率, 还能解决 ASIC 和 ASSP 等其他方法开发成本过高、过于复杂且不够灵活的问题, 使 FPGA 平台能够满足日益多样化的设计群体的需求。

相对于 Spartan-6 系列而言, Artix-7 系列功耗降低了一半, 成本降低了 35%, 其采用小型化封装、统一的 Virtex 系列架构, 能满足低成本大批量市场的性能要求。新产品系列既能满足电池供电的便携式超声波设备的低功耗、高性能需求, 又能满足商用数码相机镜头控制的小型、低功耗要求, 还能满足军用航空电子和通信设备严格的 SWAP-C (大小、重量、功耗和成本) 要求。

Kintex-7 系列 FPGA 是一种新型 FPGA, 能以不到 Virtex-6 系列一半的价格实现与其相当的性能, 性价比提高了一倍, 功耗降低了一半。该系列不仅可提供诸如大批量 10GHz 光学有线通信设备等各种应用所需的高性能 10.3Gbps 或低成本优化的 6.5Gbps 串行连接性、存储器和逻辑性能, 还实现了信号处理性能、功耗和成本的最佳平衡, 能支持长期演进 (LTE) 无线网络部署, 满足新一代高清 3D 平板显示器严格的功耗和成本要求, 并提供新一代广播视频点播系统所需的性能和带宽。

超高端 Virtex-7 系列树立了全新的业界性能基准, 与 Virtex-6 器件相比, 系统性能提高一倍, 功耗降低一半, 信号处理能力提升 1.8 倍, I/O 带宽提升 1.6 倍, 存储器带宽提升 2 倍; 存储器接口性能高达 2133 Mbps, FPGA 包含多达 200 万个逻辑单元。所有 Virtex-7 FPGA 均采用 EasyPath-7 器件, 无须任何设计转换就能确保将成本降低 35%。Virtex-7 器件支持 400GHz 桥接和交换结构有线通信系统, 这是全球有线基础设施的核心, 也支持高级雷达系统和高性能计算机系统, 能够满足单芯片 TeraMACC 信号处理能力的要求以及新一代测试测量设备的逻辑密度、性能和 I/O 带宽要求。Virtex-7 系列将推出“XT”扩展功能器件, 包括多达 80 个收发器, 支持高达 13.1Gbps 的专用线路速率, 而且器件的串行带宽高达 1.9Tbps。

除了开发全系列的完全可编程 FPGA, 该公司还成功开发了 Zynq-7000 完全可编程 SoC, 集成了双核 ARM Cortex-A9 处理系统, 28nm FPGA 芯片以及关键外设, 可以实现软硬协同设计。

7 系列 FPGA 包含了大量的逻辑资源 (Logic Resources)、I/O 资源 (I/O Resources)、存储和 DSP 资源 (Memory Resources)、XADC、时钟资源 (Clock Resources)、嵌入式硬 IP 资源 (Embedded Hard IP Resources) 等。7 系列 FPGA 的资源见表 1.1.1、表 1.1.2、表 1.1.3 和表 1.1.4。

表 1.1.1 Artix-7 FPGA 系列资源

		Artix®-7 FPGAs Optimized for Lowest Cost and Lowest Power Applications (1.0V, 0.9V)					
		Part Number	XC7A35T	XC7A50T	XC7A75T	XC7A100T	XC7A200T
Logic Resources	Logic Cells	33,280	52,160	75,520	101,440	215,360	215,360
	Slices	5,200	8,150	11,800	15,850	33,650	33,650
	CLB Flip-Flops	41,600	65,200	94,400	126,800	269,200	269,200
Memory Resources	Maximum Distributed RAM (Kb)	400	600	892	1,188	2,888	2,888
	Block RAM/FIFO w/ ECC (36 Kb each)	50	75	105	135	365	365
	Total Block RAM (Kb)	1,800	2,700	3,780	4,860	13,140	13,140
Clock Resources	CMTs (1 MMCM + 1 PLL)	5	5	6	6	10	10
I/O Resources	Maximum Single-Ended I/O	250	250	300	300	500	500
	Maximum Differential I/O Pairs	120	120	144	144	240	240
	DSP Slices	90	120	180	240	740	740
Embedded Hard IP Resources	PCIe® Gen2™	1	1	1	1	1	1
	Analog Mixed Signal (AMS) / XADC	1	1	1	1	1	1
	Configuration AES / HMAC Blocks	1	1	1	1	1	1
	GTP Transceivers (6.6 Gb/s Max Rate)	4	4	6	8	16	16

表 1.1.2 Kintex-7 FPGA 系列资源

		Kintex-7 FPGAs Optimized for Best Price-Performance (1.0V, 0.9V)							
		Part Number	XC7K100T	XC7K160T	XC7K325T	XC7K355T	XC7K410T	XC7K420T	XC7K480T
Logic Resources	EasyPath™ Cost Reduction Solutions ⁽¹⁾	—	—	XCE7K325T	XCE7K355T	XCE7K410T	XCE7K420T	XCE7K480T	—
	Slices	10,250	25,350	50,950	55,650	63,550	65,150	74,650	74,650
	Logic Cells	65,600	162,240	326,080	356,160	406,720	416,960	477,760	477,760
Memory Resources	CLB Flip-Flops	82,000	202,800	407,600	445,200	508,400	521,200	597,200	597,200
	Maximum Distributed RAM (Kb)	838	2,188	4,000	5,088	5,663	5,938	6,788	6,788
	Block RAM/FIFO w/ ECC (36 Kb each)	135	325	445	715	795	835	955	955
Clock Resources	Total Block RAM (Kb)	4,860	11,700	16,020	25,740	28,620	30,060	34,380	34,380
	CMTs (1 MMCM + 1 PLL)	6	8	10	6	10	8	8	8
	Maximum Single-Ended I/O	300	400	500	300	500	400	400	400
I/O Resources	Maximum Differential I/O Pairs	144	192	240	144	240	192	192	192
	DSP48 Slices	240	600	840	1,440	1,540	1,680	1,920	1,920
	PCIe® Gen2™	1	1	1	1	1	1	1	1
Integrated IP Resources	Analog Mixed Signal (AMS) / XADC	1	1	1	1	1	1	1	1
	Configuration AES / HMAC Blocks	1	1	1	1	1	1	1	1
	GTX Transceivers (12.5 Gb/s Max Rate)	8	8	16	24	16	32	32	32

表 1.1.3 Virtex-7 FPGA 系列资源

		Virtex®-7 FPGAs Optimized for Highest System Performance and Capacity (1.0V)											
		Part Number	XC7V980T	XC7V2000T	XC7V3300T	XC7V4445T	XC7V4850T	XC7V5500T	XC7V6900T	XC7V980T	XC7VX1140T	XC7VH5800T	XC7VH8700T
Logic Resources	EasyPath™ Cost Reduction Solutions ⁽¹⁾	—	—	—	—	—	—	—	—	—	—	—	—
	Slices	91,950	305,400	51,000	64,400	75,800	86,600	106,300	153,000	178,000	—	90,700	136,900
	Logic Cells	582,720	1,954,560	326,400	412,160	485,760	554,240	693,120	979,200	1,139,200	—	580,480	876,160
Memory Resources	CLB Flip-Flops	728,400	2,443,200	408,000	515,200	607,200	692,800	866,400	1,224,000	1,424,000	—	725,600	1,095,200
	Maximum Distributed RAM (Kb)	6,938	21,550	4,388	6,525	8,175	8,725	10,888	13,838	17,700	—	8,850	13,275
	Block RAM/FIFO w/ ECC (36 Kb each)	755	1,292	750	880	1,030	1,180	1,470	1,500	1,880	—	940	1,410
Clock Resources	Total Block RAM (Kb)	28,620	46,512	27,000	31,680	37,080	42,480	52,920	54,000	67,680	—	33,840	50,760
	CMTs (1 MMCM + 1 PLL)	18	24	14	12	14	20	20	18	24	—	12	18
	Maximum Single-Ended I/O	850	1,200	700	600	700	600	1,000	900	1,100	—	600	300
I/O Resources	Maximum Differential I/O Pairs	408	576	336	288	336	288	480	432	528	—	288	144
	DSP Slices	1,200	2,160	1,120	2,160	2,800	2,880	3,600	3,600	3,360	—	1,680	2,520
	PCIe® Gen2™	3	4	—	—	4	—	3	—	—	—	—	—
Integrated IP Resources	PCIe Gen3	—	—	2	2	—	2	3	3	4	—	2	3
	Analog Mixed Signal (AMS) / XADC	1	1	1	1	1	1	1	1	1	—	1	1
	Configuration AES / HMAC Blocks	1	1	1	1	1	1	1	1	1	—	1	1
	GTX Transceivers (12.5 Gb/s Max Rate) ⁽²⁾	36	36	—	—	56	—	—	—	—	—	—	—
	GTH Transceivers (13.1 Gb/s Max Rate) ⁽³⁾	—	—	28	48	—	80	80	72	96	—	48	72
GTZ Transceivers (28.05 Gb/s Max Rate)	—	—	—	—	—	—	—	—	—	—	8	16	

表 1.1.4 Zynq-7000 FPGA 系列资源

		Zynq®-7000 All Programmable SoC					
		2-7010	2-7015	2-7020	2-7030	2-7040	2-7100
		Part Number	XC7Z010	XC7Z015	XC7Z020	XC7Z030	XC7Z040
Processing System	Processor Core	Dual ARM® Cortex™-A9 MPCore™ with CoreSight™					
	Processor Extensions	NEON™ & Single / Double Precision Floating Point for each processor					
	Maximum Frequency	866 MHz			Up to 1 GHz ⁽¹⁾		
	L1 Cache	512 KB					
	L2 Cache	256 KB					
	On-Chip Memory	DDR3, DDR3L, DDR2, LPDDR2					
	External Memory Support ⁽²⁾	2x Quad-SPI, NAND, NOR					
	External Static Memory Support ⁽³⁾	8 (4 dedicated to Programmable Logic)					
	DMA Channels	2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x I2S GPIO					
	Peripherals w/ built-in DMA ⁽⁴⁾	2x USB 2.0 (OTG), 2x Tri-mode Digital Ethernet, 2x GIGASET					
Programmable Logic	Security ⁽⁵⁾	RSA Authentication of First Stage Boot Loader, AES and SHA 256b Decryption and Authentication for Secure Boot					
	Processing System to Programmable Logic Interface Ports (Primary Interfaces & Interrupts Only)	2x AXI 32b Master, 2x AXI 32b Slave, 4x AXI 64b/32b Memory, AXI 64b ACP, 16 Interrupts					
	Xilinx 7 Series Programmable Logic Equivalents	Artix-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA
	Programmable Logic Cells (Approximate ASIC Gates) ⁽⁶⁾	25K Logic Cells (~430K)	74K Logic Cells (~1.1M)	85K Logic Cells (~1.3M)	125K Logic Cells (~1.9M)	350K Logic Cells (~5.2M)	444K Logic Cells (~6.6M)
	Look-Up Tables (LUTs)	17,600	46,200	53,200	76,600	218,600	277,400
	Flip-Flops	35,200	92,400	106,400	157,200	437,200	564,800
	Extendable Block RAM (# of 36 Kb Blocks)	240 KB (66)	380 KB (96)	560 KB (140)	1,060 KB (295)	2,180 KB (545)	3,020 KB (755)
	Programmable DSP Slices (18x25 MACCs)	80	160	220	400	900	2,020
	Peak DSP Performance (Synthetic FIR)	100 GMACs	200 GMACs	276 GMACs	583 GMACs	1,334 GMACs	2,822 GMACs
	PCI Express® (Host Controller or Endpoint)	—	Gen2 x4	—	Gen2 x4	—	Gen2 x8
Analog Mixed Signal (AMS) / XADC ⁽⁷⁾	—	—	—	—	—	—	
Security ⁽⁸⁾	AES and SHA 256b Decryption and Authentication for Secure Programmable Logic Configuration						

1.2 硬件开发平台

1.2.1 硬件平台介绍

本书使用的硬件平台为 Digilent 公司开发的 NEXYS4 开发板，如图 1.2.1 所示。

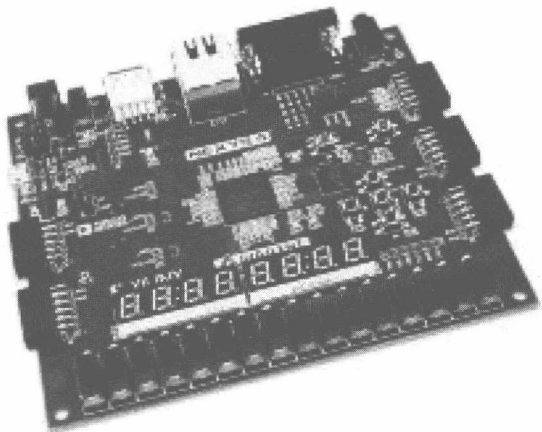


图 1.2.1 NEXYS4 开发板

该开发板上集成一片 Xilinx 的 Artix-7100T FPGA 芯片。该 FPGA 具有如下特点：

- ① 15850 个逻辑块，每个逻辑块拥有 4 个 6 输入查找表和 8 个触发器；
- ② 4860K 比特特快速 RAM 块；
- ③ 6 个时钟管理通道，每个均带有锁相环（PLL）；
- ④ 240 个 DSP 块；
- ⑤ 内部时钟速度超过 450MHz；
- ⑥ 片上模数转换器（XADC）。

该开发板提供了许多扩展端口和外围设备，具体如下：

- ① 16 个用户拨码开关；
- ② USB-UART 桥；
- ③ 12 比特 VGA 输出口；
- ④ 3 轴加速计；
- ⑤ 16M 字节 RAM 模块；
- ⑥ 用于 XADC 信号的 Pmod；
- ⑦ 16 个用户 LED 灯；
- ⑧ 2 个三色 LED 灯；
- ⑨ PWM 音频输出；
- ⑩ 温度传感器；

- ⑪ 串行闪存;
- ⑫ 用于 FPGA 编程通信的 Digilent USB-JTAG 端口;
- ⑬ 2 个 4 比特 7 段数码管;
- ⑭ MicroSD 卡连接器;
- ⑮ PDM 麦克风;
- ⑯ 10/100Mbps 的以太网;
- ⑰ 4 个 Pmod 端口;
- ⑱ 用于鼠标、键盘和记忆棒的主机 USB 接口。

1.2.2 硬件接口电路

1. 电源电路

电源电路如图 1.2.2 所示。电源开关为 SW16，外接供电电源通过跳线 JP3 和 J12 选择，电源指示灯为 LD22，电源可以输出 3.3V、1.8V 和 1.0V。

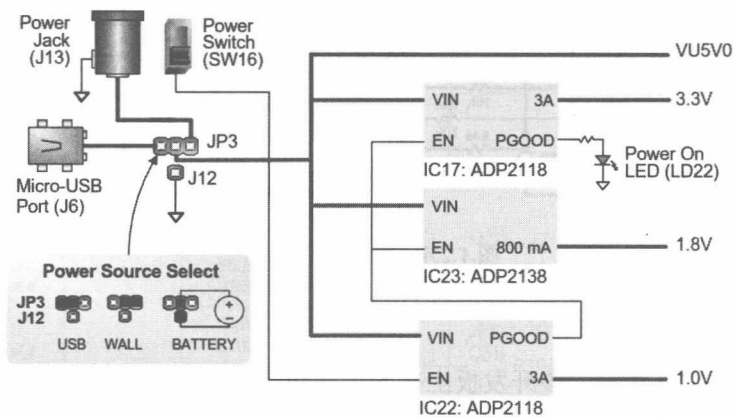


图 1.2.2 电源电路

2. 配置电路

FPGA 配置电路如图 1.2.3 所示。开发板上电后，必须通过 JP2 和 JP1 进行 FPGA 配置设置，然后才能执行任何有用的功能。可以配置为 JTAG 模式、SPI Flash 模式、SD 卡模式和 USB HID Host 模式。编程下载成功后，点亮“DONE”指示灯，“PROG”按键用来对配置重新复位。

3. 拨码开关电路

拨码开关电路如图 1.2.4 所示。使用该 16 位拨码开关 SW0~SW15 时，开关拨到上面时表示对 FPGA 的相应引脚输入高电平，拨到下面时表示对 FPGA 的相应引脚输入低电平。