

高等学校信息技术类新方向新动能新形态系列规划教材

教育部高等学校计算机类专业教学指导委员会 - Arm 产学合作项目成果

Arm 中国教育计划官方指定教材

arm CHINA

ASIC 设计理论与实践

RTL 验证、综合与版图设计

刘雯 / 主编

路卫军 韩可 / 副主编



中国工信出版集团



人民邮电出版社
POSTS & TELECOM PRESS

新方向新动能新形态系列规划教材
行业教学指导委员会 - Arm 产学合作项目成果
教材

arm CHINA

ASIC 设计理论与实践

RTL 验证、综合与版图设计

刘雯 / 主编

路卫军 韩可 / 副主编



人民邮电出版社

北京

图书在版编目 (CIP) 数据

ASIC设计理论与实践：RTL验证、综合与版图设计 / 刘雯主编. — 北京：人民邮电出版社，2019.4
高等学校信息技术类新方向新动能新形态系列规划教材

ISBN 978-7-115-50767-9

I. ①A… II. ①刘… III. ①集成电路—电路设计—高等学校—教材 IV. ①TN402

中国版本图书馆CIP数据核字(2019)第022458号

内 容 提 要

本书主要介绍了数字集成电路的设计理论与实践方法，通过一个完整的 CPU 电路 RTL 级验证、综合及版图设计，让读者系统、全面地了解 ASIC 设计流程。本书主要内容包括：ASIC 设计方法概述、设计流程及各阶段用到的设计仿真工具；Verilog HDL 基础语法及测试程序建模方法概述；ASIC 设计实验环境搭建；CPU 基本原理、相关指令系统及对应的功能实现；RTL 级设计及仿真、电路综合以及版图设计等各层次概念及物理意义等。

本书内容翔实，图文并茂，由浅入深地介绍了数字集成电路的设计方法与流程，以 ASIC 理论、CPU 基本理论为支撑，结合 Verilog HDL 语法基础，用“实验+验证”的实例方式讲解 ASIC 设计各阶段流程，使读者能快速上手，并且为以后的 ASIC 设计打下坚实的基础。本书设计实例基于 Synopsys 公司的相关 EDA 工具。

本书可作为高等院校电子科学与技术、电子信息科学与技术、计算机科学与技术、通信工程等专业的本科生或研究生教材，也可作为相关专业教师或设计工程师的学习参考资料。

-
- ◆ 主 编 刘 雯
 - 副 主 编 路卫军 韩 可
 - 责任编辑 祝智敏
 - 责任印制 陈 犇
 - ◆ 人民邮电出版社出版发行 北京市丰台区成寿寺路 11 号
邮编 100164 电子邮件 315@ptpress.com.cn
网址 <http://www.ptpress.com.cn>
固安县铭成印刷有限公司印刷
 - ◆ 开本：787×1092 1/16
印张：10.5 2019 年 4 月第 1 版
字数：282 千字 2019 年 4 月河北第 1 次印刷
-

定价：45.00 元

读者服务热线：(010)81055256 印装质量热线：(010)81055316

反盗版热线：(010)81055315

广告经营许可证：京东工商广登字 20170147 号

编委会

主任：焦李成 桂小林

副主任：马殿富 陈 炜 张立科

委员：（按照姓氏拼音排序）

安 晖	白忠建	毕 盛	毕晓君	陈 微
陈晓凌	陈彦辉	戴思俊	戴志涛	丁 飞
窦加林	方勇纯	方 元	高小鹏	郝兴伟
何兴高	廖 勇	刘宝林	刘儿兀	刘绍辉
刘 雯	刘志毅	马坚伟	孟 桥	莫宏伟
卿来云	沈 刚	涂 刚	王梦馨	王 鹏
王万森	王宜怀	王祝萍	吴 强	吴振宇
肖丙刚	肖 堃	徐立芳	阎 波	杨剑锋
杨茂林	袁超伟	岳亚伟	曾 斌	曾喻江
张登银	周剑扬	周立新	朱大勇	朱 健

秘书长：祝智敏

前 言

1958年由德州仪器公司基尔比带领的小组研制出第一块由12个器件组成的相移振荡和触发器，标志着集成电路的开端，到2018年，正好是集成电路发明60周年。王阳元院士在今年出版的由他主编的《集成电路产业全书》中指出：翻开60年来集成电路的发展史，实质上是一部创新的文明史。CPU、存储器等一个个发明和创新的应用，带来了社会的信息文明。

随着工艺的发展，半导体芯片的集成化程度越来越高，设计的系统越来越复杂，规模越来越大，性能需求越来越高，功耗也越来越大，给芯片设计工程师和EDA厂商带来了新的挑战。如今人工智能技术兴起，半导体芯片已成为其发展的重要核心。我国每年均要花费上千亿美元购买集成电路，所以培养集成电路设计人才，实现真正的中国“芯”，成为当前高校人才培养工作的重点。芯片的设计方法从早期的手工设计阶段、计算机辅助设计阶段、计算机辅助工程阶段、电子自动化设计阶段，发展到如今的系统芯片阶段，设计工具和设计方法日新月异，如何有效提高初学者的设计能力和实战能力，是当今数字集成电路教材面临的重要问题。

本书以数字集成电路设计流程为主线，结合编者多年教学与项目实践经验，在北京邮电大学工程学院课程“ASIC专业实验”讲义的基础上编纂而成。本书以培养学生数字集成电路设计能力为目标，主要讲授了超深亚微米时代集成电路的设计方法与设计工具。本书主要内容包括数字集成电路设计流程，Verilog HDL基本语法，如何运用Verilog HDL语言进行组合逻辑与时序逻辑的设计，数字集成电路的前端设计与验证方法、后端设计与验证方法，以及Synopsys公司的EDA工具的使用与操作等。

本书针对一个简单CPU的设计，对CPU进行RTL级仿真，对其中的控制模块进行综合，检查其功耗和最高工作效率，进行门级仿真，并保证在门级仿真结果正确之后，进行控制器的版图设计及验证。这样一个CPU设计，在实际工作中都是通过将其划分为相对独立的小模块进行的，然后对这些模块分别进行验证，最后再将设计正确的模块集成起来，完成一个完整CPU的设计。为了方便读者理解和设计，在CPU分模块设计阶段，本书对Verilog HDL中的关键语法知识进行了实践与运用。本书将设计分成八个步骤来完成，从简单计数器开始，到寄存器的设计，再到存储控制器设计，以及CPU状态控制器等，将依次用到组合逻辑与时序逻辑、阻塞赋值与非阻塞赋值、状态机的设计等。每个章节设计的小模块都将是最终CPU设计的一个组成部分，需要通过验证以保证最终CPU设计调用的正确性。

本书来源于实验课程自用教材，早在2003年学院开设此课程期间就开始编写，由最初的语言级仿真发展到如今涵盖综合及版图等内容的ASIC设计全流程，其间包含了太多教师及研究生的努力，实验最初的基于Cadence系列工具的实验版本由刘丽华和刘雯共同开发编写，后续的基于Synopsys系列工具的实验版本由刘雯、路卫军和韩可合作完成。

李晶、边新梅、朱棣、汤灿阳、苏敏、耿超等同学也参加了本书部分章节的编写或Verilog HDL模块的设计和验证工作，这里对他们表示衷心的感谢。在本书的编写过程中，参考了国内外有关数字集成电路和系统设计的教材与网络资源，在此一并向各位作者致以深深的谢意。

由于编者知识水平有限，本书难免存在疏漏、不妥之处，欢迎各位专家和读者予以批评指正。

编者

2018年11月8日于北京邮电大学

目 录

第 1 章 ASIC 概述	1
1.1 ASIC 概念	2
1.2 ASIC 设计方法	3
1.3 ASIC 设计流程	4
1.3.1 设计需求分析	4
1.3.2 模块设计及验证	5
1.3.3 逻辑综合及验证	6
1.3.4 版图设计	6
1.3.5 参数提取与静态时序分析	6
1.3.6 物理验证	7
1.4 集成电路设计工具	7
1.4.1 EDA 公司简介	7
1.4.2 设计流程各阶段所用工具	8
1.5 全书架构	10
第 2 章 Verilog HDL 基础及实验环境	11
2.1 Verilog HDL 硬件描述语言	11
2.1.1 Verilog HDL 语法基础	12
2.1.2 Verilog HDL 模块设计	24
2.1.3 Verilog HDL 测试程序建模方法	33
2.1.4 Verilog HDL 的编写技巧	38
2.2 ASIC 设计工具运行环境	40
2.2.1 Linux 组成结构	40
2.2.2 环境变量设置	43
2.2.3 Linux 相关命令	45
第 3 章 中央处理器	48
3.1 CPU 概述	48
3.2 CPU 的指令系统	49
3.2.1 指令的基本格式	49
3.2.2 指令分类	50
3.2.3 寻址方式	52
3.2.4 指令周期	54
3.3 CPU 的功能实现	55

3.3.1	存储器	55
3.3.2	程序计数器	55
3.3.3	指令寄存器	56
3.3.4	地址多路选择器	56
3.3.5	算术逻辑单元	57
3.3.6	累加器	57
3.3.7	状态控制器	58
3.3.8	CPU	59
第4章 RISC_CPU RTL 级设计及仿真		60
4.1	RISC_CPU 设计流程	60
4.2	RTL 编译与仿真工具使用	60
4.3	RTL 级设计与仿真	62
4.3.1	选择器设计	62
4.3.2	程序计数器设计	64
4.3.3	指令寄存器设计	66
4.3.4	算术逻辑单元设计	69
4.3.5	存储器设计	72
4.3.6	设计时序逻辑时采用阻塞赋值与非阻塞赋值的区别	75
4.3.7	状态控制器设计	77
4.3.8	CPU 集成设计及验证	81
第5章 电路综合		86
5.1	逻辑综合	86
5.1.1	逻辑综合定义	86
5.1.2	数字同步电路模型	86
5.1.3	时序驱动电路设计	89
5.1.4	综合的三个阶段和综合的层次	90
5.2	基于 Design Compiler 的逻辑综合流程	92
5.2.1	逻辑综合流程	92
5.2.2	设置库文件	92
5.2.3	读入设计文件	94
5.2.4	施加设计约束	94
5.2.5	定义环境属性	97
5.2.6	综合及结果输出	98
5.2.7	结果分析	99
5.2.8	综合后仿真	101
5.3	综合实验	102
5.3.1	建立工作目录	102
5.3.2	设置工作环境	103

5.3.3	添加 PAD	104
5.3.4	编写综合脚本	105
5.3.5	综合的执行	106
5.3.6	综合结果分析	106
5.3.7	门级电路仿真	109
第 6 章 版图设计		110
6.1	版图设计定义及内容	110
6.1.1	版图设计定义	110
6.1.2	版图设计的输入输出	110
6.1.3	版图设计用到的库文件	111
6.2	基于 IC Compiler 的版图设计流程	113
6.2.1	ICC 的启动和关闭	114
6.2.2	数据准备	115
6.2.3	布图规划	115
6.2.4	布局	118
6.2.5	时钟树综合	118
6.2.6	布线	119
6.2.7	参数提取和后仿真	120
6.2.8	物理验证	121
6.3	版图设计实验	121
6.3.1	实验内容和目的	121
6.3.2	实验指导	121
附录一 Verilog 语言要素		135
附录二 各阶段常用命令使用说明		148
附录三 Linux 常用命令及说明		153
参考文献		157

第 1 章

ASIC 概述

随着科学技术的发展，电子信息技术领域中的微电子技术越来越受到人们的重视，其中以集成电路（Integrated Circuit，IC）为重中之重，其日渐成为现代信息社会的基石。从 1906 年第一个电子管诞生到现在，集成电路已经在各行各业发挥了非常重要的作用。

集成电路是一种采用一定的工艺，把一个电路中所需的晶体管、二极管、电阻、电容和电感等元件及布线互连在一起，制作在一小块或几小块半导体晶片或介质基片上，然后封装在一个管壳内，成为具有所需电路功能结构的微型电子器件或部件。集成电路的特点表现为所有元件在结构上已组成一个整体，这显著提高了电子元件在微型化、低功耗、低成本和高可靠性等方面的性能，并在此基础上不断优化。

集成电路从无到有，再到发展日趋成熟，经历了电子管、晶体管、集成电路、超大规模集成电路四个阶段。其发展中的标志性事件如表 1-1 所示。

表 1-1 集成电路发展标志性事件时间表

时间	标志性事件
1906 年	第一个电子管诞生
1912 年	电子管的制作日趋成熟，激发了无线电技术的发展
1918 年	逐步发现了半导体材料
1920 年	发现半导体材料所具有的光敏特性
1932 年	运用量子学说建立了能带理论来研究半导体现象
1947 年	发明了晶体管
1950 年	双极晶体管（Bipolar Junction Transistor）诞生
1956 年	硅晶体管问世
1960 年	世界上第一块硅集成电路制造成功
1966 年	美国贝尔实验室使用比较完善的硅外延平面工艺制造出第一块公认的大规模集成电路
1988 年	16MB DRAM 问世
1997 年	300MHz 奔腾 II 问世
2009 年	Intel 酷睿 i 系列推出，采用了领先的 32nm 工艺
2016 年	第四季度台积电成功量产 10nm 芯片制程
2017 年	第一季度开始台积电正式试产 7nm 芯片制造工艺

1965 年，戈登·摩尔提出了著名的摩尔定律：芯片的晶体管集成密度每年增长一倍，并且芯片的集成度每隔两年翻一倍，如图 1-1 所示。以处理器为例，表现为两个规律：①同等价位的微处理器速度变得越快，②同等速度的微处理器变得越来越便宜。

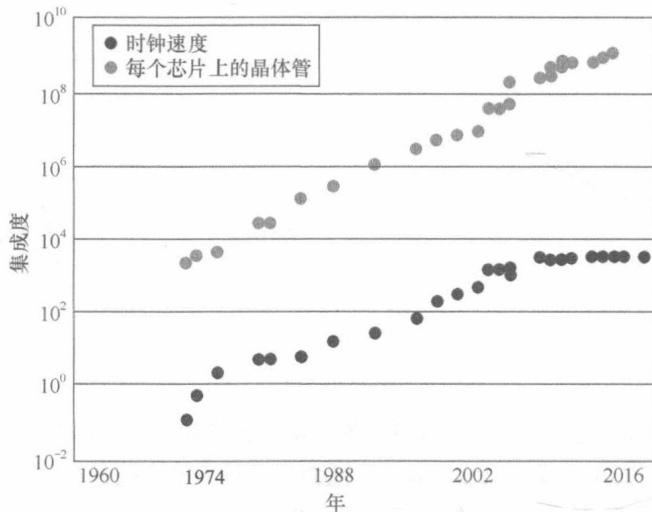


图 1-1 摩尔定律

集成电路的通用性和大批量生产，使电子产品的成本大幅度下降，推进了计算机通信和电子产品的普及，同时也产生了通用与专用的矛盾，以及系统设计与电路制作脱节的问题。而且集成电路规模越大，组建系统时就越难以针对特殊要求加以改变。为解决这些问题，出现了以用户参与设计为特征的专用集成电路（Application Specific Integrated Circuit, ASIC）。

随着集成电路方法学和微细加工技术的持续成熟，集成电路得到不断发展，集成电路的应用领域不断扩大，集成电路朝着微小型化、系统集成化和更加具有关联性的趋势发展。集成电路的发展趋势可以概括为以下几点。

- (1) 特征尺寸越来越小。
- (2) 芯片尺寸越来越大。
- (3) 单片上的晶体管数越来越多。
- (4) 时钟速度越来越快。
- (5) 电源电压越来越低。
- (6) 布线层数越来越多。
- (7) 输入/输出（I/O）引脚越来越多。

在集成电路应用方面，除众所周知的计算机、通信、网络、消费类产品，集成电路正在不断开拓新的领域。例如微机电系统、微光机电系统、生物芯片、超导等应用领域正在形成新的产业增长点。

1.1 ASIC 概念

在集成电路设计领域，ASIC 泛指针对某些特定应用需求、特定用户要求和特定电子系统的需要而开发、设计并制造的集成电路，如专门为通信、导航、电子玩具、家电、计算机接口、信息网络、电

子对抗、系统控制、航空航天、汽车电子等应用需求开发的集成电路，其特点是面向特定用户的需求。与其对应的是通用集成电路，泛指非专用集成电路，可以完成一些基本的和通用的标准功能，如存储器、通用中小规模逻辑器件等。ASIC 在批量生产时与通用集成电路相比具有体积小、功耗低、可靠性高、性能高、保密性强、成本低、产品综合性能和竞争力好等优点。在信息技术高速发展的今天，ASIC 无处不在，几乎在任何一个电子设备内部都能看到其身影。

ASIC 有全定制和半定制两种设计方法。全定制设计需要设计者完成所有电路的设计，需要大量人力物力，灵活性好但开发效率低。半定制设计使用库里的标准逻辑单元(Standard Logic Cells, SLC)，设计时可以从标准逻辑单元库中选择小规模集成电路(Small Scale Integration, SSI)(如门电路)、中规模集成电路(Medium Scale Integration, MSI)(如加法器、比较器等)、数据通路(如运算器)、存储器、总线等)、存储器甚至系统级模块(如乘法器、微控制器等)和知识产权核(Intellectual Property Core, IPC)，这些逻辑单元已经布局完毕，都已由厂家按照本身的工艺条件设计好，而且设计得较为可靠，设计者利用它们可以较方便地完成系统设计。现代 ASIC 常包含 32 位处理器、只读存储器(Read-only Memory, ROM)、随机存取存储器(Random Access Memory, RAM)、电可擦可编程只读存储器(Electrically Erasable Programmable Read-only Memory, EEPROM)的存储单元和其他模块。

1.2 ASIC 设计方法

集成电路设计是将系统、逻辑与性能的设计要求转化为具体物理版图的过程，也是一个产品从抽象到具体直至最终物理实现的过程。为了完成这一过程，逐渐形成了层次化和结构化的设计方法。层次化的设计方法能使复杂的系统简化，并能在不同的设计层次上及时发现错误并加以纠正；结构化的设计方法能把复杂抽象的系统划分成一些可操作的模块，允许多个设计者同时设计，而且某些子模块的资源可以共享。

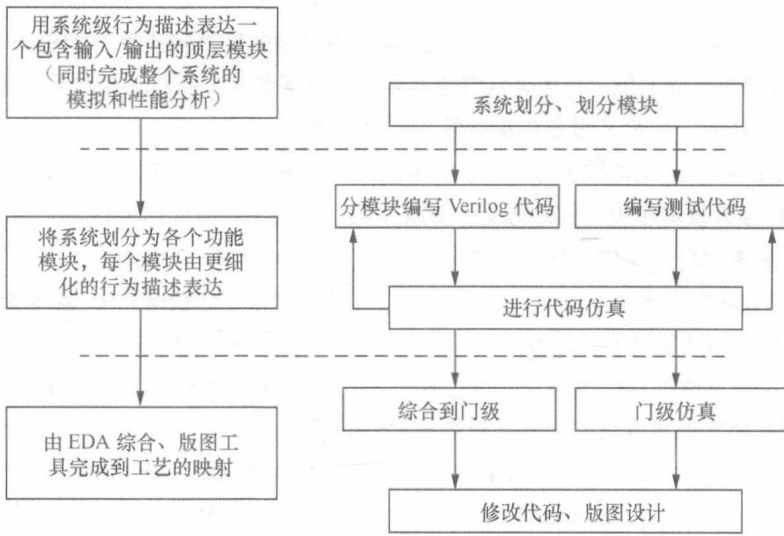
随着集成电路的发展，ASIC 设计需要利用上述层次化、结构化的方法，将芯片系统逐层划分为若干个功能模块，以此类推直至划分到最底层、最基本的单元模块，分别完成相应的设计，并仿真验证其正确性。这种自顶向下(Top to Down)的设计方法目前在电子设计自动化(Electronics Design Automation, EDA)工具的支持下，已经成为 ASIC 的主流设计方法。

自顶向下的设计方法一般根据产品的功能要求先定义产品架构并考虑系统与模块、单元与单元之间的约束关系，在完成产品的方案设计和结构设计之后，再进行各个模块的详细设计。图 1-2 所示为自顶向下设计图对应各阶段细分任务和具体实现过程。设计图上的每个节点都对应着该层次上基本单元的行为描述，每个指向都对应着该基本单元的结构分解，如此划分下去，便可以将一个复杂的集成电路逐步划分为各个小的基本单元来实现，最终组成一个完整的集成电路设计。为了保证每个基本单元设计得准确无误，EDA 工具提供了有效的手段，可以很方便地查看某一层某模块的源代码或电路图，以改正仿真时发现的错误。

自顶向下的设计方法具有以下优点。

- (1) 在设计周期开始时已做好系统分析。
- (2) 由于设计的主要仿真和调试过程是在高层次完成的，所以能够在早期发现结构设计上的错误，避免设计工作的浪费，同时减少了逻辑仿真的工作量。
- (3) 使得几千万门级甚至上亿门级规模的复杂数字电路的设计成为可能，并且可以减少设计人

员，避免不必要的重复设计，提高了设计效率。



(a) 自顶向下方法各阶段细分任务 (b) 自顶向下方法具体实现过程

图 1-2 自顶向下方法架构图

1.3 ASIC 设计流程

随着 ASIC 技术的复杂性不断提高，其工艺也在不断改进，所以需要成熟完备的 ASIC 设计流程，以保证在较短的时间内完成一个稳定的可重用的 ASIC 芯片的设计，并且一次性流片成功。

一个复杂的 ASIC 芯片的设计流程包括需求分析、算法设计、架构设计、寄存器转换级 (Register Transfer Level, RTL) 电路设计与验证、逻辑综合、布局布线、物理验证等部分，可以粗分为前端设计 (也称逻辑设计) 和后端设计 (也称物理设计)。首先根据系统需求进行架构设计，针对关键模块提出或选择合适的实现算法，然后交由 RTL 设计者进行代码编写，并进行功能验证，对代码做进一步的修改和优化。接着利用 EDA 工具进行综合，得到门级网表，进行时序分析，验证设计是否符合时序要求。当验证完毕之后，相应的网表就会送到物理设计人员手中，进行布局和布线设计，最终进行芯片的流片和测试。图 1-3 所示是芯片设计的典型流程，图中所有步骤均可采用 Synopsys 公司的 EDA 工具实现。

1.3.1 设计需求分析

在接到设计任务后，首先需要对设计进行芯片规格、电气性能及芯片功能分析。芯片规格是芯片设计的总体要求，包括芯片需要达到的具体功能和性能方面的要求；同时还要进行电气性能分析，包括芯片的工作环境、电学参数等；然后进行芯片的功能分析，制订功能列表及芯片规格书，对功能实现进行软件部分和硬件部分的划分。

完成以上性能分析，就可以进行硬件部分的设计。硬件部分的设计需要制订芯片的规格，主要包括芯片的总体结构、规格参数、模块划分、使用的接口等。在上述基础之上，得出设计解决方案和具体实现架构来划分模块功能。

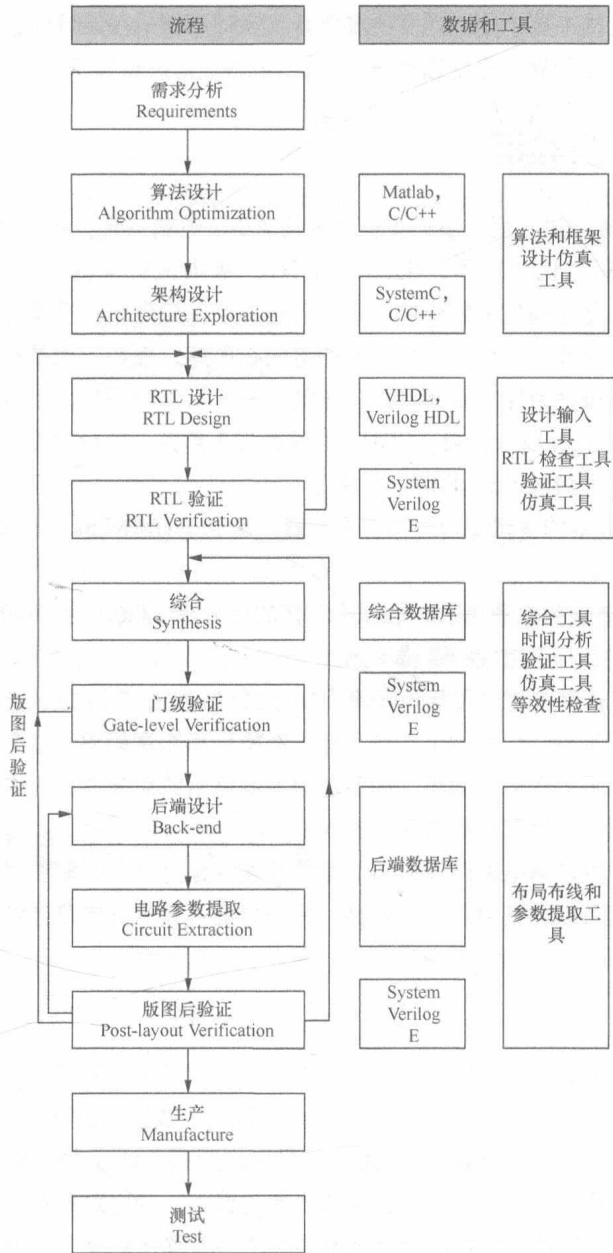


图 1-3 ASIC 设计流程

1.3.2 模块设计及验证

经过设计需求分析与规划之后，根据硬件设计所划分出的功能模块，进行模块设计或者复用已有的 IP 核，使模块功能以代码来描述实现，也就是将实际的硬件电路功能通过硬件描述语言（Verilog Hardware Description Language, Verilog HDL）描述出来，形成 RTL 代码。通常使用 Verilog HDL 描述电路的行为、各个逻辑单元的连接关系，以及输入/输出端口和逻辑单元之间的连接关系。

同时，还要进行逻辑设计的功能验证，也就是 RTL 级仿真，对象是利用 Verilog HDL 等硬件描述语言设计的模块代码，一般也称此仿真为前仿真或功能验证。功能验证的主要作用是检验编码设计的正确性，其检验标准就是设计是否精确满足了规格书中的所有要求。规格书是设计正确与否的黄金标

准，一切违反、不符合规格书要求的，均需要重新修改设计和编码。设计和仿真验证是反复迭代的过程，一直进行到验证结果显示完全符合规格标准为止。

1.3.3 逻辑综合及验证

当 HDL 的行为级仿真通过之后，下一步就是进行 ASIC 逻辑综合。所谓 ASIC 逻辑综合，是指在工艺库的基础上通过映射和优化过程，把设计的 RTL 级描述转换成与工艺密切相关的门级网表 (netlist)。逻辑综合需要基于特定的综合库，在不同的库中，门电路标准单元的面积和时序参数是不一样的。所以，选用的综合库不一样，综合出来的电路在时序、面积上也是有差异的。

逻辑综合的流程可以概括为建立设计和综合环境，将 RTL 源代码输入到综合工具，例如本书使用的综合工具是综合器 (Design Compiler, DC)，给设计加上约束，然后对设计进行逻辑综合，得到满足设计要求的门级网表 (一般以 ddc 的格式存放)。

在 EDA 工具内部，电路的逻辑综合分为三个步骤：转化 (Translation)、映射 (Mapping)、逻辑优化 (Optimize)。

(1) 转化：将 HDL 转化为由通用的、独立于工艺的元件库 (General Technology-Independent Component Library, GTECH) 组成的逻辑单元。

(2) 映射：将通用元件库映射到目标单元库 (Target Library, TL) 上，此时电路相关网表包含工艺参数。映射的时候需要半导体厂商的工艺技术库才能得到每个逻辑单元的延迟。

(3) 逻辑优化：按设定的延迟、面积、线负载模型等综合约束条件，对电路网表做进一步优化，使电路能满足设计在功能、时序和面积方面的要求。

逻辑综合完成后，可以获得电路门延迟和估算的互连线延迟，此时需要对包含延迟信息的门电路进行综合后仿真，一方面可以验证时序的正确性，另一方面可以保证电路在综合过程中未引入错误。

1.3.4 版图设计

版图设计是指将前端设计产生的门级网表，通过 EDA 设计工具进行布局布线和物理验证，最终产生供制造用的图形数据系统 (Graphic Data System, GDSII) 数据的过程。

在 Synopsys 布局布线 (IC Compiler, ICC) 工具中，版图设计分为数据准备、布局规划、布局、时钟树综合、布线五个步骤。数据准备包括工艺技术库的读入、门电路和约束信息的读入、设计中的 0 和 1 的处理等工作；布局规划包括确定芯片面积、形状、问题分析图 (Problem Analysis Diagram, PAD) 的摆放顺序、宏单元的摆放位置、PAD 和 Core 的电源方案等；布局是在约束的条件下，确定逻辑门电路的摆放位置；时钟树综合是对电路中大驱动的时钟线路插入缓冲器，形成均衡的时钟网络的过程，从而达到降低时钟偏斜和增加驱动能力的目的；布线是根据各门电路的输入/输出和电源线的逻辑连接，在时序约束的驱动下，生成物理连接的过程。

在设计过程中，如果发现有个别路径有时序问题或者逻辑错误时，可采用工程变更指令 (Engineering Change Order, ECO) 对设计的部分进行小范围的修改和重新布线，ECO 只对版图的一小部分进行修改而不影响到芯片的其余部分的布局布线，其余部分的时序信息并没有改变。

1.3.5 参数提取与静态时序分析

版图设计完成后，可以提取版图上内部互连所产生的寄生电阻和电容值。这些信息通常会转换成

标准延迟的格式后，再被反标回设计，用于静态时序分析和后仿真。有了设计的版图，使用参数提取的工具，如静态时序分析工具可以进行寄生电阻-电容（Resistance Capacitance, RC）参数的提取，然后输入到时序分析工具和仿真工具中进行时序验证和布线后功能的验证。

静态时序分析（Static Timing Analysis, STA）是一种穷尽分析方法，通过对提取的电路中所有路径的延迟信息的分析，计算出信号在时序路径上的延迟，找出违背时序约束的错误，如建立时间和保持时间是否满足要求等。在后端设计的很多步骤完成之后都要进行静态时序分析，如逻辑综合之后、布局优化之后、布线完成之后等。

布线后仿真也叫门级仿真、时序仿真、带反标的仿真，需要利用局部布线后获得的精确延迟参数及网表进行仿真，验证网表的功能和时序是否正确。

1.3.6 物理验证

物理验证主要包括版图的设计规则检查（Design Rule Checking, DRC）、逻辑图网表和版图网表比较（Layout Versus Schematic, LVS）及电气规则检查（Electrical Rules Checking, ERC）等。

DRC 用来检查版图的几何图形是否符合工艺规则要求，使得芯片能在工艺线上生产出来，同时保证制造的优良率；LVS 用来比较设计得到的版图和逻辑网表，检查各器件大小和连接关系是否完全一致，即验证版图与原原理图的电路结构是否一致；ERC 用来检查版图电路性能（如衬底是否正确接电源或地、有无栅极悬空等），以保证各器件的正常工作。

1.4 集成电路设计工具

集成电路设计离不开 EDA 工具的支持，本节将针对常用集成电路设计工具做详细介绍，使读者对设计工具有所了解。

1.4.1 EDA 公司简介

目前，主要的 EDA 公司有 Synopsys、Cadence、Mentor Graphic 和华大九天等。

1. Synopsys 公司

Synopsys（新思科技）公司是为全球集成电路设计提供 EDA 工具的主导企业之一。其为全球电子市场提供技术先进的 IC 设计与验证平台，致力于复杂的芯片片上系统（System on Chip, SoC）的开发。Synopsys 公司的产品遍及整个设计流程，能让设计者从设计技术规格制订到芯片制作的全过程使用统一的最佳技术，它是提供前后端完整 IC 设计方案的领先 EDA 工具供应商。Synopsys 公司的优势领域在数字前端、数字后端和静态时序（Prime Time, PT）Sign-Off。

2. Cadence 公司

Cadence（铿腾）公司是全球最大的 EDA 产品、程序方案服务和设计服务供应商。Cadence 公司在 IC 行业供应的 EDA 软件，前端包含硬件描述语言的输入、仿真，原理图的输入、仿真，后端包含综合、自动布局布线及版图编辑、验证等模块，各个模块中又包含许多为不同的客户需求而设计的个性化 EDA 产品。公司产品涵盖系统顶层设计与仿真、信号处理、电路设计与仿真、印制电路板（Printed Circuit Board, PCB）设计与分析、现场可编程门阵列（Field Programmable Gate Array, FPGA）、