



湖北省学术著作出版专项资金资助项目  
航天航空导航制导图像  
信息技术与系统研究丛书  
总主编 张天序

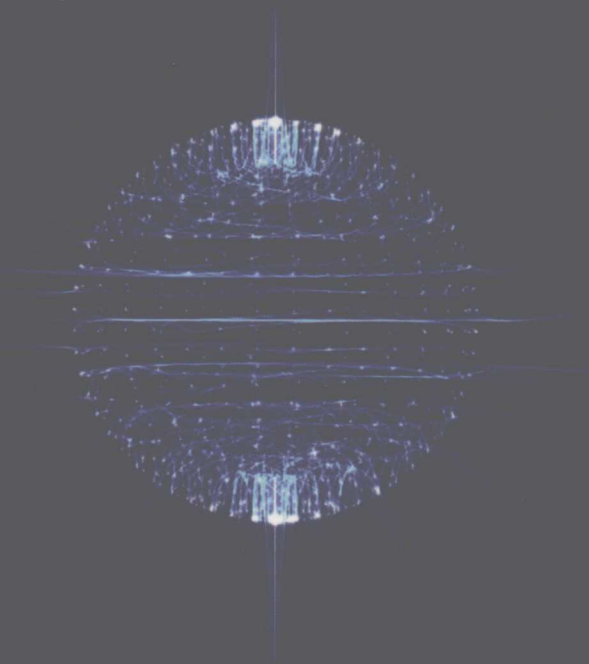
---

# 图像处理ASIC设计方法

TUXIANG CHULI ASIC SHEJI FANGFA

---

桑红石 袁雅婧 著



华中科技大学出版社

<http://www.hustp.com>



湖北省学术著作出版专项资金资助项目  
航天航空导航制导图像  
信息技术与系统研究丛书  
总主编 张天序

# 图像处理ASIC设计方法

桑红石 袁雅婧 著



华中科技大学出版社

<http://www.hustp.com>

中国·武汉

## 内 容 简 介

本书涵盖的内容包括图像处理专用集成电路(application specific integrated circuit, ASIC)的设计流程简介、ASIC的一般架构和基本模块、图像处理ASIC设计中常见时序问题的解决方法,并给出了几种图像处理算法ASIC/SoC(system on chip,片上系统)的设计实例。

全书分为7章。第1章介绍ASIC的基本概念、各层次图像处理算法的特点及其分析、图像处理ASIC设计流程以及各环节应注意的问题。第2章介绍影响图像处理算法硬件实现效率的因素,即如何评判一种算法是否可以获得较好的硬件加速比,以及如何获得较好的硬件加速比,同时介绍了ASIC设计中常用的基本电路结构和电路模块的设计。第3章介绍了时序分析的概念,以及ASIC设计中经常被忽视的跨时钟域信号传输问题,该问题将影响电路工作的稳定性,并给出了解决跨时钟域传输的几种常用方法。第4章介绍了一种大模板卷积运算的实现,旨在通过该设计向读者说明如何开发数据的片上重用性,以及如何在硬件开销、数据通过率之间进行折中。第5章介绍图像旋转算法的硬件实现,旨在通过该设计向读者说明如何对算法继续面向硬件优化,使数据流符合硬件电路实现所要求的局部性和规则性的特点,以及如何对有限字长运算产生的误差进行仿真评估,并确定合理的字长。第6章介绍图像连通域标记和特征提取算法的硬件实现,旨在通过该设计向读者说明不适用于硬件加速的算法的特点,以及如何利用硬件电路提供的中间结果对这一类算法进行加速。该设计还可以作为复杂状态机的设计举例,帮助读者了解不同层次状态机之间信号的交互方式。第7章介绍红外焦平面非均匀性校正SoC的设计,旨在通过该设计帮助读者了解片上系统的概念、组成和设计方法,了解通过软硬件协同实现较为复杂的系统功能的技术方案。本书可供学习ASIC设计的研究生使用,也可为相关领域设计人员提供入门和进阶参考。

### 图书在版编目(CIP)数据

图像处理ASIC设计方法/桑红石,袁雅婧著. —武汉:华中科技大学出版社,2019.1

(航天航空导航制导图像信息技术与系统研究丛书)

ISBN 978-7-5680-4064-8

I. ①图… II. ①桑… ②袁… III. ①集成电路-电路设计 IV. ①TN402

中国版本图书馆CIP数据核字(2018)第288792号

### 图像处理ASIC设计方法

桑红石 袁雅婧 著

Tuxiang Chuli ASIC Sheji Fangfa

策划编辑:范莹

责任编辑:熊慧

封面设计:原色设计

责任校对:李琴

责任监印:赵月

出版发行:华中科技大学出版社(中国·武汉)

电话:(027)81321913

武汉市东湖新技术开发区华工科技园

邮编:430223

录排:武汉市洪山区佳年华文印部

印刷:湖北新华印务有限公司

开本:710mm×1000mm 1/16

印张:14.25

字数:285千字

版次:2019年1月第1版第1次印刷

定价:88.00元



华中出版

本书若有印装质量问题,请向出版社营销中心调换  
全国免费服务热线:400-6679-118 竭诚为您服务  
版权所有 侵权必究



## 总序

发展航天航空技术，是民族智慧、经济实力、综合国力的重要体现，不仅提高了我国的国际威望，而且提升了全国人民的民族自豪感和自信心，更极大地促进了我国国民经济的发展。近年来，随着我国的“风云”“北斗”“神舟”“嫦娥”等高分辨率对地观测重大航天工程不断取得突破，各种用途的无人飞行器和成像载荷也风起云涌，标志着我国在航天航空等领域取得了长足的进步，已经从“跟跑”到“并跑”，甚至在某些领域开始了“领跑”。

成像探测和图像信息处理作为当今人工智能的热点研究和发  
展领域之一，吸引着众多研究者投身其中。而在航天航空应用领  
域中，对自动处理需求更强的紧迫性，使得其发展甚至早于其他  
应用领域。

用于航天航空的精确导航制导包括精确探测、精确控制和配  
套的地面支持系统。图像信息处理技术的融入，使导航制导如虎  
添翼。1978年，华中工学院(现华中科技大学)朱九思院长根据国  
家重大需求和新学科发展前沿趋势，以极具战略前瞻的眼光，在  
国内率先建立了图像识别与人工智能研究所。在随后的40年里，  
众多科研工作者在航天航空各总体单位的重大需求牵引下，聚焦  
成像精确探测和地面支持系统新技术，持续开展了相关应用基础研  
究工作，取得了丰硕成果。这些成果已广泛应用于各类重大、重  
点装备中，极大地推动了我国在该领域的技术进步。在这些科研  
工作中，众多优秀人才也得以成长，已成为相关领域的栋梁。

本丛书涉及以航天航空导航制导为背景的图像信息处理，包括算法、实时处理、任务规划和新型成像传感器设计等内容。这些具体的研究领域，在航天航空制导等方面都面临着重大的理论问题和工程技术问题，本丛书的作者们通过承担多项实际研究工作和多年的潜心研究，在理论和实践上都取得了很大的进展。

本丛书作者将自己的研究成果相继结集出版，展示自己的学术/技术风采，为本技术领域的发展留下一些痕迹，以作为相关领域科研人员、研究生和管理人员的参考书，进一步推动航天航空和图像信息处理领域的融合发展，用实现“航天航空梦”助力“中国梦”，为国家作出更大的贡献。

张天序

2018年3月28日



# 序

应本书作者桑红石的邀请，为她的第一本学术著作《图像处理ASIC设计方法》撰写序言。桑红石是我在华中科技大学的博士研究生，在她博士毕业留校工作之后，我们仍然保持着密切联系。得知她将这些年图像硬件加速方面的设计成果和设计心得总结出版，我非常高兴，于是欣然同意为之作序。

实时数字图像处理与成像自动目标识别是多年来研究的热点，在军事和民用领域均有重要实用价值。本书的作者及其所在团队长期以来专注于研究红外成像自动目标识别技术，在国内享有很高的学术地位，也取得了丰硕的成果。近期研究团队的一项科研成果获得了教育部一等奖，其中包含某款自研ASIC器件。


数字图像处理具有高计算强度和高数据强度的特点，采用专用硬件加速是提高处理实时性的手段之一。图像实时处理ASIC设计中存在一些普遍性的问题，影响器件的实现效率和工作稳定性，本书对这些问题进行分析，给出解决方法，并详细介绍了团队研制的四款图像处理ASIC系统结构设计方案，展示了创新设计理念 and 实用设计技巧。

加速发展集成电路设计制造技术，拥有自主知识产权的通用和专用器件是关乎我国国计民生的中长期发展战略。本书作者顺应时代的需求，将图像处理ASIC设计技术总结出版，内容翔实，可参考性强，是一本实用的专业书籍。

中科院院士 沈绪榜

于西安微电子技术研究所

2018年1月4日





## 前言

随着集成电路设计制造技术的飞速发展，研制ASIC已经开始引起各个行业的重视，成为提高嵌入式系统的实时性、减小其体积和功耗的重要手段之一。在图像处理和自动目标识别系统中，图像获取、图像增强、目标提取、目标识别等各个环节需要经过大量数据处理工作，尤其是底层的像素级处理算法，具有运算量大和被处理数据量大的特点，如何实时实现，一直以来是研究的重点。增加单指令流多数据流(single instruction multiple data, SIMD)结构的高性能微处理器，以及近年来兴起的图形处理单元(graphics processing unit, GPU)都是利用像素级图像处理算法的并行性开发出的面向多媒体应用的通用处理器，以软件编程的形式实现不同的图像处理环节。将限制系统实时性的某些图像处理环节设计为用专用器件实现是提高嵌入式系统实时性的另一种方式。与提高微处理器性能的方式相比，图像处理专用器件可以达到更高的性能功耗比，使系统实现更小的功耗和体积。

因此，本书根据实时图像处理和自动目标识别系统的需要，介绍图像处理算法实时实现过程中的普遍性问题，包括算法分析及面向硬件实现的优化方法、电路的体系结构设计、影响电路稳定性的时序问题和解决方案等。希望本书能够帮助相关技术人员顺利进入图像处理专用器件设计领域，并且能够完成具有较高实现效率和稳定性的设计。

本书前6章由桑红石撰写，第7章由袁雅婧撰写，全书由桑红石整理校对。书中介绍的芯片设计工作来自课题组多年的技术积累，在此对所有参与工作的老师和学生表示感谢。

作为一家之言，本书难免有疏漏与不当之处，恳请读者指正。

华中科技大学自动化学院 桑红石

2018年1月

# 目 录

第 1 章 ASIC 的概念和设计流程 .....	(1)
1.1 VLSI 工艺进步带来的变化 .....	(1)
1.2 图像处理领域对专用硬件电路的需求 .....	(6)
1.2.1 图像低层处理算法 .....	(6)
1.2.2 图像中层处理算法 .....	(7)
1.2.3 图像高层处理算法 .....	(8)
1.2.4 图像中低层处理算法的加速策略 .....	(9)
1.3 ASIC 设计流程简述 .....	(13)
1.3.1 设计任务的定义 .....	(13)
1.3.2 体系结构设计 .....	(14)
1.3.3 RTL 代码设计和验证 .....	(14)
1.3.4 综合 .....	(15)
1.3.5 形式验证和后仿真 .....	(16)
1.3.6 布局布线 .....	(17)
1.3.7 寄生参数提取 .....	(17)
1.3.8 生成版图 .....	(17)
1.3.9 物理设计 .....	(17)
第 2 章 图像处理 ASIC 的基本架构和常用模块 .....	(19)
2.1 影响 ASIC 实现效率的因素 .....	(19)
2.1.1 高计算强度 .....	(19)
2.1.2 计算并行性 .....	(20)
2.1.3 存在强相关性的例子 .....	(21)
2.1.4 数据空间分布的局部性和重用性 .....	(25)
2.1.5 有限的中间结果 .....	(29)
2.2 图像处理 ASIC 的常用结构 .....	(30)
2.2.1 数据传输格式及输入数据接口 .....	(30)
2.2.2 图像二维数据处理窗口生成 .....	(33)
2.2.3 窗口位于图像边界的处理 .....	(35)
2.3 数据路径并行策略 .....	(43)



2.3.1	全并行实现	(43)
2.3.2	全串行实现	(45)
2.3.3	部分并行实现	(45)
<b>第 3 章</b>	<b>时序问题和解决方法</b>	<b>(47)</b>
3.1	硬件电路的基本组成和特点	(47)
3.1.1	组合逻辑电路	(47)
3.1.2	时序电路	(49)
3.1.3	存储器	(50)
3.2	时序相关概念	(55)
3.2.1	同步电路与异步电路	(55)
3.2.2	时序参数的定义	(56)
3.2.3	时钟偏差与时钟抖动	(58)
3.3	时序分析与时序违例	(60)
3.4	亚稳态与同步器	(63)
3.5	跨时钟域信号传输的方法	(65)
3.5.1	异步时钟域之间传输信号的一般问题	(65)
3.5.2	异步 FIFO 中的跨时钟域信号处理	(66)
3.5.3	异步复位信号处理	(70)
<b>第 4 章</b>	<b>大模板卷积 ASIC 设计方案</b>	<b>(73)</b>
4.1	设计目标	(73)
4.2	卷积运算常用实现方案	(73)
4.2.1	FB 结构	(74)
4.2.2	SWPB 结构	(75)
4.2.3	MWPB 结构	(76)
4.3	技术指标分析	(77)
4.4	大模板卷积 ASIC 总体框图	(79)
4.5	各模块设计	(81)
4.5.1	图像输入前端 FIFO	(81)
4.5.2	图像输入后端 FIFO	(82)
4.5.3	图像存储 SPRAM 控制	(83)
4.5.4	运算单元像素寄存器控制	(86)
4.5.5	图像 SPRAM 地址控制	(86)
4.5.6	模板存储模块	(89)
4.5.7	计算模块	(90)

<b>第 5 章 图像旋转 ASIC 设计</b> .....	(93)
5.1 设计目标 .....	(93)
5.2 算法分析 .....	(94)
5.2.1 三步平移旋转算法 .....	(94)
5.2.2 图像插值算法 .....	(96)
5.2.3 插值误差分析 .....	(99)
5.2.4 算法仿真与验证 .....	(101)
5.3 流水线图像旋转 ASIC 架构设计 .....	(102)
5.3.1 硬件实现面临的问题 .....	(102)
5.3.2 流水线实现方案 .....	(102)
5.3.3 定点误差分析与字长优化 .....	(105)
5.4 流水线图像旋转 ASIC 模块设计 .....	(109)
5.4.1 中心控制器设计 .....	(110)
5.4.2 输入/输出接口电路设计 .....	(112)
5.4.3 流水线暂停电路设计 .....	(117)
5.4.4 异常处理电路 .....	(120)
<b>第 6 章 连通域标记与轮廓跟踪</b> .....	(122)
6.1 连通域标记算法分析 .....	(122)
6.2 两次逐行逐列逐像素扫描算法 .....	(123)
6.2.1 算法总流程 .....	(123)
6.2.2 图像初步标记 .....	(124)
6.2.3 等价表初始化与等价关系记录 .....	(126)
6.2.4 整理等价表 .....	(127)
6.2.5 图像标记代换 .....	(128)
6.3 轮廓跟踪算法硬件加速方案 .....	(129)
6.4 标记 ASIC 系统设计 .....	(131)
6.4.1 芯片功能与整体结构 .....	(131)
6.4.2 图像存储器数据组织与传输方式 .....	(132)
6.4.3 特征值存储器设置 .....	(133)
6.4.4 行像素及行标记缓存 .....	(134)
6.5 标记 ASIC 顶层状态机 .....	(134)
6.6 标记处理模块设计 .....	(137)
6.6.1 初步标记模块 .....	(137)
6.6.2 等价标记对记录模块 .....	(139)

6.6.3	等价表整理模块	(143)
6.6.4	标记代换及特征值统计流水线模块	(145)
<b>第7章</b>	<b>红外焦平面非均匀性校正 SoC</b>	<b>(146)</b>
7.1	设计目标	(146)
7.2	红外焦平面非均匀性校正算法	(147)
7.2.1	基于定标的校正算法	(148)
7.2.2	基于场景的红外焦平面无效像元检测	(149)
7.2.3	场景自适应校正算法	(152)
7.3	非均匀性校正 SoC 结构设计	(159)
7.3.1	功能划分	(159)
7.3.2	非均匀性校正 SoC 整体结构	(160)
7.4	内嵌的 MIPS 架构处理器	(162)
7.5	片上总线及互连结构	(164)
7.5.1	Wishbone 总线介绍	(164)
7.5.2	校正 SoC 总线传输模式	(167)
7.5.3	总线互连结构	(170)
7.6	校正 ASIC 模块设计	(171)
7.6.1	校正 ASIC 模块整体结构	(171)
7.6.2	校正 SoC 整体状态机	(174)
7.6.3	Wishbone 接口模块设计	(176)
7.6.4	校正 ASIC 模块设计	(177)
7.7	处理器软件设计	(193)
7.8	校正 SoC 的验证	(196)
7.8.1	SoC 验证方法与技术概要	(196)
7.8.2	软件功能仿真	(198)
7.8.3	形式验证	(202)
7.8.4	FPGA 原型验证	(203)
<b>参考文献</b>		<b>(207)</b>

# 第 1 章 ASIC 的概念和设计流程

## 1.1 VLSI 工艺进步带来的变化

设计并制造超大规模集成电路(very large scale integration, VLSI),过去被认为是高成本、高设计风险以及长设计周期的一件事情,而实际上,近十几年来,这种局面已经发生了巨大变化。数字集成电路的设计和制造成本已经显著降低,并且,随着自动化设计工具链的不断丰富以及可复用模块的广泛应用,设计周期也在不断缩短。

在集成电路制造领域,有个著名的预言。在 20 世纪 60 年代,Gordon Moore 预见能够在单个芯片上集成的晶体管数量将随时间按指数规律增长,我们称之为摩尔定律。从那时到现在,集成电路制造工艺的发展也确实验证了这一预言。目前,22 nm 的集成电路制造生产线已经能够进行量产,单个芯片上能够集成的晶体管数量已经达到数万亿。

集成电路制造工艺的进步带来的变化是多方面的。其中一个变化是,随着单片集成度的提高,我们有能力将更多的电路集成在单个芯片上,使之实现更加复杂的功能。这就意味着,我们有可能将目前由一个计算机系统实现的功能转移到由一颗芯片来实现。智能手机芯片就是一个典型的例子。手机处理器是当前最为复杂、功能最为强大的处理器之一,不仅可以实现传统处理器的标量和向量运算,还有专门的加速器用于实时实现音视频编解码、网络信息处理以及显示画面生成等功能。图 1.1

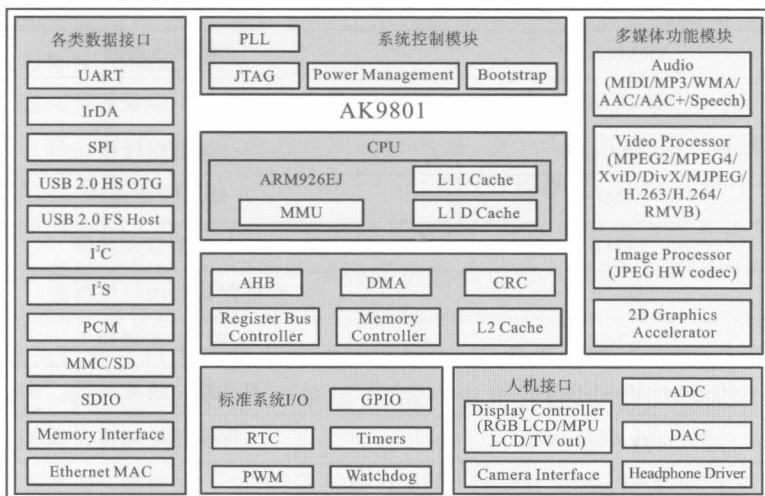


图 1.1 智能手机应用处理器 AK9801 芯片的结构框图

所示的是智能手机应用处理器 AK9801 芯片的结构框图。图 1.1 中各个模块的功能如表 1.1 所示。

表 1.1 AK9801 内各模块功能列表

分 类	模块名称	功能简述
各类数据接口	UART	异步串行通信接口
	IrDA	红外数据接口
	SPI	串行同步外设接口
	USB 2.0 HS OTG	无需 PC 主机的 USB 2.0 高速设备互连接口
	USB 2.0 FS Host	USB 2.0 全速主端接口
	I <sup>2</sup> C	集成电路接线
	I <sup>2</sup> S	集成电路内置音频接线
	PCM	脉冲编码调制接口
	MMC/SD	MMC/SD 卡接口
	SDIO	安全数据 I/O(输入/输出)卡接口
	Memory Interface	外部存储器控制接口
Ethernet MAC	以太网传输层协议模块	
系统控制模块	PLL	锁相环模块,用于对时钟进行分频、倍频、同步等操作
	JTAG	边界扫描控制器
	Power Management	功耗管理模块
	Bootstrap	系统自举模块
中心处理器模块	ARM926EJ	ARM 处理器
	L1 I Cache	一级指令缓存
	L1 D Cache	一级数据缓存
	MMU	存储器管理模块
	AHB	片上高速总线接口
	DMA	直接存储器访问控制器
	CRC	CRC 校验模块
	Register Bus Controller	寄存器总线控制器
	Memory Controller	存储器控制器
L2 Cache	二级缓存	

续表

分 类	模块名称	功能简述
标准系 统 I/O	GPIO	通用 I/O 接口
	RTC	实时时钟
	Timers	定时器模块
	PWM	可编程脉宽调制器
	Watchdog	看门狗电路
多媒体功 能模块	Audio	支持多种数据格式的音频处理模块
	Video Processor	支持多种视频压缩标准的视频处理器
	Image Processor	支持多种图像压缩标准的图像处理器
	2D Graphics Accelerator	二维成像加速引擎
人机接口	Display Controller	支持多种输出格式的显示控制器
	Camera Interface	相机接口
	ADC	模/数转换器
	DAC	数/模转换器
	Headphone Driver	头戴式耳麦启动器

可以看出,处理器 AK9801 包含众多知识产权(intellectual property, IP)模块,除了内嵌 ARM926EJ 处理器核外,还包括音视频协处理器和众多接口模块等。为了应对便携式设备的低功耗需求,功耗管理是手机处理器的必备功能。不仅如此,集成度提高带来的单位面积功耗增加,使得在作为非便携式应用的大规模集成电路中,功耗管理亦成为标配功能之一。

集成度提高带来的另一个显著变化是集成电路芯片结构的变化。用于数字信号处理的集成电路芯片不再是单纯的专用硬件电路,即 ASIC,而更多的则是将专用处理模块与中央处理器(central processing unit, CPU)相结合,集成在单个芯片内部,通过软件和硬件协同工作的方式完成更加复杂的任务。其中典型代表仍然是手机芯片。在进行音视频编解码时,完整的编解码功能通过处理器软件调用专门的硬件编解码模块来实现。这样的系统统称片上系统(system on chip, SoC)。SoC 通常包括以下部分:以执行程序指令为特点的微处理器核、专用硬件加速模块、实现各模块互连的片上总线、可配置加速器、模拟量输入/输出模块、内嵌存储器和通用外设接口。SoC 的典型结构如图 1.2 所示。

在一款 SoC 中,图 1.2 所示的各种模块可以不同时具备,但是微处理器核、片上总线和专用硬件加速模块是每款 SoC 的基本组成部分。



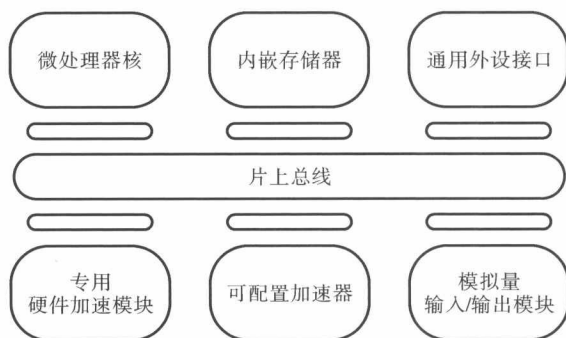


图 1.2 SoC 的典型结构

集成电路制造技术的发展带来的第三个变化就是集成电路制造成本的降低,特别是对于集成度在百万门级的设计,采用已经成熟并普遍使用的集成电路制造工艺流片,可以显著降低单颗芯片的制造成本。当前来说,180 nm、130 nm 互补金属氧化物半导体(complementary metal oxide semiconductor, CMOS) Logic 工艺可以提供较高的集成度,并且流片费用较低,良品率较高,分摊到单颗芯片的成本较低。

此外,多项目晶圆(multiple project wafer, MPW)项目可以提供低成本의 样片试制。MPW 将来自不同用户的多个设计合并一起流片,分摊一次量产的费用,使得每个用户承担的流片开支显著减少。MPW 通常为每个项目提供 50 颗芯片,也可以根据需要进行工程批流片,提供数百到数千颗不等的芯片。图 1.3 所示的为 MPW 的一部分的显微照片,可以看出硅片上四个不同的设计拼接成一个矩形。

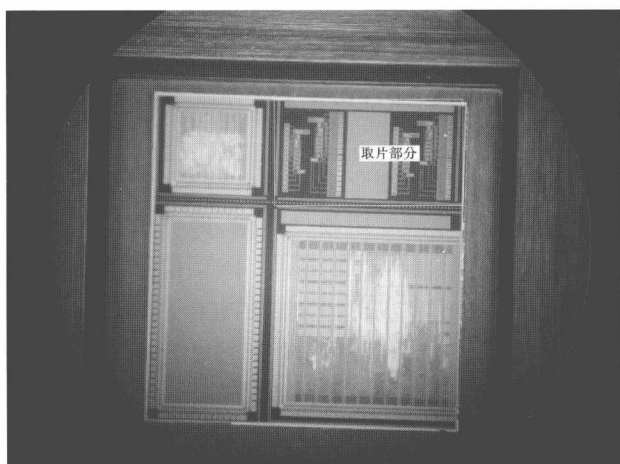


图 1.3 MPW 的一部分

设计并研制数字集成电路的成本投入包括设计成本、样片流片费、封装费、板级验证系统研制费、量产流片费、量产封装费、芯片测试费。在此,我们讨论与流片和封

装有关的成本。下面以中芯国际公司(SMIC)的流片成本为例分析。

流片成本与所采用的工艺和电路的规模有关。目前,SMIC的180 nm混合信号(mixed signal,MS)1P6M(1层多晶硅6层金属布线)工艺提供的 $5\times 5\text{ mm}^2$  MPW项目流片费为13万元,每个参加MPW的项目可以获得50颗芯片。按照集成度估计,50万门左右的项目面积大约为 $5\text{ mm}^2$ ,其MPW流片成本可以控制在4万元以下。倘若参加130 nm Logic工艺MPW项目, $5\times 5\text{ mm}^2$ 的流片费为24.5万元,提高到65 nm Logic工艺,则 $5\times 5\text{ mm}^2$ 的流片费需要77万元。

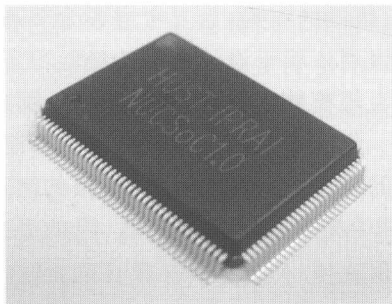


图 1.4 包含 144 引脚的 LQFP 表贴塑封

集成电路的另一部分制造成本为封装成本。图 1.4 所示的普通 LQFP 表贴塑封形式可以提供 276 以内的引脚数,其 MPW 批量封装报价在 3000~7000 元。这样算起来 50 万门级设计的 MPW 项目流片和封装成本在 4.7 万元以内。SMIC 180 nm MS 1P6M 工艺量产最小批次为 25 个晶圆,即 25 个 8 英寸(1 英寸=2.54 厘米,下同)晶圆。一次量产费用为 70 万元,其中光照制板费 50 万元,8 英寸工艺线一次量产最少 25 个晶圆,晶圆的总费用为 15 万元。如果量大,晶圆的总费用按比例增加,光照制板费只收一次。180 nm MS 1P6M 工艺的良品率已经可以达到 90% 以上。这样计算下来,面积为  $5\text{ mm}^2$  的小型 ASIC 的流片成本可以控制在每颗 6~7 元,与购买现场可编程门阵列(field programmable gate array, FPGA)或单片机等微处理器相比,其不仅具有明显的成本优势,还能体现出企业的技术优势。更多引脚数量,或者更高的机械强度和散热要求,将会显著提高封装成本。例如,BGA 封装可以提供数百到数千个引脚,但是其封装成本在 25 万元及以上。

集成电路制造技术的发展还伴随着设计自动化工具的日益成熟。这一点是推进专用数字集成电路广泛应用的关键因素。目前,基于标准单元和存储器模块的半定制数字集成电路自动化设计工具链已经相当完整。结构设计与建模评估、寄存器传输级(register transfer level,RTL)代码设计、功能验证、综合、低功耗设计、可测性设计、布局布线、版图生成、版图优化、寄生参数提取、时序分析、物理验证等各环节均有自动化工具进行支持。设计人员遵循同步电路设计准则,对设计进行合理约束,经过完整的物理验证和时序分析等步骤,其流片结果与版图仿真结果的偏差非常小。也就是说,经过充分功能验证、物理验证和时序分析的数字设计,可以认为流片失败的概率非常低。基于电子设计自动化(electronics design automation,EDA)工具的半定制设计中,设计者可以将注意力更多地集中在电路结构设计、RTL 代码设计、功能验证等前端设计环节,而不必过多关心综合之后的物理设计流程。物理设计基本上是程序化过程,尤其在使用特征尺寸大于 90 nm 的工艺时,前端设计与后端设计基

本可以剥离。这有助于降低数字集成电路设计的难度。可以说,能够进行 FPGA 设计的人员就能够较容易地开展数字集成电路前端设计。与此相反的是,模拟集成电路设计自动化在数十年间的发展非常有限,设计人员仍然需要关注每个晶体管的尺寸、版图的布局,需要考虑各个节点的电流、电压、寄生参数,从而使模拟集成电路设计强烈依赖于设计人员的经验积累。因此,可以较容易地完成上千万个晶体管构成的大规模数字集成电路的设计,而却很难实现数百个晶体管的模拟集成电路设计。

集成电路制造工艺的成熟和制造成本的下降,以及数字集成电路自动化设计工具的完善,使得数字集成电路的制造成本和技术门槛降低,越来越多的系统通过设计 ASIC 提高系统的集成度、降低系统的功耗、提高系统的技术层次、保护自主知识产权。

## 1.2 图像处理领域对专用硬件电路的需求

在图像处理领域,尤其是需要实时处理图像的领域,例如,目前迅速发展的机器人、自动驾驶等人工智能领域,由于需处理的数据量大、算法计算量大,故对系统的实时数据处理能力有非常高的要求。以红外自动目标识别系统为例,需要对红外图像序列进行多个环节的处理,包括但不限于红外图像非均匀性校正、图像降噪、背景干扰抑制、目标增强、图像分割、图像连通域标记、区域特征提取、目标识别和目标跟踪等。根据被处理数据的类型,这些环节大致可以分为低、中、高三个层次,如图 1.5 所示。



图 1.5 红外自动目标识别系统图像信息处理典型流程

### 1.2.1 图像低层处理算法

图像低层处理算法以各类预处理算法为代表,例如:红外图像非均匀性校正、图像降噪、背景干扰抑制、目标增强、图像分割、图像连通域标记等。其特点是算法较为成熟,计算环节的通用性强。例如,在对不同目标进行检测识别的流程中,图像降噪环节的基本运算多为卷积、中值等基于窗口的空域滤波算法,如式(1.1)所示的二维卷积运算。

$$O(x, y) = \sum_{i, j} T(i, j) \cdot I(x + i, y + j) \quad (1.1)$$

$$\forall (i, j) \in R \times S, \forall (x, y) \in (M - R + 1) \times (N - S + 1)$$