

电子信息 · **EI** 精品

EDA 应用技术

Cadence

高速电路板设计与仿真 (第6版) ——信号与电源完整性分析

周润景 任自鑫 编著

非外借



中国工信出版集团



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

EDA 应用技术

Cadence 高速电路板设计与仿真

(第 6 版)

——信号与电源完整性分析

周润景 任自鑫 编著



电子工业出版社

Publishing House of Electronics Industry

北京·BPHINC

内 容 简 介

本书以 Cadence Allegro SPB 17.2 为基础, 以具体的高速 PCB 为范例, 详尽讲解了 IBIS 模型的建立、高速 PCB 的预布局、拓扑结构的提取、反射分析、串扰分析、时序分析、约束驱动布线、差分对设计、板级仿真、AMI 生成器、仿真 DDR4 等信号完整性分析, 以及集成直流电源分析、分析模型管理器、协同仿真、2.5D 内插器封装的热分析、AMM 和 PDC 的结合等电源完整性分析内容。

本书适合对高速 PCB 设计有一定基础的中、高级读者阅读, 也可作为高等学校相关专业及培训机构的教学用书。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有, 侵权必究。

图书在版编目 (CIP) 数据

Cadence 高速电路板设计与仿真: 信号与电源完整性分析 / 周润景, 任自鑫编著. —6 版. —北京: 电子工业出版社, 2019.6

(EDA 应用技术)

ISBN 978-7-121-36777-9

I. ①C… II. ①周… ②任… III. ①印刷电路—计算机辅助设计②印刷电路—计算机仿真 IV. ①TN410.2

中国版本图书馆 CIP 数据核字 (2019) 第 110169 号

策划编辑: 张 剑 (zhang@phei.com.cn)

责任编辑: 刘真平

印 刷: 天津嘉恒印务有限公司

装 订: 天津嘉恒印务有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1092 1/16 印张: 25.75 字数: 659.2 千字

版 次: 2006 年 4 月第 1 版

2019 年 6 月第 6 版

印 次: 2019 年 6 月第 1 次印刷

定 价: 88.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888, 88258888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

本书咨询联系方式: zhang@phei.com.cn。

序 言

Allegro PCB 产品是 Cadence 公司在 PCB 设计领域的旗舰产品，因其功能强大、易学易用，得到了广大电子工程师的厚爱。

Allegro PCB 产品涵盖了完整的 PCB 设计流程，包括电路图输入、PCB 编辑及布线、PCB 板级系统电源完整性及信号完整性分析、PCB 设计制造分析，以及 PCB 制造输出等。

电子工程领域的 PCB 设计有难有易，Cadence 公司为了适应不同的市场需求，分别提供如下几个集成的、从前端到后端的 Allegro PCB 设计解决方案，帮助用户应对不同设计的要求。

☺ Allegro OrCAD 系列：满足主流用户 PCB 设计要求。

☺ Allegro L 系列：适用于对成本敏感的小规模到中等规模的团队，同时具有随着工艺复杂度增加而伸缩的灵活性。

☺ Allegro XL/GXL 系列：满足先进的高速、约束驱动的 PCB 设计，依托 Allegro 具有鲜明特点的约束管理器管理解决方案，能够跨设计流程同步管理电气约束，如同一个无缝的过程。

面对日益复杂的高速 PCB 设计要求，Cadence 公司的上述产品包提供的都是一个统一且集成的设计环境，能够让电子工程师从设计周期开始到布线持续解决高速电路设计问题，以提高电子工程师的设计效率。

由于 Allegro PCB 软件功能强大，本书的作者周润景教授总结了多年的 Allegro 平台工具教学和使用心得，在结合《Cadence 高速电路板设计与仿真》前 5 版经验的基础上，特意将 Allegro PCB 拆分成两本书来写，即《Cadence 高速电路板设计与仿真（第 6 版）——原理图与 PCB 设计》和《Cadence 高速电路板设计与仿真（第 6 版）——信号与电源完整性分析》，以满足不同层级读者的需要。这两本书分别以 PCB 物理设计及 PCB 分析为出发点，围绕 Allegro PCB 这个集成的设计环境，按照 PCB 最新的设计流程，通俗易懂地讲解利用 Allegro PCB 软件实现高速电路设计的方法和技巧。

作为 Cadence Allegro/OrCAD 在中国的合作伙伴，我向各位读者推荐此书作为学习 Allegro/OrCAD 的桌面参考书。

北京迪浩永辉技术有限公司技术经理 王鹏

前 言

随着现代科学技术的飞速发展，器件的集成度大规模提高，同时各类数字器件的信号沿越来越陡，已经可以达到纳秒（ns）级，甚至更小。如此高速的信号切换对于系统设计者而言，需要考虑在低频电路设计中所不需要考虑的信号完整性（Signal Integrity）问题，如延时、串扰、反射及传输线之间的耦合情况等。同时，许多系统的工作频率也很高，达到数百兆赫兹（MHz）甚至吉赫兹（GHz），以适应人们对于大量数据的处理需求，如图像数据处理、音频处理等。这就要求在电路设计中要仔细研究所有可能导致信号完整性的因素和条件，并且在完成 PCB 设计前将这些问题加以完善解决，这样可以及时发现问题并加以修正，提高系统的工作性能，缩短系统的研发周期，减少系统的投入，提高产品的竞争力。从广义上讲，信号完整性问题主要包括延时、反射、串扰、同步开关噪声（SSN）和电磁兼容性（EMC）等。

电源完整性（Power Integrity）是指系统供电电源在经过一定的传输网络后，在指定器件端口处相对于该器件工作电源要求的符合程度，它是目前高速嵌入式系统设计的主要问题之一。特别是最近 10 年来，随着芯片内集成的晶体管门数增加，器件所消耗的功率和电流增大，以及器件的供电电压降低，使得电源完整性成为高速电路设计的瓶颈之一。同时，随着系统的时钟频率越来越高、边沿切换时间越来越短，同步开关噪声或地弹噪声通过电源分布网络进行传播，导致信号完整性、电源完整性及电磁兼容性问题越来越严重。

Cadence 公司致力于全球电子设计技术创新，并在当今集成电路设计和电子产品设计中发挥了核心作用。采用 Cadence 软件来设计和验证消费电子产品、网络和通信设备，以及计算机系统上的尖端半导体器件、PCB 等，已越来越成为业界的潮流。Cadence 公司的电子设计自动化（Electronic Design Automation, EDA）产品涵盖了电子设计的整个流程，包括系统级设计，功能验证，IC 综合及布局布线，模拟、混合信号及射频 IC 设计，全定制集成电路设计，IC 物理验证，PCB 设计和硬件建模仿真等。同时，Cadence 公司还提供详细的技术支持，帮助客户优化其设计流程；提供设计外包服务，协助客户进入新的市场领域。如今，全球知名半导体与电子系统公司均将 Cadence 软件作为其设计的标准工具软件。目前，Cadence 公司已经收购 Sigrity 公司，并且将 Sigrity 分析技术与 Cadence Allegro 和 OrCAD 设计工具高效组合，为业界带来新一代的信号与电源协同分析设计和验证工具。

基于以上的认识，我们对本书各章节做了相应的安排。本书具有如下 4 个特点。

1) 时效性 本书结合当今世界上高速电路板设计的最新研究成果，对最新版本 Cadence 高速电路板设计与仿真软件（Cadence Allegro SPB 17.2）的最新功能进行了研究。

2) 理论与软件操作相结合 将信号完整性及电源完整性理论分析研究与 Cadence 软件的 PCB SI 中的信号完整性工具（Allegro Sigrity SI）及电源完整性工具（Allegro Sigrity PI）相结合，对高速电路设计中存在的信号完整性问题和电源完整性问题进行了分析和研究，并提出了相应的解决方法。

3) 与设计实例相结合 本书结合了 Altera 公司的 STRATIX GX 开发板、DDR 板卡与 STRATIX GX 开发板的互联系统、PCI 板卡等设计实例, 对其中的信号完整性和电源完整性问题进行了分析与研究, 使读者在掌握理论与软件操作的同时将其应用到实际设计中。

4) 系统性与独立性 本书基本上涵盖了高速电路板设计中信号完整性与电源完整性分析的基本问题, 读者既可以把本书作为教材来系统性地学习, 同时也可以将其当作工具书有针对性地阅读其中的某一章或某几章, 从而满足不同层次、不同水平的阅读需求。

本书第 6 版和第 5 版的最大区别是, 第 5 版所基于的软件平台是 Cadence 16.6 版本, 而第 6 版所使用的软件平台是 Cadence 17.2 版本, 同时也需安装 Sigrity 2016 软件。在功能和性能上较旧版有较大的改变, 其中最主要的改变在于将 Sigrity 软件的仿真分析功能嵌入到 Cadence 软件之中。书中第 1 章为基础知识, 第 2~5 章为 Cadence 17.2 及旧版本所共有的功能, 第 6~9 章增加了信号完整性的部分新功能, 讲解了如何建立 AMI 模型和仿真分析 DDR4, 第 10~13 章增加了电源完整性的部分新功能, 且与旧版本的操作方法有着本质的区别, 通过实例讲解, 方便用户对两者有更深入的了解。第 6 版更侧重于高速电路板的设计与分析, 增加了其相应内容的基础理论与软件操作, 同时对第 5 版中的大部分 PCB 设计实例做了更改, 本书第 6~13 章均使用新的 PCB 设计实例。

本书主要分为信号完整性分析与电源完整性分析两大部分, 每一部分又可分为基础理论与软件操作。本书由周润景、任自鑫编著。其中, 任自鑫编写了第 10 章和第 12 章, 周润景编写了其他章节。全书由周润景教授统稿。另外, 参加本书编写的还有张红敏和周敬。

本书的出版得到了 Cadence 公司中国代理商——北京迪浩永辉技术有限公司执行董事黄胜利先生、技术经理王鹏先生和电子工业出版社张剑先生的大力支持, 也有很多读者提出了宝贵的意见, 在此一并表示感谢!

为了便于读者阅读、学习, 特提供本书所讲实例下载资源, 请访问华信教育资源网 (<http://www.hxedu.com.cn>) 下载。

由于 Cadence 公司的 PCB 工具性能非常强大, 不可能通过一本书完成全部内容的详尽介绍, 加上时间与水平有限, 不妥之处还望指正。

编著者

目 录

第1章	高速 PCB 设计知识	1
1.1	课程内容	1
1.2	高速 PCB 设计的基本概念	1
1.3	PCB 设计前的准备工作	15
1.4	高速 PCB 布线	19
1.5	布线后信号完整性仿真	20
1.6	提高抗电磁干扰能力的措施	21
1.7	测试与比较	22
1.8	混合信号布局技术	22
1.9	过孔对信号传输的影响	24
1.10	一般布局规则	27
1.11	电源完整性理论基础	27
	思考与练习	41
第2章	仿真前的准备工作	42
2.1	分析工具	42
2.2	IBIS 模型	46
2.3	验证 IBIS 模型	49
2.4	预布局	62
2.5	PCB 设置	66
2.6	基本的 PCB SI 功能	84
	思考与练习	88
第3章	约束驱动布局	89
3.1	相关概念	89
3.2	信号的反射	90
3.3	串扰分析	96
3.4	时序分析	99
3.5	分析工具	107
3.6	创建总线	112
3.7	预布局拓扑提取和仿真	115

3.8	前仿真时序	148
3.9	模板应用和约束驱动布局	161
	思考与练习	189
第 4 章	约束驱动布线	190
4.1	手工布线	190
4.2	自动布线	196
	思考与练习	201
第 5 章	差分对设计	202
5.1	建立差分对	202
5.2	仿真前的准备工作	204
5.3	仿真差分对	214
5.4	差分对约束	226
5.5	差分对布线	229
5.6	后布线分析	233
	思考与练习	238
第 6 章	模型与拓扑	239
6.1	设置建模环境	239
6.2	调整飞线显示与提取拓扑	246
	思考与练习	254
第 7 章	板级仿真	255
7.1	预布局	255
7.2	规划线束	258
7.3	后布局	264
7.4	tabbed 布线及背钻	269
	思考与练习	276
第 8 章	AMI 生成器	277
8.1	配置编译器	277
8.2	Tx AMI 模型	278
8.3	Rx AMI 模型	284
	思考与练习	296
第 9 章	仿真 DDR4	297

9.1	使用 SPEED2000 提取模型	297
9.2	使用 SystemSI 提取模型	303
9.3	使用 SystemSI 对 DDR4 进行仿真	308
9.4	额外练习	318
	思考与练习	320
第10章	集成直流电源解决方案	321
10.1	直流电源的设计和分析	321
10.2	交互式运行直流分析	322
10.3	加载仿真结果报告和 DRC 标记	329
10.4	设置的复用	334
10.5	基于 Batch 模式运行 PowerDC	342
10.6	去耦电容的约束设计和信息回注	346
10.7	在 PFE 中生成 PICSet	346
10.8	在约束管理器中分配 PICSet	352
10.9	放置去耦电容	353
10.10	在 OPI 中电容的最优化分布和最优化分布数据输出	353
10.11	在 PI Base 中去耦电容的放置和更新	356
	思考与练习	357
第11章	分析模型管理器和协同仿真	358
11.1	在 PDC-Lite 中对于 DC Settings AMM 的使用	358
11.2	增量布局更新	363
11.3	封装信息的协同提取	366
11.4	对于提取出的模型的协同仿真	369
	思考与练习	375
第12章	2.5D 内插器封装的热分析	376
12.1	利用配置文件创建层叠模型	376
12.2	手动创建层叠模型	383
	思考与练习	389
第13章	其他增强及 AMM 和 PDC 结合	390
13.1	电热分析设置的增强	390
13.2	基于 AMM 的 PDC Settings	397
	思考与练习	400
	参考文献	401

第1章 高速 PCB 设计知识



学习目标

通过本章的学习，读者应该初步了解高速 PCB 的基本概念，以及高速 PCB 设计中应遵循的基本法则，为以后学习、使用 Cadence 信号完整性及电源完整性工具打下理论基础。

1.1 课程内容

现代的电子设计和芯片制造技术正在飞速发展，电子产品的复杂度、时钟和总线频率等都呈快速上升趋势，但系统的电压却不断降低，所有的这一切加上产品投放市场的时间要求，给设计师带来了前所未有的巨大压力。要想保证产品的一次性成功，就必须能预见设计中可能出现的各种问题，并及时给出合理的解决方案。对于高速数字电路来说，最令人头痛的莫过于如何确保瞬时跳变的数字信号通过较长的一段传输线还能被完整地接收，并保证良好的电磁兼容性，这就是目前颇受关注的信号完整性（SI）问题。本章就围绕信号完整性的问题，让大家对高速电路有个基本的认识，并介绍一些相关的基本概念。本章的主要学习内容

- ① 高速 PCB 设计的基本概念。
- ② 高速 PCB 设计前的准备工作。
- ③ 高速 PCB 布线应该遵循的基本准则。
- ④ 高速 PCB 布线后的信号完整性分析及其改进方法。

1.2 高速 PCB 设计的基本概念

1. 电子系统设计所面临的挑战

在电子系统中，需要各种长度的布线。在这些布线上，信号从线的始端（如信号源）传输到终端（如负载）需要一定的时间。已经证实，电信号在分布良好的导线中的传输速度为 $3 \times 10^8 \text{ m/s}$ 。假设布线的长度为 5m，信号从始端到终端就需要 17ns，也就是说，信号存在 17ns 的延时。这种延时在低速系统中可以被忽略，但在高速系统中，这个数量级的延时是不能被忽略的。高速门电路（如 74TTL 系列数字集成电路）的平均延时只有几纳秒，ECL 数字集成电路的延时可达 1~2ns，CPLD/FPGA 的延时则更小。可见，在这些高速电路系统中，PCB 的线上延时是不能被忽略的。高速 PCB 设计还需考虑其他的问题，例如，当信号

在导线上高速传输时, 如果始端阻抗与终端阻抗不匹配, 将会出现电磁波的反射现象, 它会使信号失真, 产生有害的干扰脉冲, 从而影响整个系统运行。因此, 在设计高速 PCB 时, 信号延时的问题必须认真考虑, 电路分析需要引入 EMI/EMC 分析, 在这种情况下, 经典的集成电路理论已不再适用, 在电路仿真设计程序中应使用分布电路模型。

目前, 一些 PCB 设计人员总是根据“感觉”来进行 PCB 的设计, 而不是使用适当的方法和规则。而高速的模拟和/或数字电路的设计, 几乎不可能凭“感觉”设计出可靠的电路, 因为仅凭“感觉”进行设计可能导致的结果是:

- ☺ 不可预期的系统行为。
- ☺ 模拟系统传输路径上产生不可接受的噪声。
- ☺ 系统的稳定性和可靠性会因为温度的变化产生很大的差别。
- ☺ 在同一 PCB 上连接的元器件上产生虚假的位错误。
- ☺ 大量的电源和地噪声。
- ☺ 过冲、下冲及短时信号干扰等。

2. 高速电路的定义

通常, 数字逻辑电路的频率达到或超过 50MHz, 而且工作在这个频率之上的电路占整个系统的 1/3 以上, 就可以称其为高速电路。

实际上, 与信号本身的频率相比, 信号边沿的谐波频率更高, 信号快速变化的跳变 (上升沿或下降沿) 引发了信号传输的非预期结果。如果线传播延时大于数字信号驱动端上升时间的 1/2, 则可认为此类信号是高速信号并产生传输线效应。信号的传递发生在信号状态改变的瞬间, 如上升或下降时间。信号从驱动端到接收端经过一段固定的时间, 如果传输时间小于上升或下降时间的 1/2, 那么在信号改变状态前, 来自接收端的反射信号将到达驱动端。否则, 反射信号将在信号改变状态后到达驱动端。如果反射信号很强, 叠加的波形就有可能改变逻辑状态。

3. 高速信号的确定

通常, 通过元器件手册可以查出信号上升时间的典型值。而在 PCB 设计中, 实际布线长度决定了信号的传播时间。如果过孔多、元器件引脚多, 或者网络上设置的约束多, 将导致延时增大。一般情况下, 高速逻辑器件的信号上升时间约为 0.2ns。

以 T_r 表示信号上升时间, T_{pd} 表示信号线传播延时, 若 $T_r > 4T_{pd}$, 信号落在安全区域; 若 $2T_{pd} < T_r \leq 4T_{pd}$, 信号将落在不确定区域; 若 $T_r \leq 2T_{pd}$, 信号将落在问题区域。当信号落在不确定区域或问题区域时, 应该使用高速布线方法进行 PCB 设计。

4. 高速 PCB 设计流程

信号完整性 (Signal Integrity) 是指电路系统中信号的质量。如果在要求的时间内信号能不失真地从源端传送到接收端, 就称该信号是完整的。随着电子技术的不断发展, 各种信号完整性问题层出不穷, 而且可以预见, 今后还会出现更多的问题。所以, 了解信号完整性理论, 进而指导和验证高速 PCB 设计是一件刻不容缓的事情。

传统的 PCB 设计一般经过原理图设计、布局、布线、优化 4 个主要步骤。由于缺乏高

速分析和仿真指导，信号的质量无法得到保证，而且大部分问题必须等到制板测试后才能发现，这就大大降低了设计的效率，增加了成本，显然在激烈的市场竞争下，这种设计方法是很不利的。于是，针对高速 PCB 设计，业界提出了一种新的设计思路，称为“自上而下”的设计方法，这是一种建立在实时仿真基础上优化的高效设计流程，如图 1-2-1 所示。

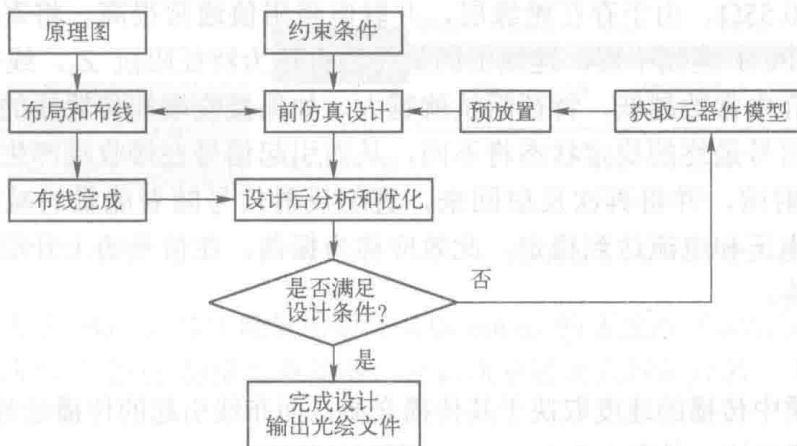


图 1-2-1 高速 PCB 设计流程

从图 1-2-1 可以看出，在完成高速 PCB 设计前，经过多方面的仿真、分析和优化，可以避免绝大部分可能产生的问题。如果依托强大的 EDA 仿真工具，基本上能实现“设计即正确”的目的。

5. 传输线

传输线 (Transmission Line) 是指由两个具有一定长度的导体组成回路的连接线，有时也称为延迟线。PCB 上的传播信号的路径一般可以分为两种，如图 1-2-2 所示。一种是普通意义下的布线，一般认为在任何时段布线上的任意点上的电势都相等；另一种是传输线，要考虑信号传播时的影响，并假定信号在传输时，沿传输线上的每一点都有不同的电势。

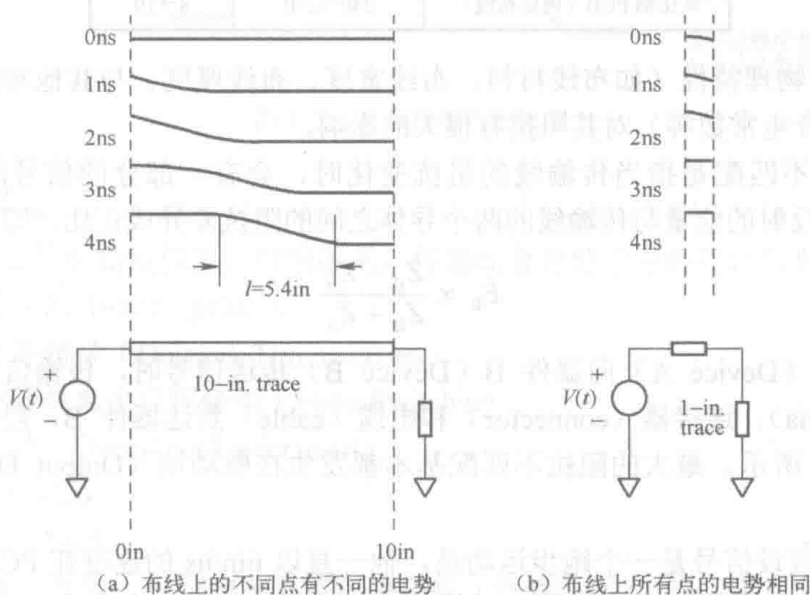


图 1-2-2 两种信号布线

那么什么时候应该将信号路径认为是传输线呢？如果信号传输路径长度大于信号波长的1%，或接收端元器件是边缘敏感的，或者系统没有过冲和下冲容限，则这时认为该传输路径是传输线。在高速 PCB 中，大部分传播信号的路径都是传输线。

一般可以用串联和并联的电容、电阻和电感结构等效 PCB 上的布线。通常串联电阻的典型值为 $0.25 \sim 0.55 \Omega$ 。由于存在绝缘层，并联电阻阻值通常很高。将寄生电阻、电容和电感加到实际的 PCB 连线中后，连线上的最终阻抗称为特征阻抗 Z_0 。线径越窄、电源/地越远或隔离层的介电常数越低，特征阻抗就越大。如果接收端和传输线的阻抗不匹配，那么输出的信号和信号最终的稳定状态将不同，从而引起信号在接收端产生反射。该反射信号将传回信号发射端，并将再次反射回来，直至反射信号随着能量的减弱而幅度随之减小，最终信号的电压和电流达到稳定。此效应称为振荡，在信号的上升沿和下降沿经常可以看到信号的振荡。

6. 阻抗匹配

电信号在介质中传播的速度取决于其传播介质，而布线引起的传播延时与传播介质的介电常数的平方根成正比，见表 1-2-1。

表 1-2-1 传播延时与传播介质的介电常数

介 质	延时/ (ps/in)	介电常数
真空	光速: 84	1.0
空气	85	约 1.0
同轴电缆 (75%的速率)	113	1.8
同轴电缆 (66%的速率)	129	2.3
FR4 PCB (外层布线)	140~180	2.8~4.5
FR4 PCB (内层布线)	180	4.5
氧化铝 PCB (内层布线)	240~270	8~10

PCB 布线的物理特性（如布线材料、布线宽度、布线厚度、与其他布线和平面层的距离、周围材料的介电常数等）对其阻抗有很大的影响。

传输线阻抗不匹配是指当传输线的阻抗变化时，会有一部分的信号能量被反射，如图 1-2-3 所示。反射的能量与传输线的两个导体之间的阻抗差异成正比，即

$$E_R \propto \frac{Z_B - Z_A}{Z_B + Z_A}$$

当由器件 A (Device A) 向器件 B (Device B) 传送信号时，传输信号要经过传输线 (trace)、过孔 (via)、连接器 (connector) 和电缆 (cable) 到达器件 B，经历了多个阻抗变化，如图 1-2-4 所示。最大的阻抗不匹配基本都发生在驱动端 (Output Driver) 和负载端 (Load)。

举例说明：假设信号是一个跑步运动员，他一直以 6 in/ns 的速度在 PCB 上奔跑，并且他经过每块导体时都会改变其电压值。开始时，驱动器给信号一个命令，让他在如图 1-2-4

所示的阻抗为 50Ω 的传输线上开始奔跑，当到达接收器时，发现阻抗变为 $1M\Omega$ ，接收器根据反射系数将其反射回去，反射系数为

$$\frac{Z_L - Z_0}{Z_L + Z_0} = \frac{1000000 - 50}{1000000 + 50} \approx 1$$

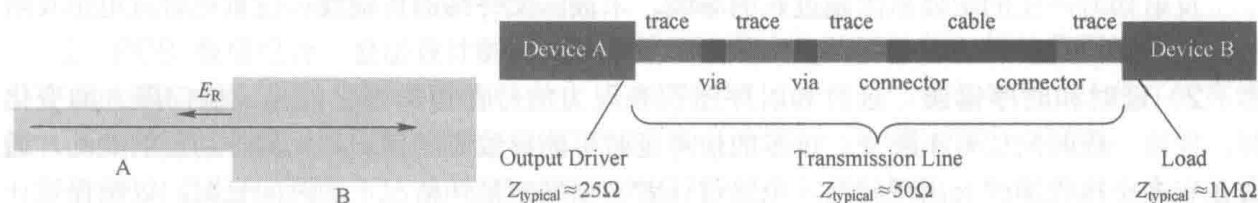


图 1-2-3 阻抗不匹配

图 1-2-4 信号传输路径

这样，带着几乎 100% 的原始能量的信号又以 $6in/ns$ 的速度跑回驱动器，信号在 50Ω 的传输线上返回后遇到了 25Ω 的原始驱动器，他再次被要求返回接收器，但此次信号所携带的能量为

$$\frac{Z_L - Z_0}{Z_L + Z_0} = \frac{25 - 50}{25 + 50} = -\frac{1}{3}$$

也就是说，信号被要求再次返回接收器时所携带的能量为初始时的 $-1/3$ 倍。就这样，当信号再次到达接收器时，又会被反射，以此类推。

若利用示波器观察整个过程，会在示波器上发现如图 1-2-5 所示的图形。

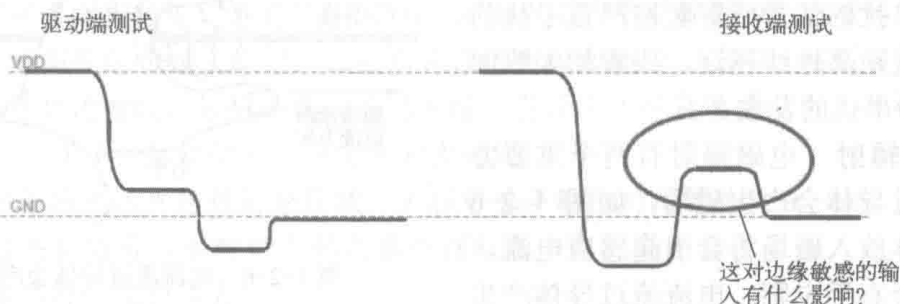


图 1-2-5 示波器观察结果

7. 传输线效应

基于上述定义的传输线模型，归纳起来，传输线会对整个电路设计带来以下效应。

- ☺ 反射信号 (Reflected signals)。
- ☺ 延时和时序错误 (Delay & Timing errors)。
- ☺ 多次跨越逻辑电平门限错误 (False Switching)。
- ☺ 过冲与下冲 (Overshoot/Undershoot)。
- ☺ 串扰 (Crosstalk)。
- ☺ 电磁辐射 (EMR)。

1) 反射信号 如果一根布线没有被正确终结 (终端匹配)，那么来自于驱动端的信号脉

冲在接收端将被反射,从而引发不可预期的效应,使信号轮廓失真。当失真变形非常显著时,可导致多种错误发生,引起设计失败。同时,失真变形的信号对噪声的敏感性增加了,也会引起设计失败。如果上述情况没有被充分考虑,EMI将显著增加,这就不仅影响自身设计结果,而且还会造成整个系统的失败。

反射信号产生的主要原因是过长的布线、未被匹配终结的传输线、过量电容或电感及阻抗失配。

2) 延时和时序错误 延时和时序错误表现为信号在逻辑电平的高、低门限之间变化时,保持一段时间信号不跳变。过多的信号延时可能导致时序错误和元器件功能的混乱,通常在有多个接收端时会出现问题。电路设计者必须确定最坏情况下的时间延时,以确保设计的正确性。信号延时产生的原因包括驱动过载和布线过长。

3) 多次跨越逻辑电平门限错误 信号在跳变的过程中可能多次跨越逻辑电平门限,从而导致这一类型错误的发生。多次跨越逻辑电平门限错误是信号振荡的一种特殊形式,即信号的振荡发生在逻辑电平门限附近,多次跨越逻辑电平门限将导致逻辑功能紊乱。

4) 过冲与下冲 布线过长或信号变化太快,可以导致过冲与下冲的发生。虽然大多数元器件接收端有输入保护二极管保护,但有时这些过冲电平会远远超过元器件电源电压范围,仍会导致元器件的损坏。

5) 串扰 在一根信号线上有信号通过时,在PCB上与之相邻的信号线上就会感应出相关的信号,这种现象称为串扰。异步信号和时钟信号更容易产生串扰。解决串扰的方法是移开发生串扰的信号或屏蔽被严重干扰的信号。信号线距离地线越近,或者加大线间距,可以减少串扰的发生。

6) 电磁辐射 电磁辐射有两个重要方面:电流流过导体会产生磁场,如图1-2-6所示;将导体放入磁场将会引起感应电流。这两方面符合右手定则。电流流过导体产生的磁场强度受导体形状影响,反之亦然。

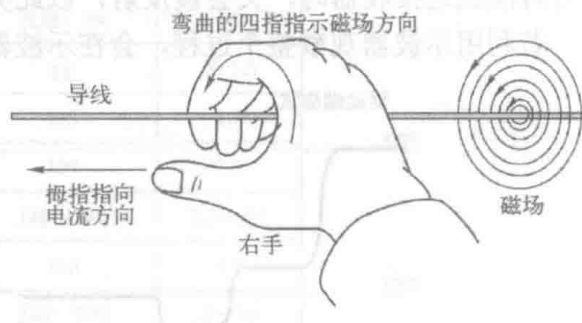


图 1-2-6 电流流过导体会产生磁场

电磁干扰(Electro-Magnetic Interference, EMI)通常是指设计中不希望出现的电磁辐射。电磁干扰包括产生过量的电磁辐射和对电磁辐射的敏感性两个方面。EMI表现为在数字系统由于处理周期和快速的时钟及转换率,致使系统加电运行时,会向周围环境辐射电磁波,从而使周围环境中正常工作的电子设备受到干扰,特别是模拟电路,由于其本身的高增益功能,成为易受影响的电路。EMI产生的主要原因是电路工作频率太高及布局、布线不合理。目前已有进行EMI仿真的软件工具,但大都很昂贵,且仿真参数和边界条件设置又比较困难,直接影响了仿真结果的准确性和实用性。通常可在设计的每个环节应用控制EMI的各项设计规则,以达到控制EMI的目的。

8. 其他 PCB 基础概念

1) PCB 计量单位 PCB的计量单位通常是英制单位,而不是公制单位。

- ☉ PCB 外形尺寸单位通常是 in。
- ☉ 介质厚度、导体长度和宽度的单位通常是 in 或 mil。

$$1\text{mil} = 0.001\text{in} \quad 1\text{mil} = 0.0254\text{mm}$$

- ☉ 导体厚度的单位为盎司 (oz, 金属导体的质量是指 1in^2 材料的质量), 常用厚度为
 $0.5\text{oz} = 17.5\mu\text{m}$ $1.0\text{oz} = 35.0\mu\text{m}$ $2.0\text{oz} = 70.0\mu\text{m}$ $3.0\text{oz} = 105.0\mu\text{m}$

2) PCB 叠层设计 叠层设计的好坏将直接影响整个电路的性能。好的叠层设计不仅可以有效地提高电源质量, 减少串扰和 EMI, 还能节约成本, 为布线提供便利, 这是任何高速 PCB 设计者都必须首先考虑的问题。总体来说, 叠层的设计要尽量遵循以下规则。

- ☉ 覆铜层最好成对设置, 如 6 层板的第 2 层与第 5 层, 或者第 3 层与第 4 层要一起覆铜, 这是考虑到工艺上平衡结构的要求, 因为不平衡的覆铜层可能会导致 PCB 膨胀时的翘曲变形。
- ☉ 最好每个信号层都能和至少一个覆铜层紧邻, 这有利于阻抗控制和提高信号质量。
- ☉ 缩短电源和地层的距离, 可以降低电源的阻抗。
- ☉ 在高速情况下, 可以加入多余的地层来隔离信号层, 但建议不要多加电源层来隔离, 因为电源层会带来较多的高频噪声干扰。

但实际情况中, 上述规则往往不可能同时满足, 这时就要根据实际情况考虑一种相对来说比较合理的解决办法。下面根据层数的不同来分析几种典型的叠层设计方案。

(1) 单面板和双面板: 单面板一般应用于很低频 (200kHz 以下) 的电路系统设计, 如简单仪器、工程控制板等。由于没有较大区域进行覆铜, 一般都采用总线形式的电源和地供应系统, 因而回流面积较大, 容易产生 EMI, 同时也很容易受外界 RF 电磁场和静电放电的影响。在进行单面板的布线设计时, 一般首先设计电源和地线的结构, 然后进行少量高速信号的布线, 尽量靠近地线, 最后布剩余的信号线。设计中要尽量遵循以下 5 个原则。

- ☉ 重要的布线 (如时钟信号) 一定要紧靠地线。
- ☉ 布局时根据元器件特性划分区域, 如将对噪声敏感的元器件放在一起。
- ☉ 将包含关键信号 (如时钟) 的元器件摆放在一起, 高速信号之间, 以及和其他信号之间要保持一定的隔离。
- ☉ 如果有不同的地 (模拟地和数字地), 要分开处理, 一般采用单点接地。
- ☉ 电源和地线尽可能靠近, 减小各种电流回路的面积。

图 1-2-7 所示的做法是不可取的, 电源和地线离得较远, 很多区域回路面积很大。同时, 由于电源和地交错, 信号布线的区域被限制, 只能从元器件中间布线, 增加了干扰。可以参考图 1-2-8 中所示的布线方式。

与单面板相比, 双面板增加了一层布线空间, 优化了电源和地的设计, 所以性能也有所提高。较常见的设计是表层设计为电源+信号, 底层为地+信号, 电源和地可以采用交叉总线的结构, 也可以采用大面积覆铜的形式, 具体情况视实际布线空间而定。还有一种较好的设计思路是, 每一层面都按照单面板的设计要求来实现, 然后进一步调整优化, 如加粗电源/地线, 空余地方大面积覆铜等。

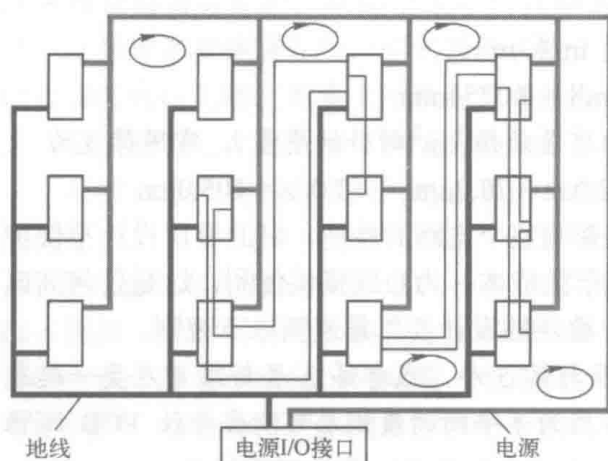


图 1-2-7 较差的单面板设计

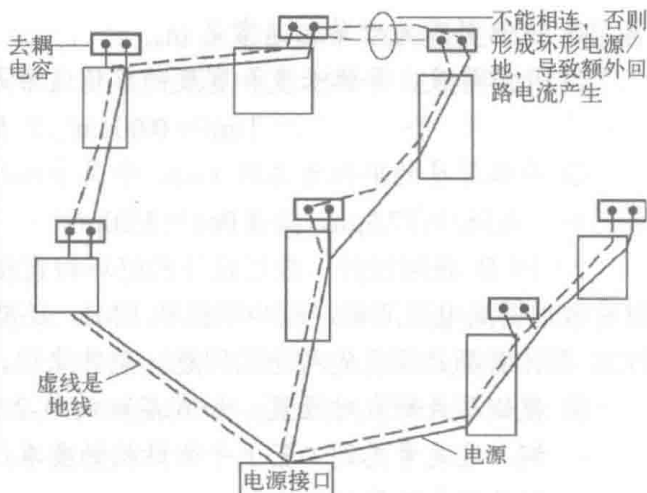


图 1-2-8 较好的单面板设计



注意

双面板和单面板一样，都不符合 EMC 的要求，因为虽然信号布线下方（背面）可能存在参考平面，但是由于 PCB 太厚（大概 62mil），RF 信号的回流很少通过低电感的参考平面，从而产生较强的电磁辐射。

(2) 4 层板：4 层以上的 PCB 一般都能保证良好的 EMC 和其他电气性能，所以对于较高速的电路设计，一定要求采用多层板。4 层板的设计大致有两种形式：一是均匀间距，另一种是非均匀间距。4 层板的结构如图 1-2-9 所示。

对于均匀间距的设计来说，最大的优点在于电源和地之间的间距很小，可以大幅度降低电源的阻抗，提高电源的稳定性；但缺点在于两层信号层的阻抗高，通常为 $105\sim 130\Omega$ ，而且由于信号层和参考平面之间的间距较大，增加了信号回流的面积，EMI 较强。而采用了后一种非均匀间距的设计，就可以较好地进行阻抗控制，信号靠近参考平面也有利于提高信号的质量，减少 EMI，唯一的缺点就是电源和地之间的间距太大，造成电源和地的耦合减弱，阻抗增加，但这一点可以通过增加旁路电容来改善。实际高速电路设计一般要求进行阻抗控制和提高信号质量，所以较多采用非均匀的 4 层板设计，两层信号层的空白区域也可以进行大面积的铺地处理。



图 1-2-9 4 层板的结构

还有一种较为特别的设计是表层和底层作为地和电源层，而中间两层作为信号布线层，这对 EMI 抑制和散热等方面较为有利，但是也带来很多不良的效果，如很难进行测量和调