



教育部高等学校电子信息类专业教学指导委员会规划教材
高等学校电子信息类专业系列教材

华中科技大学教学改革建设教材
教育部产学合作育人DIGILENT支持项目教材

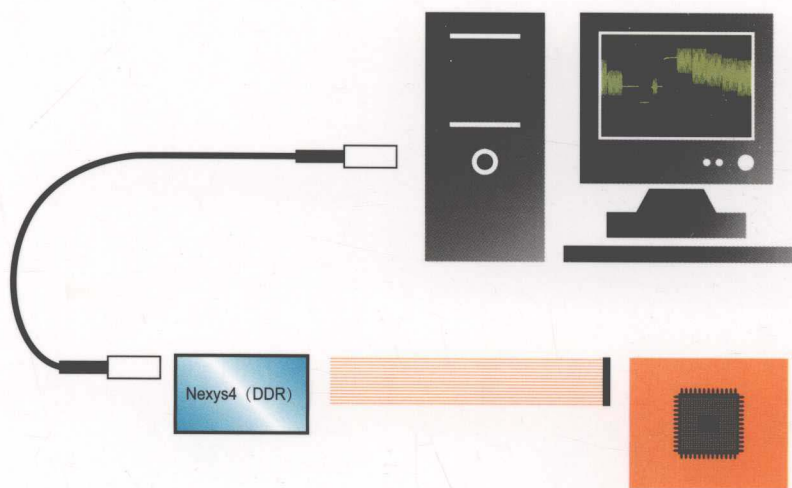
Experiments in Computer Organization and Interface Technology
Based on MIPS Architecture, Second Edition

计算机组成原理与接口技术

——基于MIPS架构

实验教程 (第2版)

左冬红 编著
Zuo Donghong



清华大学出版社

高等学校电子信息类专业教学指导委员会规划教材
校电子信息类专业系列教材

Experiments in Computer Organization and Interface Technology
Based on MIPS Architecture, Second Edition

计算机组成原理与接口技术

——基于MIPS架构

实验教程

(第2版)

左冬红 编著
Zuo Donghong

清华大学出版社
北京

内 容 简 介

本书配合《计算机组成原理与接口技术——基于 MIPS 架构》一书而编写,特点是以实验为主,在简要介绍基本原理的基础上,详细地阐述了各个实验设计、实现等具体过程。本书实验内容分为三部分:MIPS 汇编程序设计、基于 FPGA 的原型计算机系统设计以及基于 IP 核的嵌入式计算机系统设计。本书介绍了 MIPS 模拟器 QtSpim、Mars, Xilinx FPGA 开发套件 Vivado、SDK 等开发工具的使用,并通过一个个具体实验案例,帮助读者在掌握基本原理的基础上,动手实践计算机软硬件接口技术。同时,本书还在各类实验案例基础上设置了不同难易程度的实验任务及思考题,可以满足不同层次的学习需求。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

计算机组成原理与接口技术:基于 MIPS 架构实验教程/左冬红编著.—2版.—北京:清华大学出版社,2019

(高等学校电子信息类专业系列教材)

ISBN 978-7-302-51262-2

I. ①计… II. ①左… III. ①计算机组成原理—实验—高等学校—教材 ②微处理器—接口设备—实验—高等学校—教材 IV. ①TP301-33 ②TP332-33

中国版本图书馆 CIP 数据核字(2018)第 212053 号

责任编辑:盛东亮

封面设计:李召霞

责任校对:李建庄

责任印制:丛怀宇

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社总机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质量反馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

课件下载: <http://www.tup.com.cn>, 010-62795954

印 装 者:三河市龙大印装有限公司

经 销:全国新华书店

开 本:185mm×260mm 印 张:36.5 字 数:890 千字

版 次:2014 年 8 月第 1 版 2019 年 1 月第 2 版 印 次:2019 年 1 月第 1 次印刷

定 价:99.00 元

产品编号:071529-01

前言

PREFACE

华中科技大学电子信息与通信学院“模拟电路与数字系统(三)”课程教学改革已开展6年,成效显著。在教学过程中,也反映出部分问题:第1版实验教程难度跨度较大。因此本版从最基础实验示例入手,逐步深入、综合,以求使读者掌握复杂计算机系统软、硬件设计技术。

为适应华中科技大学电子信息与通信学院“模拟电路与数字系统(三)”课程群贯穿式教学改革要求,本书在第1版基础上对实验内容以及实验平台做了以下调整:

(1) 增加 MIPS 汇编语言模拟器软件 Mars 介绍,该软件相比 QtSpim 更吻合《计算机组成原理与接口技术——基于 MIPS 架构》一书介绍的 MIPS 汇编指令工作原理,同时也更方便用户获取汇编语言程序机器码。

(2) 计算机硬件系统开发采用 Vivado 平台,更能适应 Xilinx FPGA 技术发展趋势。同时增加采用 debug IP 核监测硬件系统的相关内容,以便读者掌握片内硬件系统测试技术,弥补采用 FPGA 设计嵌入式计算机硬件系统导致硬件测试技术教学内容的缺失。

(3) 实验示例实现过程介绍了 Nexys4 DDR 以及 Nexys4 实验板的异同,也阐述了基于实验板以及基于 FPGA 芯片型号的嵌入式计算机硬件系统设计方法。基于实验板的设计方法可以有效缩短硬件系统设计时间,减少设计错误;基于 FPGA 芯片的设计方法可以帮助读者掌握基于任意 FPGA 实验平台的设计技术。

(4) 嵌入式计算机系统 IP 核接口实验部分增加了 DDR2 SDRAM 存储器接口、温度传感器 IIC 接口、加速度传感器 SPI 接口、XADC 并行 AD 转换接口以及存储器与 IO 接口之间 DMA 数据传输实验,覆盖的计算机接口技术更全面。

(5) 用户定义接口 IP 核实验增加了 UART 串行接口、数字语音输入接口、数字语音输出接口等实验示例,为读者掌握将任意硬件描述语言模块封装为计算机接口 IP 核提供了大量实验示例,同时也为读者实现包含语音输入、输出的计算机系统提供了实验范例。

(6) 附录中增加了实验示例中所涉及实验板的用户手册、电路原理图、Vivado 引脚约束文件介绍,为读者完成实验示例提供了便利。同时也增加了以太网接口实验示例,以便读者开发基于 LwIP 开源 TCP/IP 协议栈的网络应用系统。

本书是在华中科技大学电子信息与通信学院程文青副院长主导电路类课程改革的大潮下编写的,参与该类课程教学改革研究以及教学实践的教师对本书编写工作提供了大量宝贵意见,在此表示深深的感谢!本书还得到了2016年Diligent中国有限公司教育部产学合作教学内容和课程体系改革项目的资助,在此一并表示感谢。

对所有为本书进行审阅并提出宝贵意见以及在编写出版过程中给予热情帮助和支持的同志们,在此一并表示衷心的感谢。

由于编者水平有限,加之时间比较仓促,书中错误和不妥之处在所难免,殷切希望使用本教材的师生及其他读者给予批评指正。来信地址:sixizuo@hust.edu.cn。

编 者

2018年12月于华中科技大学

目录

CONTENTS

第 1 篇 MIPS 汇编程序设计

第 1 章 QtSpim 汇编程序开发环境	3
1.1 QtSpim 简介	3
1.2 QtSpim 菜单栏简介	4
1.2.1 File 菜单	4
1.2.2 Simulator 菜单	5
1.2.3 其余菜单	5
1.3 QtSpim 汇编、调试程序示例	7
1.3.1 QtSpim 用户程序入口	7
1.3.2 QtSpim 汇编查错	7
1.3.3 QtSpim 查看程序存储映像	10
1.3.4 QtSpim 调试查错	13
第 2 章 MARS 汇编程序开发环境	17
2.1 MARS 界面简介	17
2.2 MARS 菜单栏简介	19
2.2.1 File 菜单	19
2.2.2 Run 菜单	19
2.2.3 Settings 菜单	20
2.3 MARS 汇编、调试程序	21
2.3.1 汇编语言源程序编辑	21
2.3.2 汇编器	21
2.3.3 查看程序存储映像	22
2.3.4 运行程序	23
第 3 章 MIPS 汇编语言	25
3.1 MIPS 汇编程序结构	25
3.2 系统功能调用	26
3.3 伪指令	26
3.4 常用宏汇编指令	28
第 4 章 MIPS 汇编语言程序示例	32
4.1 常用 C 语句汇编指令实现示例	32

4.1.1	if 语句	32
4.1.2	while 语句	32
4.1.3	for 语句	33
4.1.4	switch 语句	33
4.2	子程序设计示例	35
4.2.1	子程序结构	35
4.2.2	递归子程序设计	36
4.3	MIPS 汇编语言程序设计实验任务	38
4.4	思考题	39

第 2 篇 基于 FPGA 的原型计算机系统设计

第 5 章	Vivado 开发工具简介	43
5.1	FPGA 设计流程简介	43
5.2	EDA 工具 Vivado 简介	44
第 6 章	单周期类 MIPS 微处理器实验	46
6.1	简单指令集 MIPS 微处理器设计	46
6.1.1	MIPS 微处理器数据通路	46
6.1.2	MIPS 微处理器控制器	48
6.2	简单指令集 MIPS 微处理器各模块实现方案	51
6.2.1	存储器	51
6.2.2	寄存器文件	65
6.2.3	运算电路	67
6.2.4	多路复用器	67
6.2.5	位宽扩展	68
6.2.6	控制器	68
6.3	MIPS 微处理器实验实现过程示例	69
6.3.1	实验环境	69
6.3.2	创建工程	70
6.3.3	基于 IP 核新建存储器模块	76
6.3.4	Verilog 语言描述其余模块	86
6.3.5	模块功能仿真	94
6.3.6	顶层模块	100
6.3.7	RTL 分析	101
6.3.8	引脚约束	101
6.3.9	整体仿真	105
6.3.10	MIPS 微处理器综合	114
6.3.11	debug IP 核插入	117
6.3.12	MIPS 微处理器实现	122
6.3.13	下载编程及测试	125
6.4	实验任务	127
6.5	思考题	128

第 7 章 存储器映像 IO 接口设计	130
7.1 存储器映像 IO 接口原理	130
7.2 存储器映像 IO 接口实现方案	133
7.3 实验示例	133
7.3.1 实验设备简介	134
7.3.2 新建项目并添加原有代码	134
7.3.3 新建 IO 接口模块 Verilog 代码	138
7.3.4 IO 接口模块仿真	140
7.3.5 IO 接口模块集成	141
7.3.6 汇编源程序示例	142
7.3.7 输入/输出设备引脚约束	144
7.3.8 下载编程测试	144
7.4 实验任务	146
7.5 思考题	146
第 8 章 VGA 接口设计	148
8.1 VGA 接口显示原理	148
8.1.1 VGA 接口时序	148
8.1.2 VGA 显示控制器	149
8.2 VGA 控制器实现	150
8.2.1 显示存储器	150
8.2.2 计数器	153
8.2.3 控制逻辑	153
8.2.4 显示存储器地址产生	154
8.2.5 视频数据复用器	154
8.2.6 像素时钟产生	155
8.3 实验示例	156
8.3.1 实验要求	156
8.3.2 实验板 VGA 接口简介	156
8.3.3 创建工程并添加已有设计代码	157
8.3.4 显示存储器模块	158
8.3.5 计数器模块	158
8.3.6 控制逻辑模块	159
8.3.7 显示存储器地址产生模块	159
8.3.8 VGA 控制器模块	159
8.3.9 像素时钟产生模块	160
8.3.10 修改 IO 接口模块	160
8.3.11 顶层模块集成	161
8.3.12 汇编控制程序	162
8.3.13 整体功能仿真	162
8.3.14 下载编程测试	163
8.4 实验任务	165
8.5 思考题	166

第3篇 基于IP核的嵌入式计算机系统软硬件设计

第9章 MicroBlaze 嵌入式系统平台	169
9.1 MicroBlaze 软核微处理器	169
9.1.1 MicroBlaze 基本结构	169
9.1.2 MicroBlaze 中断系统	169
9.1.3 MicroBlaze 总线结构	171
9.2 standalone 操作系统	173
第10章 嵌入式最小系统建立流程	176
10.1 嵌入式最小系统硬件构成	176
10.2 最小系统硬件平台搭建	177
10.3 SDK Hello World 程序设计	190
10.4 下载编程测试	194
10.5 实验任务	196
10.6 思考题	196
第11章 C 语言数据类型	197
11.1 C 语言常见数据类型	197
11.2 实验示例	197
11.2.1 C 语言数据类型测试工程	198
11.2.2 C 语言数据类型程序调试	199
11.3 实验任务	206
11.4 思考题	206
第12章 程序控制并行IO接口	207
12.1 并行输入/输出设备	207
12.2 GPIO IP 核工作原理	209
12.3 并行接口电路原理框图	211
12.4 GPIO IP 核配置	213
12.4.1 添加 GPIO IP 核	213
12.4.2 GPIO IP 核属性配置	213
12.4.3 并行外设 GPIO IP 核配置示例	215
12.4.4 GPIO API 函数简介	217
12.5 Xilinx C IO 读写函数	218
12.6 实验示例	218
12.6.1 实验要求	218
12.6.2 电路原理框图	219
12.6.3 硬件平台搭建	219
12.6.4 接口软件开发	222
12.6.5 IO 读写函数程序代码	227
12.6.6 API 函数程序代码	228
12.6.7 实验现象	230
12.7 实验任务	236

12.8 思考题	237
第 13 章 中断方式并行接口	238
13.1 中断系统相关 IP 核	238
13.1.1 AXI INTC 中断控制器	238
13.1.2 AXI Timer 定时计数器	239
13.2 中断相关 IP 核配置	241
13.2.1 中断控制器配置	241
13.2.2 GPIO IP 核中断配置	242
13.2.3 定时计数器配置	242
13.3 IP 核 API 函数	244
13.3.1 中断控制器 API 函数	244
13.3.2 定时计数器 API 函数	246
13.4 中断程序设计	247
13.4.1 总中断服务程序	247
13.4.2 中断程序构成	247
13.5 实验示例	247
13.5.1 实验要求	247
13.5.2 硬件电路原理框图	248
13.5.3 硬件平台建立	248
13.5.4 软件设计	251
13.5.5 IO 读写函数程序代码	254
13.5.6 API 函数程序代码	261
13.5.7 实现现象	266
13.6 实验任务	267
13.7 思考题	268
第 14 章 并行存储器接口	269
14.1 并行 RAM 存储芯片	269
14.1.1 异步 SRAM 存储芯片	269
14.1.2 DDR2 SDRAM 存储芯片	272
14.2 存储器接口 IP 核	275
14.2.1 AXI 外部存储控制器 EMC	275
14.2.2 存储器接口生成器 IP 核 MIG	277
14.3 异步 SRAM 实验示例	284
14.3.1 实验要求	284
14.3.2 电路原理框图	284
14.3.3 硬件平台搭建	285
14.3.4 SRAM 存储器读写测试软件	292
14.3.5 实验现象	295
14.3.6 任意指定存储单元读写程序设计	296
14.4 DDR2 SDRAM 实验示例	297
14.4.1 实验要求	297
14.4.2 电路原理框图	297
14.4.3 硬件平台搭建	297

14.4.4	DDR2 SDRAM 存储器读写测试软件	303
14.4.5	实验现象	305
14.4.6	任意指定存储单元读写程序设计	307
14.5	实验任务	308
14.6	思考题	308
第 15 章	串行接口	310
15.1	串行通信协议简介	310
15.1.1	UART 串行通信协议	310
15.1.2	SPI 串行通信协议	311
15.1.3	Quad SPI 协议	313
15.2	串行通信接口 IP 核原理	313
15.2.1	Uartlite IP 核	313
15.2.2	Quad SPI IP 核	314
15.3	串行通信 IP 核配置	317
15.3.1	Uartlite IP 核配置	317
15.3.2	Quad SPI IP 核配置	317
15.4	SPI 接口外设	319
15.4.1	DA 模块	319
15.4.2	AD 模块	321
15.5	IP 核 API 函数	322
15.5.1	Uartlite API 函数	322
15.5.2	Quad SPI API 函数	324
15.6	实验示例	325
15.6.1	UART 通信	325
15.6.2	SPI 接口 DA 转换	332
15.6.3	SPI 接口 AD 转换	341
15.7	实验任务	349
15.8	思考题	350
第 16 章	DMA 技术	351
16.1	DMA 控制器简介	351
16.1.1	CDMA IP 核基本结构	351
16.1.2	CDMA IP 核寄存器	352
16.1.3	CDMA IP 核简单 DMA 传输流程	353
16.2	实验示例	354
16.2.1	实验要求	354
16.2.2	硬件电路原理框图	354
16.2.3	硬件平台	354
16.2.4	存储器到存储器 DMA 传输控制程序	358
16.2.5	存储器到 IO 接口数据传输控制程序	359
16.2.6	IO 接口到存储器 DMA 数据传输控制程序	359
16.2.7	实验现象	362
16.3	实验任务	364
16.4	思考题	364

第 17 章 自定义 AXI 总线从设备接口 IP 核	365
17.1 AXI 总线从设备 IP 核创建流程和代码框架	365
17.1.1 AXI 总线从设备 IP 核创建流程	365
17.1.2 自定义 IP 核代码框架.....	368
17.2 自定义 AXI 总线简单并行 IO 接口 IP 核实验示例	373
17.2.1 实验要求	373
17.2.2 并行接口 IP 核设计.....	373
17.2.3 并行接口 IP 核测试嵌入式系统.....	375
17.3 自定义 AXI 总线 UART 串行接口 IP 核实验示例	379
17.3.1 实验要求	379
17.3.2 实验条件	379
17.3.3 UART 串行接口 IP 核设计	385
17.3.4 UART IP 核测试嵌入式系统.....	389
17.4 自定义 AXI 总线语音输入/输出接口 IP 核实验示例	392
17.4.1 实验要求	392
17.4.2 实验条件	392
17.4.3 PDM 语音输入 IP 核设计	395
17.4.4 PWM 语音输出 IP 核设计	397
17.4.5 语音输入/输出 IP 核测试嵌入式系统	398
17.5 实验任务	401
17.6 思考题	403
第 18 章 VGA 显示接口	404
18.1 VGA 接口控制器 TFT IP 核	404
18.1.1 工作原理	404
18.1.2 TFT IP 核配置	406
18.1.3 TFT IP 核 API 函数	406
18.2 VGA 接口嵌入式系统	408
18.3 实验示例	408
18.3.1 实验要求	408
18.3.2 硬件平台搭建	408
18.3.3 IO 读写函数输出图形程序示例	413
18.3.4 API 函数输出字符程序示例	413
18.3.5 IO 读写函数输出图像程序示例	414
18.3.6 实验现象	418
18.4 实验任务	419
18.5 思考题	420
第 19 章 传感器	421
19.1 温度传感器 ADT7420	421
19.1.1 ADT7420 结构	421
19.1.2 ADT7420 寄存器	422
19.1.3 ADT7420 写入数据时序	424
19.1.4 ADT7420 读取数据时序	425

19.1.5	复位流程	425
19.1.6	INT 和 CT 输出	426
19.2	加速度传感器 ADXL362	428
19.2.1	ADXL362 基本结构	428
19.2.2	ADXL362 寄存器	429
19.2.3	ADXL362 SPI 接口命令	433
19.2.4	配置流程	434
19.3	AXI IIC IP 核	435
19.3.1	AXI IIC IP 核基本结构	435
19.3.2	AXI IIC IP 核寄存器	435
19.3.3	数据传输控制流程	437
19.4	XADC IP 核	438
19.4.1	XADC IP 核基本结构	438
19.4.2	XADC IP 核寄存器	440
19.4.3	外部模拟信号输入电路	445
19.5	温度和加速度测量实验示例	446
19.5.1	实验要求	446
19.5.2	电路原理框图	446
19.5.3	硬件平台搭建	446
19.5.4	IO 读写函数温度监测程序示例	451
19.5.5	IO 读写函数加速度监测程序示例	470
19.5.6	实验现象	487
19.6	XADC 4 路 AD 转换实验示例	490
19.6.1	实验要求	490
19.6.2	电路原理框图	490
19.6.3	硬件平台搭建	490
19.6.4	API 函数 XADC 控制程序示例	494
19.6.5	实验现象	497
19.7	实验任务	497
19.8	思考题	497

附 录

附录 A	Nexys4 DDR 实验板简介	501
A.1	Nexys4 DDR 实验板整体布局	501
A.2	电源模块	502
A.3	FPGA 编程模式	503
A.4	存储器	503
A.5	100/10Mbps 以太网接口	504
A.6	USB 转 UART 接口	504
A.7	USB HID host 接口	505
A.8	VGA 接口	505
A.9	基本 IO 接口	505

A.10	PMOD 接口	507
A.11	Micro SD 卡插槽	507
A.12	温度传感器	508
A.13	加速度传感器	508
A.14	数字语音输入	508
A.15	单声道数字语音输出	509
附录 B	Nexys4 DDR 实验板 Vivado 引脚约束文件	510
附录 C	Nexys4 实验板简介	513
C.1	Nexys4 实验板整体布局	513
C.2	Nexys4 存储器	514
附录 D	Nexys4 实验板 Vivado 引脚约束文件	515
附录 E	Nexys4 和 Nexys4 DDR 实验板描述文件安装	528
附录 F	Nexys4 DDR 实验板外设接口电路原理图	530
附录 G	Nexys4 实验板外设接口电路原理图	538
附录 H	以太网接口 Echo Server 工程示例	540
H.1	搭建具有以太网的嵌入式系统硬件平台	540
H.2	TCP/IP Server 例程	548
H.3	实验现象	558
附录 I	实验报告要求	562
附录 J	实验报告范例——MIPS 汇编程序设计	563

第 1 篇

PART 1

MIPS 汇编程序设计

为方便读者学习 MIPS 汇编程序设计,本书介绍两种常用 MIPS 汇编程序设计模拟器——QtSpim 和 MARS。

QtSpim 是威斯康星大学麦迪逊分校计算机科学系 James Larus 教授开发的用于 MIPS 汇编程序设计教学的开放源码 MIPS 模拟器。它基于 Qt UI 框架,可运行于 Windows、Mac OS 以及 Linux 操作系统。

MARS 是密苏里州大学计算机科学系开发的用于 MIPS 编程的轻量级交互式开发环境(IDE),开发目的是配合 Patterson 和 Hennessy 教授编写的《计算机组成与设计》(*Computer Organization and Design*)教材教学。MARS 采用 Java 语言编写,源代码开放,界面友好,运行环境需要安装 Java 虚拟机。

本书介绍这两种 MIPS 汇编程序设计模拟器,以便读者根据自身喜好选择合适的 MIPS 汇编程序设计学习工具。这两个工具的下载地址分别如下:

QtSpim: <https://sourceforge.net/projects/spimsimulator/files/>

MARS: <http://courses.missouristate.edu/kenvollmar/mars/>

1.1 QtSpim 简介

QtSpim 是支持完整 MIPS32 指令集的 MIPS 微处理器模拟器,支持 MIPS 宏汇编指令。它可以直接打开并运行 MIPS 汇编指令源程序(扩展名为 .s、.asm、.txt),支持 MIPS 汇编指令程序调试,但不支持执行二进制程序。界面如图 1-1 所示,包含菜单栏、快捷键栏、寄存器显示窗口、内存显示窗口、消息窗口等。



图 1-1 QtSpim 界面布局