

**Analysis and Optimization**  
**on Large-Scale CMOS Integrated Circuits in The Presence**  
**of Parameter Variability:**  
from Circuit-Level to System Level

# 纳米数字集成电路的 偏差效应分析与优化

从电路级到系统级

靳松 韩银和 著

清华大学出版社

靳松 韩银和 著

**Analysis and Optimization  
on Large-Scale CMOS Integrated Circuits in The Presence  
of Parameter Variability:  
from Circuit-Level to System Level**

# 纳米数字集成电路的 偏差效应分析与优化

从电路级到系统级



清华大学出版社  
北京

## 内 容 简 介

晶体管特征尺寸随着制造工艺的进步而不断缩小。这种趋势虽然提高了芯片的性能,却恶化了集成电路的参数偏差效应,对电路在其服役期内的可靠性造成了严重的威胁和挑战。本书主要涉及在纳米工艺下较为严重的晶体管老化效应-负偏置温度不稳定性 and 制造过程中引起的参数偏差。介绍了参数偏差效应产生的物理机制及对电路服役期可靠性的影响,并提出了从电路级到系统级的相应的分析、预测和优化方法。

本书可作为大规模集成电路设计或可靠性设计工程师的参考资料,也可作为电子专业研究生的参考书。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

### 图书在版编目(CIP)数据

纳米数字集成电路的偏差效应分析与优化:从电路级到系统级/靳松,韩银和著. —北京:清华大学出版社,2019

ISBN 978-7-302-52299-7

I. ①纳… II. ①靳… ②韩… III. ①纳米材料—数字集成电路—研究  
IV. ①TN431.2

中国版本图书馆 CIP 数据核字(2019)第 029209 号

责任编辑:鲁永芳

封面设计:常雪影

责任校对:刘玉霞

责任印制:刘海龙

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社 总 机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, [c-service@tup.tsinghua.edu.cn](mailto:c-service@tup.tsinghua.edu.cn)

质量反馈:010-62772015, [zhiliang@tup.tsinghua.edu.cn](mailto:zhiliang@tup.tsinghua.edu.cn)

印 装 者:三河市金元印装有限公司

经 销:全国新华书店

开 本:170mm×240mm 印 张:11.75 字 数:185 千字

版 次:2019 年 6 月第 1 版 印 次:2019 年 6 月第 1 次印刷

定 价:69.00 元

---

产品编号:077730-01

# 目 录

|                   |   |
|-------------------|---|
| 第 1 章 绪论 .....    | 1 |
| 1.1 工艺偏差 .....    | 2 |
| 1.2 NBTI 效应 ..... | 5 |
| 1.3 章节组织结构 .....  | 9 |

## 第一部分 电路级参数偏差分析和优化

|                                 |    |
|---------------------------------|----|
| 第 2 章 国内外研究现状 .....             | 15 |
| 2.1 硅前老化分析和预测 .....             | 15 |
| 2.1.1 反应-扩散模型 .....             | 15 |
| 2.1.2 基于额定参数值的 NBTI 模型 .....    | 17 |
| 2.1.3 考虑工艺偏差的老化统计模型和分析 .....    | 21 |
| 2.2 在线电路老化预测 .....              | 25 |
| 2.2.1 基于时延监测原理的在线老化预测方法 .....   | 25 |
| 2.2.2 超速时延测试 .....              | 28 |
| 2.2.3 基于测量漏电变化原理的在线老化预测方法 ..... | 35 |
| 2.3 相关的优化方法 .....               | 37 |
| 2.3.1 电路级优化 .....               | 37 |
| 2.3.2 体系结构级优化 .....             | 39 |

|                              |    |
|------------------------------|----|
| 第 3 章 面向工作负载的电路老化分析和预测 ..... | 40 |
| 3.1 老化分析和预测方法概述 .....        | 40 |
| 3.2 关键通路和关键门的识别 .....        | 41 |

|            |                             |           |
|------------|-----------------------------|-----------|
| 3.2.1      | 潜在关键通路识别 .....              | 42        |
| 3.2.2      | 潜在关键通路的精简 .....             | 43        |
| 3.2.3      | 关键门的识别 .....                | 46        |
| 3.3        | 占空比的求解 .....                | 46        |
| 3.3.1      | 时延约束 .....                  | 48        |
| 3.3.2      | 占空比取值约束 .....               | 49        |
| 3.4        | 实验及结果分析 .....               | 50        |
| 3.5        | 本章小结 .....                  | 53        |
| <b>第4章</b> | <b>电路老化的统计预测和优化 .....</b>   | <b>54</b> |
| 4.1        | 硅前电路老化的统计预测和优化 .....        | 55        |
| 4.1.1      | 门级老化统计模型 .....              | 55        |
| 4.1.2      | 统计关键门的识别 .....              | 59        |
| 4.1.3      | 门设计尺寸缩放算法 .....             | 61        |
| 4.1.4      | 实验及结果分析 .....               | 62        |
| 4.2        | 硅前和硅后协同的电路老化统计分析和预测 .....   | 66        |
| 4.2.1      | 方法概述 .....                  | 67        |
| 4.2.2      | 目标通路的识别 .....               | 68        |
| 4.2.3      | 硅后学习 .....                  | 69        |
| 4.2.4      | 实验及结果分析 .....               | 71        |
| 4.3        | 本章小结 .....                  | 74        |
| <b>第5章</b> | <b>在线电路老化预测 .....</b>       | <b>75</b> |
| 5.1        | 基于时延监测原理的在线电路老化预测方法 .....   | 75        |
| 5.1.1      | 双功能时钟信号生成电路 .....           | 77        |
| 5.1.2      | 抗工艺偏差影响的设计考虑 .....          | 84        |
| 5.1.3      | 实验及结果分析 .....               | 85        |
| 5.1.4      | 本节小结 .....                  | 94        |
| 5.2        | 基于测量漏电变化原理的在线电路老化预测方法 ..... | 94        |
| 5.2.1      | 漏电变化与时延变化之间相关性的刻画 .....     | 96        |

|                       |                                |     |
|-----------------------|--------------------------------|-----|
| 5.2.2                 | 漏电变化的测量 .....                  | 99  |
| 5.2.3                 | 实验及结果分析 .....                  | 102 |
| 5.2.4                 | 本节小结 .....                     | 106 |
| 第 6 章                 | 多向量方法优化电路老化和漏电 .....           | 107 |
| 6.1                   | 单独优化 NBTI 效应导致的电路老化 .....      | 108 |
| 6.1.1                 | 控制向量的生成 .....                  | 108 |
| 6.1.2                 | 最佳占空比的求解 .....                 | 110 |
| 6.1.3                 | 硬件实现 .....                     | 111 |
| 6.1.4                 | 实验及结果分析 .....                  | 112 |
| 6.2                   | 电路老化和静态漏电的协同优化 .....           | 113 |
| 6.2.1                 | 协同优化模型 .....                   | 115 |
| 6.2.2                 | 最佳占空比的求解 .....                 | 116 |
| 6.2.3                 | 实验及结果分析 .....                  | 117 |
| 6.3                   | 本章小结 .....                     | 120 |
| <br>第二部分 系统级参数偏差分析和优化 |                                |     |
| 第 7 章                 | 参数偏差在系统级的表现和影响 .....           | 123 |
| 7.1                   | 参数偏差对于多核处理器性能的影响 .....         | 123 |
| 7.2                   | 基于电压/频率岛的全局异步-局部同步设计方法 .....   | 125 |
| 第 8 章                 | 相关的国内外研究现状 .....               | 127 |
| 8.1                   | 系统级偏差建模和分析方法 .....             | 127 |
| 8.2                   | 基于全局异步-局部同步设计的系统级偏差优化方法 .....  | 129 |
| 第 9 章                 | 参数良品率感知的多处理器片上系统能耗统计优化方法 ..... | 133 |
| 9.1                   | 背景知识介绍 .....                   | 134 |
| 9.1.1                 | 目标平台与应用 .....                  | 134 |
| 9.1.2                 | 能耗模型 .....                     | 135 |

|               |                               |            |
|---------------|-------------------------------|------------|
| 9.1.3         | 延迟模型                          | 136        |
| 9.1.4         | 统计任务调度                        | 136        |
| 9.2           | 统计能耗优化方法                      | 137        |
| 9.2.1         | 问题归纳                          | 137        |
| 9.2.2         | 优化方法概述                        | 137        |
| 9.2.3         | 统计偏差模拟                        | 138        |
| 9.2.4         | 统计能耗优化                        | 141        |
| 9.2.5         | 统计任务调度和操作电压配置                 | 142        |
| 9.2.6         | 统计电压/频率岛划分                    | 144        |
| 9.3           | 实验数据及分析                       | 145        |
| 9.3.1         | 实验环境                          | 145        |
| 9.3.2         | 实验结果                          | 146        |
| 9.4           | 本章小结                          | 151        |
| <b>第 10 章</b> | <b>面向三维多核片上系统的热感知硅后能耗优化方法</b> | <b>152</b> |
| 10.1          | 背景知识介绍                        | 153        |
| 10.1.1        | 目标平台与应用                       | 153        |
| 10.1.2        | 面向三维 SoC 的能耗模型和延迟模型           | 154        |
| 10.1.3        | 三维热模型                         | 154        |
| 10.1.4        | 面向三维芯片的统计偏差模拟                 | 155        |
| 10.2          | 优化框架                          | 156        |
| 10.2.1        | 能效感知的任务调度                     | 157        |
| 10.2.2        | 任务迁移算法                        | 160        |
| 10.3          | 实验结果及分析                       | 163        |
| 10.3.1        | 实验配置及说明                       | 163        |
| 10.3.2        | 实验结果                          | 165        |
| 10.4          | 结论                            | 168        |
| <b>参考文献</b>   |                               | <b>169</b> |

# 第 1 章 绪 论

过去几十年,集成电路产业获得了飞速发展。晶体管集成密度随着制造技术的进步而不断增加,并且遵循摩尔定律(Moore's law),即单个硅片(die)上集成的晶体管数目每 18 个月增加一倍<sup>[1]</sup>。相应地,晶体管的特征尺寸(feature size)不断减小并向着纳米尺度推进。这种工艺进步的趋势大大增加了芯片的集成规模,降低了制造成本,提高了芯片的性能。

然而,芯片性能的提高并非毫无代价。随着晶体管特征尺寸进入到纳米尺度,伴随而来的是不断增大的参数偏差(parameter variability),不断增加的漏电流和功耗。这些负面因素给采用先进工艺的集成电路产品带来不可低估的影响,甚至会在较差的操作条件下抵消芯片由于集成规模增加带来的性能提升。因此,直面这些负面因素的挑战,在芯片的设计、制造、测试和使用等各个环节提出相应的分析和优化方法,以提高芯片的制造和参数良品率(yield),保证其现场使用中的可靠性是目前工业界和学术界研究的热点问题。

参数偏差是指制造后晶体管或互连线的物理和电气参数偏离设计时指定的额定值并呈现统计分布的现象。按照偏差特性,大致可以将参数偏差分为静态(static)偏差和动态(dynamic)偏差两类。静态参数偏差主要源自于集成电路制造过程中引入的工艺偏差(process variation);而造成动态参数偏差的原因则主要包括芯片在现场使用中的电路老化(circuit aging)效应,以及电压和温度的波动。在纳米工艺环境下,参数偏差效应无疑是一个需要重点关注和亟待解决的问题<sup>[2]</sup>。这不仅因为参数偏差会降低芯片制造后的良品率,减少产品利润;同时,它还会影响芯片的漏电和功耗,改变电路在实际操作中的定时特性(timing characteristic),甚至导致芯片出现功能失效。

还有一个不可忽视的问题是静态、动态参数偏差效应的交互作用对于集成电路的影响。表面看来,工艺偏差只是一种造成电路参数出现偏差的静态因素,在芯片制造后就已固定而不会在其后的服役期中发生变化,因此不会

影响芯片的服役期可靠性。但实际上,晶体管或互连线由于工艺偏差而导致的特征参数偏差同样会影响芯片在服役期中的老化。在一些特征参数,例如晶体管的沟道长度、阈值电压、栅氧厚度以及互连线的物理尺寸出现静态偏差的情况下,老化效应导致的动态电路参数变化会呈现统计分布,使得相应的电路老化分析、预测和优化工作更为困难。另一方面,由于老化效应会不断改变电路的参数值,从而造成电路的时序分析结果同样出现随时间变化的现象。这会大大降低传统设计阶段所进行的静态或统计静态时序分析的有效性,因此,考虑电路老化与工艺偏差的联合效应对于电路可靠性的影响也是一个重要的研究课题。

## 1.1 工艺偏差

工艺偏差是导致制造后芯片上的晶体管或互连线的物理和电气参数出现静态偏差的主要原因。工艺偏差是在集成电路的制造过程中引入的。如图 1.1 所示,按照作用范围的不同,工艺偏差导致的静态参数偏差可以分为片间(inter-die/die-to-die)偏差和片内(intra-die/within-die)偏差两种。片间偏差对于同一个晶圆(wafer)上所有芯片的参数变化影响相同;而片内偏差则会造成每个芯片内部器件参数出现不同的变化。在早期的工艺技术阶段,片间偏差是造成器件参数出现偏差的主要因素。而随着制造工艺的不断进步,尤其进入到纳米尺度,片内偏差逐渐成为影响器件参数偏差的主要因素。

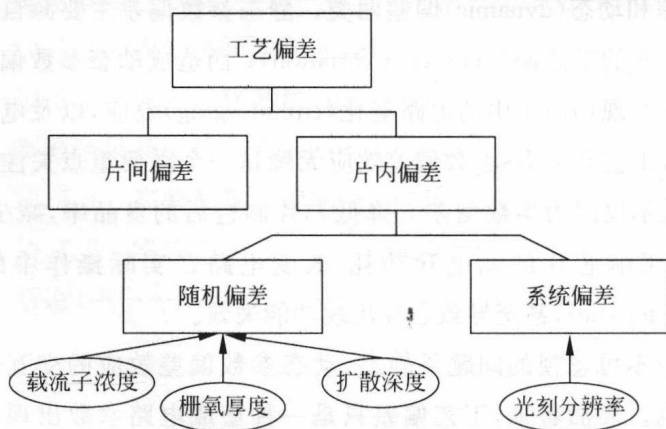


图 1.1 工艺偏差

片内参数偏差按其特性又可以划分为系统(systematic)偏差和随机(random)偏差两类<sup>[3]</sup>。系统偏差主要是光刻的次波长效应(lithography sub-wavelength)导致的<sup>[4]</sup>。图 1.2 对比了近这些年来光刻用波长和晶体管最小特征尺寸的变化趋势。可以看出,当制造工艺进入 180 nm 之后,光刻所用紫外光的波长已经大于晶体管的特征尺寸了。目前,由于制造技术的限制,绝大多数的集成电路制造商仍然采用 193 nm 的紫外光来刻蚀 65 nm 甚至是 45 nm 的晶体管。在这种情况下,想要精确地控制刻蚀的晶体管尺寸(特别是沟道长度)非常困难,出现参数偏差也就是必然的结果了。

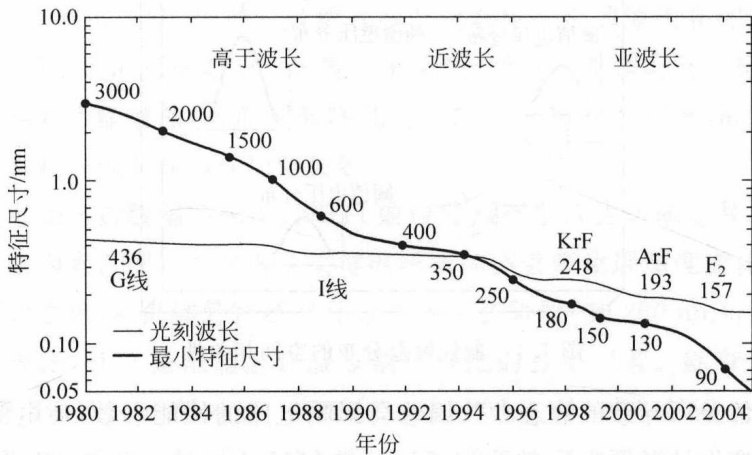


图 1.2 光刻用波长同晶体管最小特征尺寸之间的不匹配情况<sup>[4]</sup>

不同于系统偏差,随机参数偏差主要是因为制造过程中一些随机性因素,例如载流子掺杂浓度的随机变化(random dopant fluctuation, RDF)<sup>[5]</sup>造成的。图 1.3 给出了一个 50 nm 晶体管载流子的掺杂情况示意图。从图中可以看,源、漏两个扩区的掺杂浓度很高且非常均匀。而沟道内的载流子浓度则呈现明显的随机性分布。由于载流子的掺杂浓度直接影响晶体管的阈值电压,这种掺杂浓度的随机性变化很容易导致制造后晶体管的阈值电压偏离其设计时指定的额定值。

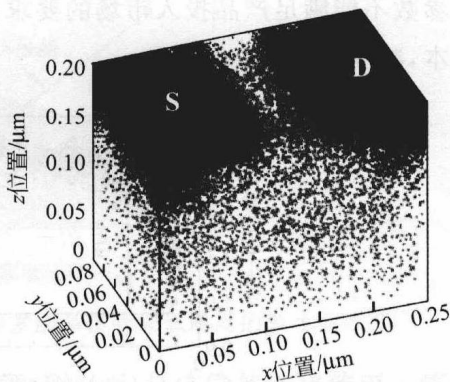


图 1.3 50 nm 晶体管载流子掺杂浓度的随机分布情况<sup>[5]</sup>

另外一个必须要关注的问题是,在片内系统偏差的影响下参数偏差分布具有空间相关性(spatial correlation)。如图 1.4 所示,同一个芯片上物理位置相邻近的器件的参数偏差分布往往较为接近甚至相同;而物理位置相距较远的器件的参数偏差分布差异较大甚至无关。空间相关性会影响电路中通路的时延分布,因此必须在电路时序分析中将其考虑在内。文献[6]的数据显示,在分别假定片内参数偏差分布完全相关和完全独立两种情况下,电路时延分布的标准方差相差 25%。

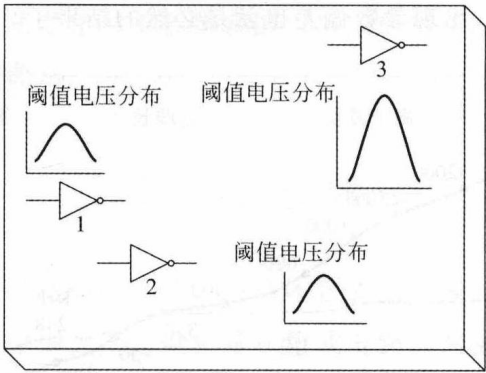


图 1.4 参数偏差分布的空间相关性

工艺偏差所导致的静态参数偏差会影响电路的性能参数,使电路的时延或漏电偏离设计时所指定的额定值。英特尔(Intel)对一批制造后量产芯片的工作频率和漏电进行了统计。图 1.5 给出了统计结果。如图所示,工艺偏差导致制造后芯片的漏电出现 20 倍的偏差,工作频率出现 30% 的偏差。这大大降低了芯片的良品率。因为在如此大的偏差情况下,一部分芯片因为性能参数不能满足产品投入市场的要求而必须被丢弃,从而增加了产品的生产成本,减少了利润。

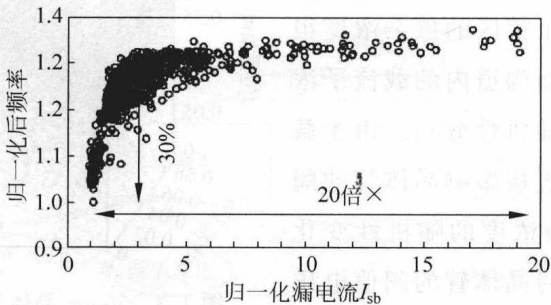


图 1.5 工艺偏差导致的芯片漏电和工作频率偏差<sup>[2]</sup>

## 1.2 NBTI 效 应

随着晶体管特征尺寸的不断减小,电路老化效应造成的动态参数偏差对集成电路可靠性的影响日益突出。根据所产生的物理机制的不同,电路老化效应主要包括负偏置温度不稳定性(negative bias temperature instability, NBTI)<sup>[7,8]</sup>、热载流子注入(hot carrier injection, HCI)<sup>[9,10]</sup>、时间相关的电介质击穿(time-dependent dielectric breakdown, TDDB)<sup>[11]</sup>和电磁迁移(electromigration, EM)<sup>[12]</sup>等。虽然这些老化效应产生的原因和作用的对象不尽相同,但它们的负面影响均表现为电路的参数(主要是电路时延)随着使用时间的推移不断增加,从而不断降低芯片的性能和操作频率,最终可能因为偏差的累积导致芯片出现功能失效。

在这些动态参数偏差源中,NBTI效应已经逐渐成为影响芯片服役期可靠性的首要因素。图1.6给出了关键电压随晶体管氧化层厚度变化的情况。从图中可以看出,在晶体管特征尺寸较大的工艺阶段(如250 nm),供电电压高于关键电压,HCI是限制芯片服役期可靠性的首要因素。随着工艺的进步,晶体管特征尺寸不断减小。当工艺达到180 nm时,供电电压已经小于关键电压。这时,NBTI成为限制芯片服役期可靠性的首要因素。

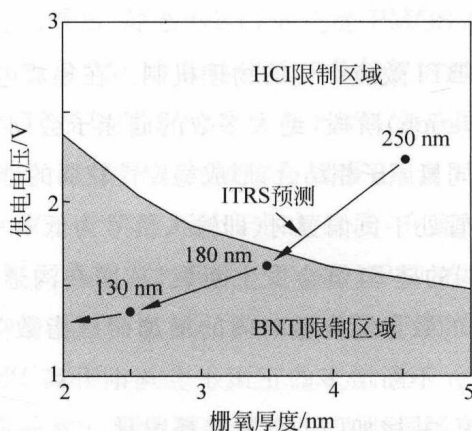


图 1.6 首要的芯片服役期可靠性限制因素随晶体管栅氧厚度的减小而改变<sup>[7]</sup>

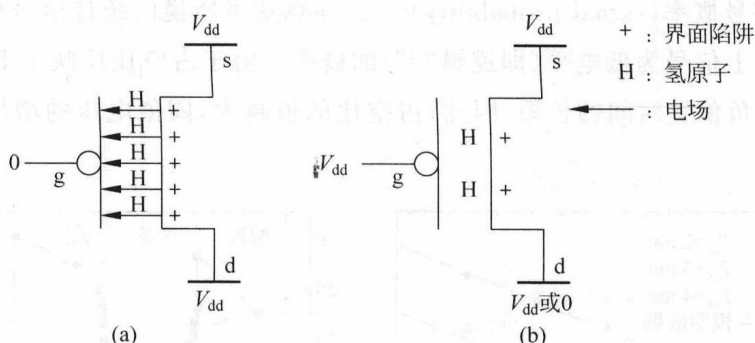
NBTI是一种作用于P沟道场效应管(PMOS)晶体管的老化效应。随着电路操作时间的推移,在NBTI效应的作用下PMOS晶体管的阈值电压会逐

渐升高,驱动电流逐渐减小。这种老化效应对于组合电路(combinational circuit)性能参数的影响表现为逻辑门的信号传播时延(propagation delay)随电路操作时间的增加而不断变慢,从而造成电路中信号传播通路的时延变大。延伸到时序电路(sequential circuit)上则可能因为偏差的不断累积而导致电路出现定时违规(timing violation)现象。实验数据表明<sup>[13,14]</sup>,在较差的操作环境下,电路中的门经受 10 年 NBTI 效应,其内部 PMOS 晶体管的阈值电压可以有 50 mV 的上升,表现为电路时延增加 20%。对于存储设备而言(如静态随机存储器(SRAM)),NBTI 效应导致的 PMOS 晶体管老化会不断降低存储器件的静态噪声容限(static noise margin, SNM),增大读、写失效的概率。文献[15]中的数据显示,在平均工作温度 125℃ 的情况下,3 年 NBTI 效应会导致 SRAM(6T 结构)器件的静态噪声容限下降超过 10%,大大增加了存储器件出现功能失效的概率。

实际上,早在 20 世纪 70 年代人们就已经发现了 NBTI 效应对于 PMOS 晶体管的老化影响。然而直到近些年,随着制造工艺进入到纳米尺度,NBTI 效应导致的老化才成为影响电路在其服役期内可靠性的一个不可忽视的因素。这是因为随着晶体管特征尺寸的不断缩小,栅氧厚度不断减小,而供电电压的下降却相对比较缓慢。在这种情况下,非常薄的氧化层和较高的供电电压在晶体管的沟道内形成了很强的电场,进一步加剧了 NBTI 效应导致的老化。

图 1.7 展示了 NBTI 效应产生的物理机制。在集成电路制造过程中栅氧的形成和钝化(passivation)阶段,绝大多数的硅原子会同氧原子结合。但是,也有少量的硅原子会同氢原子相结合,形成稳定性较弱的硅-氢链。如图 1.7(a)所示,当 PMOS 晶体管处于负偏置时(即输入信号为低电平), $V_{gs} = -V_{dd}$ 。在电场力的作用下,较弱的硅-氢链会发生断裂,从而在沟道中形成许多正离子(界面陷阱)。正离子的数量随偏置时间的增加而成指数关系增长,且受电路工作温度的影响较大。不断增多的正离子会逐渐升高 PMOS 晶体管的阈值电压,减小其驱动电流,并增加门的信号传播时延。

当 PMOS 晶体管正向偏置时(即输入信号为高电平), $V_{gs} = 0$  或  $V_{dd}$ ,沟道中由于硅-氢链断裂而游离出来的氢原子在反向电场力的作用下重新与硅原子结合,使得先前断裂的硅-氢链得到部分的修复。由于沟道中的正离子数目

图 1.7 NBTI 效应产生的物理机制<sup>[16]</sup>

(a) 偏置; (b) 恢复

减少了,PMOS 晶体管的阈值电压也随之下降,NBTI 效应导致的老化可以得到部分恢复。

如果在整个电路的操作时间里,门的输入信号始终保持为低电平,即门内与此输入端相连接的 PMOS 晶体管始终处于负偏置,我们称在这种情况下 PMOS 晶体管经历的是静态 NBTI 效应。而如果门的输入信号在整个电路操作时间内交替为低电平和高电平,即 PMOS 晶体管时而处于负偏置时而处于恢复阶段,我们称在这种情况下 PMOS 晶体管经历的是动态 NBTI 效应。图 1.8(a)给出了 PMOS 晶体管在经受静态 NBTI 效应时的阈值电压变化情况。从图中的数据可以看出,静态 NBTI 效应受 PMOS 晶体管处于负偏置的时间长短影响较大。随着 PMOS 晶体管处于负偏置的时间增加,其阈值电压会急剧升高。而 PMOS 晶体管在经受动态 NBTI 效应时的阈值电压变化情况却有所不同。从图 1.8(b)所示的数据可以看出,当 PMOS 晶体管在经历动态 NBTI 效应时会有一定的时间处于恢复阶段,升高的阈值电压会有部分回落。因此,在经历相同的操作时间后,由动态 NBTI 效应所导致的阈值电压增加量要远远小于静态 NBTI 效应。图 1.9 给出了 PMOS 晶体管分别经受静态和动态 NBTI 效应时阈值电压变化情况的对比。由图 1.9 可以看出,静态和动态 NBTI 效应导致的 PMOS 晶体管阈值电压增加量可以出现几倍的差异。另外,动态 NBTI 效应导致的阈值电压增加量相对于不同的占空比也存在一定的差异。在 NBTI 研究领域,占空比(duty cycle)表示在一段操作时间内 PMOS 晶体管处于负偏置的时间占整个操作时间的比例。它可以等同

于统计信号概率(signal probability)<sup>[17]</sup>。注意这里所说的统计信号概率是指统计意义上信号为低电平(即逻辑“0”)的概率。由于占空比反映了 PMOS 晶体管处于负偏置时间的长短,因此,占空比的值越大,阈值电压的增加量也就越大。

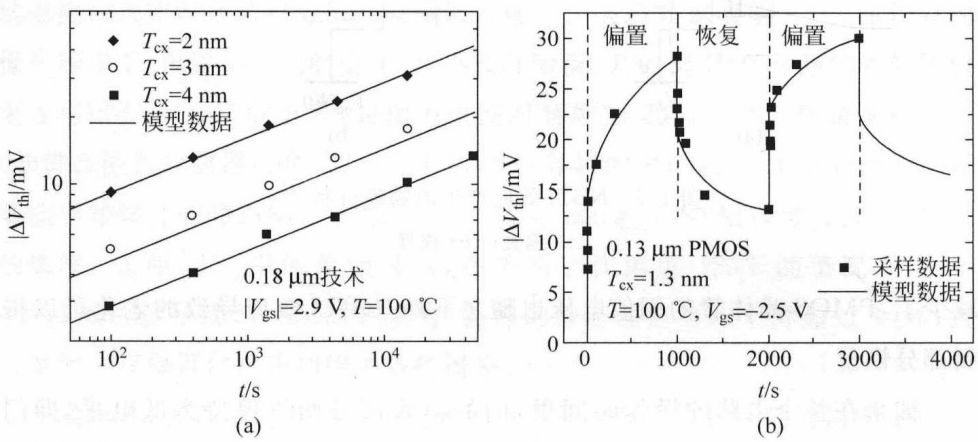


图 1.8 静态和动态 NBTI 效应<sup>[16]</sup>

(a) 静态 NBTI 效应; (b) 动态 NBTI 效应

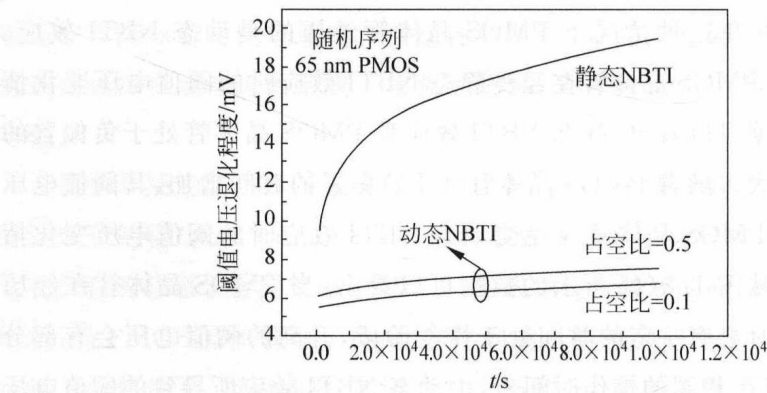


图 1.9 PMOS 晶体管阈值电压的增加量在静态和动态 NBTI 效应下的差异<sup>[14]</sup>

除了占空比外,电路执行功能操作时的工作温度也对 NBTI 效应导致的 PMOS 晶体管阈值电压变化起着重要影响。<sup>‡</sup>这是因为在较高的工作温度下硅-氢链更容易发生断裂。图 1.10 给出了晶体管经受静态 NBTI 效应时不同的工作温度对于阈值电压增加情况的影响。由图中可以看出,在较高的工作温度下,阈值电压的增加量也越大。

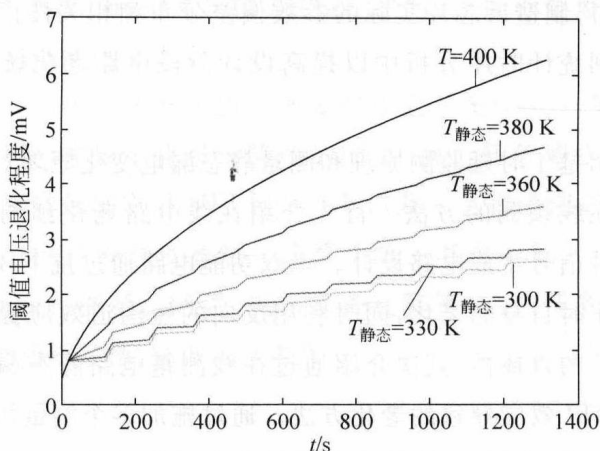


图 1.10 工作温度对于 NBTI 效应导致的阈值电压增加情况的影响<sup>[18]</sup>

### 1.3 章节组织结构

本书分两大部分。第一部分包括第 2~6 章,主要介绍电路级偏差分析和优化方法。其中,第 2 章从硅前分析和预测、在线预测和优化三个方面介绍国际和国内相关工作的研究现状。

第 3 章介绍面向工作负载的电路老化分析方法。包括怎样在考虑 NBTI 效应导致的电路老化的情况下通过静态时序分析来识别和精简电路中的关键通路和关键门;如何通过非线性规划方法求解可以导致电路在 NBTI 效应下最大老化的最差占空比集合,并给出实验及结果分析。

第 4 章首先介绍电路老化的统计分析和预测方法。通过对工艺偏差和 NBTI 的联合效应进行门级建模来刻画标准单元在二者联合效应下的时延分布情况。其次,将此门级模型应用到统计静态时序分析中来预测整个电路在工艺偏差和 NBTI 联合效应影响下的时延分布。最后,将该老化统计分析和预测方法应用到电路老化的优化中。根据预测的电路时延分布,通过门设计尺寸缩放算法优化电路的时延分布以保证电路的服役期可靠性满足预先设定的指标。

随后,这一章的第二部分介绍提出的硅前和硅后协同的电路老化分析和预测方法。通过建立神经网络模型学习硅后时序验证阶段通路时延测试的

结果,并据此获得制造后芯片实际的参数偏差分布和相关性信息。最后将学习的成果反馈到统计时序分析中以提高设计阶段电路老化统计分析和预测的精度。

第5章介绍基于时延监测原理和测量静态漏电变化原理对NBTI效应导致的老化进行在线预测的方法。首先介绍在线电路老化预测和超速时延测试双功能的时钟信号生成电路设计。该双功能电路通过抗NBTI老化设计来最小化在线操作时自身的老化,同时利用反向的短沟道效应提高双功能电路相对于工艺偏差的鲁棒性,其次介绍通过在线测量电路静态漏电的变化来预测电路由于NBTI效应导致的老化方法。通过施加多个测量用向量建立通路漏电变化的方程组,求解方程组可以获得单个通路的漏电变化量,并据此预测电路的老化。

第6章首先介绍如何根据特定的门输入节点上的占空比集合生成多个控制向量,随后介绍采用多个控制向量抑制电路处于待机模式时由于NBTI效应导致的老化的方法。根据求解得到的关键门输入节点上的最佳占空比集合,修改测试向量生成算法以生成多个控制向量并确定每个向量特定的施加时间。这一章第二部分介绍协同优化电路静态漏电和由于NBTI效应导致的老化的方法。与单独优化电路老化不同,一个门级的静态漏电和老化协同优化模型首先被建立起来。基于这个协同优化模型,对前面用到的非线性规划方法进行修改来求解可同时导致电路最小静态漏电和老化的最佳占空比集合,最后根据这个占空比集合生成要求的多个控制向量。

第二部分则涉及第7~10章,主要介绍系统级偏差分析和优化的方法。首先,第7章介绍参数偏差在系统级的表现、对于多核处理器性能参数的影响。第8章则介绍目前系统级参数偏差分析和优化的国内外研究现状。

第9章介绍一种偏差感知的统计能耗优化方法。与已有方法不同,本章的方法考虑了参数偏差影响下,任务执行时间和功耗表现出的概率特点,结合统计分析和优化方法实现电压/频率岛(VFI)的划分、处理元素电压和操作频率的设定以及任务调度。另外,我们发现,参数偏差影响下,同构设计的多处理器片上系统(MPSoC)中,处理元素操作频率和功耗参数的分布较为相似;但异构设计的MPSoC中,这些参数的分布差异很大。因此,我们又提出了能耗优化敏感度和最低操作电压两个参数。这两个参数不仅有利于我们