

“十三五”国家重点出版物出版规划项目

卓越工程能力培养与工程教育专业认证系列规划教材（电气工程及其自动化、自动化专业）

FPGA系统设计

蔡述庭 陈平 李嘉辉 等编著

FPGA System Design



“十三五”国家重点出版物出版规划项目
卓越工程能力培养与工程教育专业认证系列规划教材
(电气工程及其自动化、自动化专业)

FPGA 系统设计

蔡述庭 陈 平 李嘉辉 编著
李卫军 吴泽雄 方文啸



机械工业出版社

本书描述了 FPGA 系统的设计方法、流程、技巧以及工具使用,内容涵盖了 FPGA 设计概论、硬件描述语言 Verilog、FPGA 基础电路设计、逻辑综合、Synplify 与 DC 工具使用、测试平台的撰写以及 ModelSim 的使用;重点对卷积神经网络(CNN)的 FPGA 实现进行了深入阐述;随后通过一个电机控制实例来描述 FPGA 系统级的设计过程;接着介绍了 DO-254 标准在 FPGA 设计中的应用。为了便于读者实践操作,书中给出了丰富的 FPGA 设计实验,包括基础实验和基于 Qsys、SOPC 的综合实验,同时介绍了 Vivado HLS 工具的使用。本书实例丰富,且贴近实际开发,书中给出的源代码都经过了实际项目的检验,读者可在机械工业出版社网站下载相关的源代码。

本书可作为电子、通信、自动化、计算机科学与技术等相关专业的高年级本科生及研究生的教学用书,也可作为从事 FPGA 设计工作的工程师的参考书。

图书在版编目(CIP)数据

FPGA 系统设计/蔡述庭等编著. —北京:机械工业出版社, 2019. 5

“十三五”国家重点出版物出版规划项目 卓越工程能力培养与工程教育专业认证系列规划教材. 电气工程及其自动化、自动化专业

ISBN 978-7-111-62830-9

I. ①F… II. ①蔡… III. ①可程序逻辑器件—系统设计—高等学校—教材 IV. ①TP332.1

中国版本图书馆 CIP 数据核字(2019)第 099700 号

机械工业出版社(北京市百万庄大街 22 号 邮政编码 100037)

策划编辑:王康 责任编辑:王康 王小东

责任校对:张薇 封面设计:鞠杨

责任印制:张博

三河市宏达印刷有限公司印刷

2019 年 9 月第 1 版第 1 次印刷

184mm×260mm·24.75 印张·615 千字

标准书号:ISBN 978-7-111-62830-9

定价:59.00 元

电话服务

客服电话:010-88361066

010-88379833

010-68326294

封底无防伪标均为盗版

网络服务

机工官网:www.cmpbook.com

机工官博:weibo.com/cmp1952

金书网:www.golden-book.com

机工教育服务网:www.cmpedu.com

“十三五”国家重点出版物出版规划项目
卓越工程能力培养与工程教育专业认证系列规划教材
(电气工程及其自动化、自动化专业)
编审委员会

主任委员

郑南宁 中国工程院 院士, 西安交通大学 教授, 中国工程教育专业认证协会电子信息与电气工程类专业认证分委员会 主任委员

副主任委员

汪樾生 中国工程院 院士, 浙江大学 教授

胡敏强 东南大学 教授, 教育部高等学校电气类专业教学指导委员会 主任委员

周东华 清华大学 教授, 教育部高等学校自动化类专业教学指导委员会 主任委员

赵光宙 浙江大学 教授, 中国机械工业教育协会自动化学科教学委员会 主任委员

章 兢 湖南大学 教授, 中国工程教育专业认证协会电子信息与电气工程类专业认证分委员会 副主任委员

刘进军 西安交通大学 教授, 教育部高等学校电气类专业教学指导委员会 副主任委员

戈宝军 哈尔滨理工大学 教授, 教育部高等学校电气类专业教学指导委员会 副主任委员

吴晓蓓 南京理工大学 教授, 教育部高等学校自动化类专业教学指导委员会 副主任委员

刘 丁 西安理工大学 教授, 教育部高等学校自动化类专业教学指导委员会 副主任委员

廖瑞金 重庆大学 教授, 教育部高等学校电气类专业教学指导委员会 副主任委员

尹项根 华中科技大学 教授, 教育部高等学校电气类专业教学指导委员会 副主任委员

李少远 上海交通大学 教授, 教育部高等学校自动化类专业教学指导委员会 副主任委员

林 松 机械工业出版社 编审 副社长

委员 (按姓氏笔画排序)

于海生 青岛大学 教授

王 超 天津大学 教授

王志华 中国电工技术学会
教授级高级工程师

王美玲 北京理工大学 教授

艾 欣 华北电力大学 教授

吴在军 东南大学 教授

吴美平 国防科技大学 教授

汪贵平 长安大学 教授

张 涛 清华大学 教授

张恒旭 山东大学 教授

黄云志 合肥工业大学 教授

穆 钢 东北电力大学 教授

王 平 重庆邮电大学 教授

王再英 西安科技大学 教授

王明彦 哈尔滨工业大学 教授

王保家 机械工业出版社 编审

韦 钢 上海电力学院 教授

李 炜 兰州理工大学 教授

吴成东 东北大学 教授

谷 宇 北京科技大学 教授

宋建成 太原理工大学 教授

张卫平 北方工业大学 教授

张晓华 大连理工大学 教授

蔡述庭 广东工业大学 教授

鞠 平 河海大学 教授

序

工程教育在我国高等教育中占有重要地位，高素质工程科技人才是支撑产业转型升级、实施国家重大发展战略的重要保障。当前，世界范围内新一轮科技革命和产业变革加速进行，以新技术、新业态、新产业、新模式为特点的新经济蓬勃发展，迫切需要培养、造就一大批多样化、创新型卓越工程科技人才。目前，我国高等工程教育规模世界第一。我国工科本科在校生约占我国本科在校生总数的1/3，近年来我国每年工科本科毕业生约占世界总数的1/3以上。如何保证和提高高等工程教育质量，如何适应国家战略需求和企业需要，一直受到教育界、工程界和社会各方面的关注。多年以来，我国一直致力于提高高等教育的质量，组织并实施了多项重大工程，包括卓越工程师教育培养计划（以下简称卓越计划）、工程教育专业认证和新工科建设等。

卓越计划的主要任务是探索建立高校与行业企业联合培养人才的新机制，创新工程教育人才培养模式，建设高水平工程教育教师队伍，扩大工程教育的对外开放。计划实施以来，各相关部门建立了协同育人机制。卓越计划要求试点专业要大力改革课程体系和教学形式，依据卓越计划培养标准，遵循工程的集成与创新特征，以强化工程实践能力、工程设计能力与工程创新能力为核心，重构课程体系和教学内容；加强跨专业、跨学科的复合型人才培养；着力推动基于问题的学习、基于项目的学习、基于案例的学习等多种研究性学习方法，加强学生创新能力训练，“真刀真枪”做毕业设计。卓越计划实施以来，培养了一批获得行业认可、具备很好的国际视野和创新能力、适应经济社会发展需要的各类型高质量人才，教育培养模式改革创新取得突破，教师队伍建设初见成效，为卓越计划的后续实施和最终目标的达成奠定了坚实基础。各高校以卓越计划为突破口，逐渐形成各具特色的人才培养模式。

2016年6月2日，我国正式成为工程教育“华盛顿协议”第18个成员国，这标志着我国工程教育真正融入世界工程教育，人才培养质量开始与其他成员国达到了实质等效，同时，也为以后我国参加国际工程师认证奠定了基础，为我国工程师走向世界创造了条件。专业认证把以学生为中心、以产出为导向和持续改进作为三大基本理念，与传统的内容驱动、重视投入的教育形成了鲜明对比，是一种教育范式的革新。通过专业认证，把先进的教育理念引入了我国工程教育，有力地推动了我国工程教育专业教学改革，逐步引导我国高等工程教育实现从课程导向向产出导向转变、从以教师为中心向以学生为中心转变、从质量监控向持续改进转变。

在实施卓越计划和开展工程教育专业认证的过程中，许多高校的电气工程及其自动化、自动化专业结合自身的办学特色，引入先进的教育理念，在专业建设、人才培养模式、教学内容、教学方法、课程建设等方面积极开展教学改革，取得了较好的效果，建设了一大批优质课程。为了将这些优秀的教学改革经验和教学内容推广给广大高校，中国工程教育专业认证协会电子信息与电气工程类专业认证分委员会、教育部高等学校电气类专业教学指导委员会、教育部高等学校自动化类专业教学指导委员会、中国机械工业教育协会自动化学科教学委员

会、中国机械工业教育协会电气工程及其自动化学科教学委员会联合组织规划了“卓越工程能力培养与工程教育专业认证系列规划教材（电气工程及其自动化、自动化专业）”。本套教材通过国家新闻出版广电总局的评审，入选了“十三五”国家重点图书。本套教材密切联系行业 and 市场需求，以学生工程能力培养为主线，以教育培养优秀工程师为目标，突出学生工程理念、工程思维和工程能力的培养。本套教材在广泛吸纳相关学校在“卓越工程师教育培养计划”实施和工程教育专业认证过程中的经验和成果的基础上，针对目前同类教材存在的内容滞后、与工程脱节等问题，紧密结合工程应用和行业企业需求，突出实际工程案例，强化学生工程能力的教育培养，积极进行教材内容、结构、体系和展现形式的改革。

经过全体教材编审委员会委员和编者的努力，本套教材陆续跟读者见面了。由于时间紧迫，各校相关专业教学改革推进的程度不同，本套教材还存在许多问题。希望各位老师对本套教材多提宝贵意见，以使教材内容不断完善提高。也希望通过本套教材在高校的推广使用，促进我国高等工程教育教学质量的提高，为实现高等教育的内涵式发展贡献一份力量。

卓越工程能力培养与工程教育专业认证系列规划教材
(电气工程及其自动化、自动化专业)
编审委员会

前 言

现场可编程逻辑阵列 (Field Programmable Gate Array, FPGA) 器件广泛应用于汽车电子、多媒体广播、计算机和存储、消费电子、工业、医疗、军事、航空航天、通信、测量等领域。FPGA 被广泛地使用在通信基站、大型路由器等高端网络设备, 以及显示器 (电视)、投影仪等日常家用电器里, 已经从最早的只应用于辅助功能以及胶合逻辑 (连接各种功能块以及集成电路的逻辑电路) 的简单器件, 发展到现今众多产品的核心器件。使用 FPGA 器件可以使开发时间缩短 $1/3 \sim 1/2$, 因此 FPGA 成为实现“少量多品种”以及“产品周期短”市场不可缺少的器件之一。

FPGA 器件的使用和开发离不开 EDA 工具的支持, 因此一般 FPGA 器件厂商也会提供相应的 EDA 开发工具, 比如 Altera 公司的 Quartus II/Qsys 开发平台, Xilinx 公司的 ISE/Vivado 开发平台。其他公司器件也都有自己的开发工具, 开发流程基本保持一致。熟悉这些工具对 FPGA 的开发无疑是基础和重要的, 因此本书的结尾部分主要侧重于通过一些实验来让大家熟悉 Quartus 与 Vivado 工具的使用。

一般而言, 使用 FPGA 有两个层次——电路级和系统级。简单来说, 电路级侧重于在 FPGA 上实现某些功能电路, 或者实现信号处理算法 (如 FFT、OFDM) 或者通信系统中部分通信协议。系统级这里主要是指 FPGA 中使用 CPU, 如 Nios II、MicroBlaze、ARM、PowerPC 等软核和硬核, 构成一个比较大的 SoC 系统, 在此基础上可以进一步进行软件应用开发。因此本书的编写也主要遵从这个思路, 从电路到系统级对 FPGA 的设计进行了阐释。本书第 1~3 章对 FPGA 设计和硬件描述语言 Verilog 进行了简单介绍, 随后使用 Verilog 对包括加法器在内的基础电路设计进行了概述。第 4 章主要介绍逻辑综合的概念及 Synplify 与 DC 工具。第 5 章主要介绍了测试板的撰写以及行为级仿真工具 ModelSim 的使用。第 6 章对在 SoC 上实现卷积神经网络进行了阐述, 并详述了 FPGA 实现。第 7 章描述了通信系统中直放站数字接口电路部分的 FPGA 设计。第 8 章通过一个电机控制实例来描述 FPGA 系统级的设计过程, 该系统以 Nios II 为核心处理器来搭建一个 SoC 系统。由于 FPGA 器件的广泛应用, 对于 FPGA 器件组成的系统的测试与认证也成了非常重要的一个课题, 故第 9 章介绍了航空航天领域的一个硬件系统设计标准 DO-254, 侧重介绍其适应于 FPGA 器件的流程与准则。第 10 章实践部分涵盖了 FPGA 的一些基础实验和 SOPC 的实验, 以及基于 SoC 的图像通信, 特别介绍了 Vivado HLS 工具的使用, 作为一种目前商业化的高层次综合工具, HLS 对系统级设计人员及算法设计人员都具有非常大的吸引力。

在编写本书过程中, 参考了大量文献资料, 并在参考文献中列出, 在此表示感谢。书中不少资料来自 Altera 和 Xilinx 公司, Altera 大学计划负责人陈卫中博士及 Xilinx 大学计划负责人谢凯年博士均为本书的编写提供了大量资料与帮助, 对两位致以谢意。广东工业大学本

科生张骏盛对 Vivado HLS 实验进行了验证，广东工业大学研究生李静园、五邑大学林卓胜博士等为本书提供了相关协助，一并表示感谢。特别感谢广东省本科高校教学质量与教学改革工程项目“广东工业大学-工业和信息化部电子第五研究所校外实践教学基地”（粤教高函 [2017] 214 号）对本书出版的支持。

编著者

目 录

序

前言

第 1 章 FPGA 设计概论	1
1.1 FPGA 芯片结构与特点	1
1.2 FPGA 工作原理	3
1.3 FPGA 主要器件	4
1.3.1 Xilinx	4
1.3.2 Altera	8
1.4 FPGA 设计流程	12
1.5 FPGA 开发工具	15
1.6 FPGA 应用	17
第 2 章 硬件描述语言 Verilog	18
2.1 Verilog HDL 的基本规范	19
2.1.1 标识符	19
2.1.2 转义标识符	19
2.1.3 空白符	19
2.1.4 注释	19
2.2 数据类型	20
2.2.1 逻辑值	20
2.2.2 线网与寄存器	20
2.2.3 数字的表示	21
2.2.4 向量	22
2.2.5 数组	23
2.2.6 参数	23
2.2.7 字符串	23
2.3 运算符	24
2.3.1 算术运算符	24
2.3.2 逻辑操作符	24
2.3.3 关系运算符	24
2.3.4 按位操作符	25
2.3.5 缩减操作符	25

2.3.6	移位操作符	26
2.3.7	拼接操作符	26
2.3.8	重复操作符	26
2.3.9	条件操作符	26
2.3.10	操作符的优先级	26
2.4	模块	27
2.4.1	模块的基本概念	27
2.4.2	模块的例化	30
2.4.3	模块的测试	33
2.5	过程语句	34
2.5.1	两个过程	34
2.5.2	寄存器变量的过程赋值	35
2.5.3	线网变量的连续赋值	36
2.5.4	时序控制	36
2.5.5	顺序代码块与并行代码块	38
2.6	流程控制	39
2.7	任务和函数	40
2.8	系统任务	40
2.9	编译指令	40
2.10	阻塞赋值与非阻塞赋值	41
第3章	FPGA 基础电路设计	43
3.1	组合电路	43
3.2	时序电路	47
3.3	数据通路	57
3.3.1	加法器基础理论	57
3.3.2	常用数据通路设计	63
第4章	逻辑综合	68
4.1	逻辑综合目的	68
4.2	DC 综合	69
4.2.1	准备 Design Compiler 启动脚本文件	70
4.2.2	约束文件	70
4.2.3	报告分析	77
4.2.4	优化的参数选择	80
4.2.5	关于综合结果	80
4.3	Synplify 的综合设计	81
4.4	HDL 的可综合性设计	88
4.4.1	状态机设计	89

4.4.2	实例化资源	90
4.4.3	综合选项	90
第 5 章	testbench 与 ModelSim 仿真	93
5.1	testbench 实例	93
5.1.1	产生时钟信号	98
5.1.2	提供激励信号	99
5.1.3	显示结果	100
5.1.4	Verilog HDL testbench 实例	101
5.1.5	自动验证	103
5.1.6	自我检查 testbench	103
5.1.7	编写 testbench 的准则	103
5.2	仿真工具 ModelSim	104
第 6 章	基于 HDL 的卷积神经网络的实现	109
6.1	引言	109
6.2	设计的架构与设计特点	109
6.2.1	设计的架构	109
6.2.2	加速模块的设计特点	110
6.3	加速器控制器 accelerator_controller 的实现	110
6.3.1	寄存器的定义	110
6.3.2	可读写寄存器的写操作	111
6.3.3	所有寄存器的读操作	113
6.3.4	只读寄存器的更新	115
6.3.5	加速器控制器端口的补充说明	116
6.4	DDR 读写模块 data_transfer 的实现	117
6.4.1	写通道模块 write_channel 的实现	118
6.4.2	读通道模块的实现	131
6.5	加速模块 cnfff_fpga 的实现	135
6.5.1	cnfff_fpga 的整体构成	135
6.5.2	第一卷积层 conv1 的实现	137
6.5.3	第二卷积层 conv2 的实现	148
6.5.4	全连接层 fc 的实现	156
6.5.5	第一下采样层 samp1 的实现	159
6.5.6	激活函数计算及相关公共模块的实现	160
6.5.7	使用各层构建整个网络	163
6.6	在 Vivado 上的实践	165
6.6.1	在 Vivado 上实现一个卷积神经网络加速系统	165
6.6.2	软件代码讲解	191

6.6.3 上板实践	196
6.7 本章小结	200
6.8 附录：卷积神经网络的简介	201
第7章 数字直放站的 FPGA 设计	203
7.1 直放站 FPGA 系统设计	203
7.2 数据接口	204
7.2.1 ADC 接口	204
7.2.2 DAC 接口	211
7.2.3 SPI 接口	213
7.3 信号处理部分	216
7.3.1 数据的抽取和内插	216
7.3.2 信号的上变频 (DUC) 和下变频 (DDC)	223
第8章 永磁同步电动机矢量控制系统的 FPGA 实现	239
8.1 永磁同步电动机矢量控制系统简介	239
8.2 系统的硬件平台	241
8.3 软件开发平台	243
8.4 FPGA 片上电路设计	245
8.5 实验验证	276
第9章 可靠性设计——DO-254	281
9.1 DO-254	281
9.2 FPGA 与 DO-254	282
9.2.1 DO-254 基本情况	282
9.2.2 DO-254 硬件的生命周期	283
9.2.3 规划	284
9.2.4 硬件安全性评价	284
9.2.5 硬件设计流程	284
9.2.6 支持流程	285
9.2.7 文档和组织	285
9.3 DO-254 标准和美国联邦航空局	286
9.3.1 联邦航空局授权审查	286
9.3.2 美国联邦航空局的介入程度	286
9.3.3 DO-254 附加的主题	286
9.4 DO-254 项目的 FPGA 工具流程	287
9.4.1 评估	288
9.4.2 合格认证	288
9.5 FPGA 设计的工具流程	288

9.5.1 需求获取	288
9.5.2 概要设计	289
9.5.3 详细设计	289
9.5.4 实施	289
9.5.5 生产转化	290
9.6 本章小结	290
第 10 章 FPGA 实验	292
实验一 LED 灯控制	292
实验二 基于 IP 核设计的数码管显示	298
实验三 基于 Verilog 设计的数码管显示	303
实验四 基于 DSP Builder 设计的 clark 坐标变换模块	304
实验五 分别基于 SOPC Builder 和 Qsys 工具控制 LED 灯	317
实验六 基于 Nios II 定时中断控制 LED 闪烁	334
实验七 Nios II 与 LabVIEW 的串口通信	340
实验八 程序烧写	347
实验九 Vivado HLS 设计流程实验	353
实验十 基于 SoC 平台的图像显示	364
实验十一 基于 SoC 平台的以太网通信及图像显示	376
参考文献	384

第 1 章

FPGA 设计概论

集成电路一般可以分为全定制 ASIC、半定制 ASIC 以及用户可编程器件。而用户可编程器件已经由初始的一些小集成规模的 PLD 发展到集成度更高的 FPGA (Field Programmable Gate Array) 器件。

ASIC 器件具有以下特征：设计必须送到 Foundry 进行流片，费用高，从行为级到最下面的物理版图都要自己设计。但设计出来的芯片具有更好的性能和更低的功耗。

FPGA 器件具有以下特点：产品响应速度快，可以小批量，可编程，不需要流片，不需要进行后端设计。易升级，而且可以应用于一些特殊应用，如可重构计算等。具体而言，二者的特征比较如图 1-1 所示。

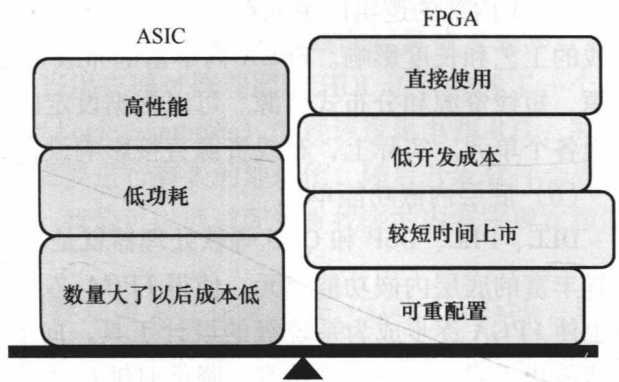


图 1-1 FPGA 与 ASIC 的特征比较

1.1 FPGA 芯片结构与特点

FPGA 芯片内部结构主要包括以下部分：

(1) 可编程输入输出单元 (IOB(Xilinx), IOEs(Altera))

可编程输入/输出单元简称 I/O 单元，是芯片连接外围电路所提供的接口单元，完成对输入输出信号在不同电气特性下的驱动与匹配要求。FPGA 内的 I/O 按组 (BANK) 分类，每组都分别独立地提供不同的 I/O 电平。通过软件的灵活配置，可适配不同的电气标准与 I/O 物理特性，可以调整驱动电流的大小，可以改变上、下拉电阻。

(2) 可配置逻辑块 (CLB(Xilinx))

CLB 是用户实现自定义逻辑电路的基本逻辑单元。CLB 的数量会根据 FPGA 芯片的型号的不同而有所不同，但是每个 CLB 都包含一个可配置开关矩阵，此矩阵是由一个 4 输入的多路复用器 (MUX) 和触发器组成。此开关矩阵具有较高的灵活性，可以对其进行配置来实现组合逻辑、移位寄存器或 RAM。在 Altera 器件中，与 CLB 相类似的模块为逻辑阵列块 LAB。

(3) 数字时钟管理模块 (DCM)

由于 FPGA 应用开发都需要涉及高速电路的时序分析, 因此 FPGA 对系统内部以及其外围设备的时钟信号源都有非常严格的要求。目前大多数厂商的 FPGA 芯片均提供数字时钟管理以及相位环路锁定 (PLL), 其中相位环路锁定能够提供精确的时钟综合, 降低时钟抖动, 并实现过滤功能。

(4) 嵌入式块 RAM (BRAM)

现今在市场上的 FPGA 芯片大都具有内嵌的块 RAM (Block RAM), 这种 Block RAM 是芯片内部独立的资源, 用户通过调用这一部分资源可以更好地节约 FF 触发器和 4-LUT 等底层可编程单元, 最大程度地发挥器件功能; 此外, Block RAM 是一种可配置的硬件结构, 可以被综合成 ROM、单端口 RAM、双端口 RAM 以及 FIFO 等常用存储结构, 而且这些存储器的位宽和深度都可以根据具体需要进行灵活配置。

(5) 丰富的布线资源

FPGA 内部的逻辑门单元都是通过布线连通, 信号的传输速度与输入输出驱动能力是受布线的工艺和长度影响。FPGA 内丰富的布线资源可以大致分为 4 类: 全局布线资源、长线资源、短线资源和分布式资源。可以根据设定的约束条件用 FPGA 开发软件的布局布线器来连通各个单元。实际上, 布线资源直接影响设计和结果。

(6) 底层内嵌功能单元

DLL、PLL、DSP 和 CPU 等软处理器就是 FPGA 内嵌功能模块的主要组成部分。如今越来越丰富的底层内嵌功能单元, 使得 FPGA 芯片不仅具备了软件和硬件协同设计的能力, 而且也使 FPGA 逐步成为系统级的设计工具, 向 SoC 方向发展。此外, DLL 与 PLL 模块也大大地简化了我们提高时钟精度、降低时钟抖动以及时钟倍频和分频的过程。

(7) 内嵌专用硬核

相对与底层嵌入的软核而言, FPGA 内嵌专用硬核相当于 ASIC 电路。目前 FPGA 集成了一些专用 DSP 乘法器硬核, 以快速完成复杂乘法运算。Xilinx 的高端芯片不仅集成了 PowerPC、MicroBlaze、Picoblaze、ARM 系列 CPU, 还内嵌了 DSP Core 模块, 通过利用这些硬核用户可以二次开发标准的 DSP 处理器。Altera 器件集成的 CPU 为 Nios II 与 ARM 等。

从上述的七个结构组成部分可以看出, FPGA 内部采用的设计结构与传统的 CPLD 还是有很大的不同。具体的来说, 多个逻辑单元组成了 FPGA 中的逻辑阵列块, 而其中逻辑单元中又含有多个查找表与寄存器。FPGA 与 CPLD 工作原理上的区别就在于查找表的运用, CPLD 主要用行列式的乘积去实现。而 FPGA 的特点如下:

1) FPGA 内部具有丰富的 FF 触发器结构, 因此 FPGA 更适合于完成时序逻辑电路的设计。

2) FPGA 中由于存在分段式布线结构, 这决定了其信号在布线上的延时是不可预测的。

3) FPGA 具有较大的编程灵活性, FPGA 主要通过改变内部连线的布线来编程, FPGA 可在逻辑门下完成编程。

4) FPGA 的集成度比较高, 其具有更复杂的布线结构和逻辑实现。

5) FPGA 是基于 SRAM 编程, 而非 EEPROM 或 Flash 存储器, 因此可以编程任意次, 可在工作中快速编程, 从而实现板级和系统级的动态配置。

1.2 FPGA 工作原理

FPGA 是在 PAL、GAL、EPLD、CPLD 等可编程器件的基础上发展的产物。FPGA 作为 ASIC 领域中的一种半定制电路而出现,在目前 IC 设计领域中主要负责前端逻辑电路设计综合和验证,其反复可编程的特点很好地解决了 ASIC 中定制电路的流片后就不可修改的不足,并且很好地克服了像 PLD、CPLD 等可编程器件门电路有限的缺点,做到了很高的集成度。

由于我们可以对 FPGA 进行反复烧写,它不可能采用像 ASIC 那样固定的与非门来完成组合逻辑结构,而要采用一些便于反复配置的结构。因此,FPGA 厂商提出了查找表的结构,这种查找表能够很好地实现这一要求,目前基于 SRAM 工艺的查找表结构都成为主流 FPGA 的烧写结构,这一点与传统的采用 Flash 或熔丝与反熔丝工艺的 CPLD 有很大的不同。通过这种查找表结构,我们可以通过烧写文件改变查找表内容对 FPGA 进行重复配置。

数字电路知识中,如果有一个 n 输入的逻辑运算,当经过与或非运算或者是异或运算,其结果最多只可能存在 $2n$ 个。FPGA 原理是当用户通过原理图或 HDL 语言描述了一个逻辑电路以后,FPGA 开发软件会通过逻辑综合 (Logic Synthesis) 实现该逻辑电路 RTL,并将结果写入 SRAM 中,每一组输入信号就等同于需要进行查表的地址值,随后开发软件会寻出对应地址内的内容,然后输出。根据这种原理,我们可以通过配置查找表的内容实现在相同电路的情况下不同的逻辑功能。

上述的 FPGA 可反复编程从本质上来解释是因为存在查找表 (Look-Up-Table, LUT)。LUT 实质上就是一种 RAM。目前 FPGA 中 LUT 都可以看成一个有 4 位地址线的 RAM, LUT 和一般的逻辑电路具有相同的功能,但是相比较而言, LUT 具有更快的执行速度和更大的规模。同时,正是具有 LUT 这种硬件结构使得 FPGA 器件集成度达到了数万门到数千万门不等,能够完成复杂的时序电路以及状态机的设计,所以 FPGA 适用于高速数字逻辑电路设计领域。

FPGA 在实际工作的时候要求通过编程将数据写入片内 RAM 来配置芯片的工作模式,开发人员依照自己所需要的配置模式选用不同的编程方式, FPGA 配置模式有如下四种:

- 1) 串行模式: PROM 串行配置 FPGA。
- 2) 并行模式: Flash、PROM 并行配置 FPGA。
- 3) 主从模式: 一片 PROM 配置多片 FPGA。
- 4) 外设模式: 将 FPGA 作为微处理器的外设,由微处理器对其编程。

现今最大的两家 FPGA 生产厂商 Xilinx 以及 Altera 出产的 FPGA 芯片都是基于 SRAM 工艺,当我们需要保存程序的时候需要在使用时外接一个片外存储器。上电时, FPGA 将外部存储器中的程序数据读入片内 RAM 以完成相关配置,随后芯片进入工作状态;掉电后,由于 SRAM 的掉电丢失数据的特性, FPGA 内部的逻辑消失。尽管具有掉电易失的不足,但是 FPGA 却是能够反复编程使用,还无需专门的 FPGA 编程器。

FPGA 可编程技术可以分为两大类:一次可编程与反复可编程。一次可编程技术包括熔丝和反熔丝以及 PROM。熔丝技术主要通过电流来移除指定内部连接,反熔丝技术通过电流来增加内部连接。反复编程技术包括 EPROM、EEPROM、Flash、SRAM 等。典型的 FPGA

结构如图 1-2 所示。主要包括可配置逻辑块 CLB、输入/输出块 IOB 和块 RAM 等。

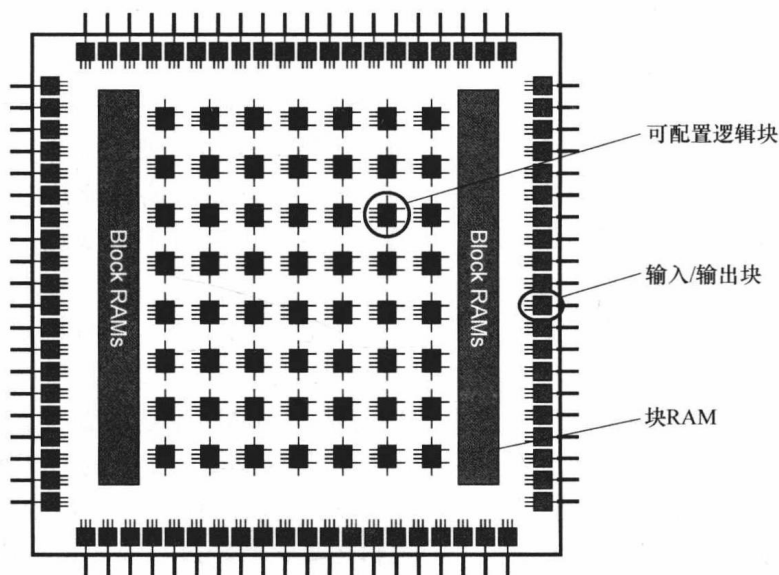


图 1-2 Xilinx FPGA 结构

目前，世界上主要的 FPGA 供应商包括 Xilinx、Altera、Atmel 和 Lattice，这四家都以提供 SRAM 型 FPGA 为主，其中 Xilinx 与 Altera 两家占据了全球 60% 以上的 FPGA 市场。还有两家以提供 Flash 和反熔丝 FPGA 为主的厂商：Actel 和 Quick Logic，尤其以 Actel 的反熔丝技术 FPGA 占据了航空等特定市场较大份额。

1.3 FPGA 主要器件

1.3.1 Xilinx

Xilinx 公司主要提供可编程逻辑器件以及相应的设计软件 ISE 以及新版的 Vivado。公司总部位于美国加利福尼亚州，是一家无生产线的半导体公司，其产品主要由 UMC 及 TSMC 代工。

Xilinx 公司的主流器件有 Spartan-6、Virtex-6、Artix-7、Kintex-7、Virtex-7 等系列，其中 7 系列是最新的器件。表 1-1 为各个系列的资源配置。

表 1-1 Xilinx 系列 FPGA 资源配置

	Spartan-6	Virtex-6	Artix-7	Kintex-7	Virtex-7
逻辑单元	150000	758784	215000	480000	2000000
Block RAM	4.8Mb	37.4Mb	13Mb	34Mb	68Mb
DSP Slice	180	2016	740	1920	3600
DSP 性能 (对称 FIR)	140GMACs	1000GMACs	930GMACs	2845GMACs	5335GMACs
收发器数量	5	48	16	32	96
收发器速度	3.2Gbit/s	11.18Gbit/s	6.6Gbit/s	12.5Gbit/s	28.05Gbit/s