



教育部高等学校电子信息类专业教学指导委员会规划教材
高等学校电子信息类专业系列教材

电子科学与技术

The Introduction and Application Examples on Digital System
Design with Verilog HDL

Verilog HDL数字系统 设计入门与应用实例

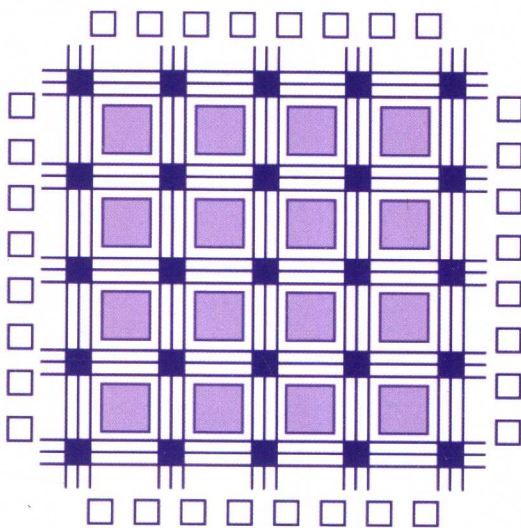
王忠礼 主编

Wang Zhongli

王秀琴 夏洪洋 副主编

Wang Xiuqin

Xia Hongyang



清华大学出版社



教育部高等学校电子信息类专业教学指导委员会规划教材
高等学校电子信息类专业系列教材

The Introduction and Application Examples on Digital
System Design with Verilog HDL

Verilog HDL数字系统 设计入门与应用实例

王忠礼 主编

Wang Zhongli

王秀琴 夏洪洋 副主编

Wang Xiueqin

Xia Hongyang

清华大学出版社
北京

内 容 简 介

本书系统地介绍了硬件描述语言 Verilog HDL 以及数字系统设计的相关知识,主要包括 EDA 技术、FPGA/CPLD 器件、Verilog HDL 基础知识以及设计实例、基于 FPGA/CPLD 数字系统设计实例。书中各章都配备了思考与练习题。

本书以应用为主,突出实践性,结构严谨,书中的实例新颖、典型。本书适合作为电子信息工程、通信工程、电子信息科学与技术、自动化、电气工程等电子与电气类相关专业本科教材和研究生参考书,同时也可供电路设计和系统开发工程技术人员学习参考。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

Verilog HDL 数字系统设计入门与应用实例/王忠礼主编. —北京:清华大学出版社,2019

(高等学校电子信息类专业系列教材)

ISBN 978-7-302-51130-4

I. ①V… II. ①王… III. ①VHDL 语言—程序设计—高等学校—教材 IV. ①TP312

中国版本图书馆 CIP 数据核字(2018)第 200441 号

责任编辑:黄 芝 战晓雷

封面设计:李召霞

责任校对:梁 毅

责任印制:沈 露

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座

邮 编:100084

社 总 机:010-62770175

邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质量反馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

课件下载: <http://www.tup.com.cn>, 010-62795954

印 装 者:三河市铭诚印务有限公司

经 销:全国新华书店

开 本:185mm×260mm 印 张:24.75

字 数:601 千字

版 次:2019 年 4 月第 1 版

印 次:2019 年 4 月第 1 次印刷

印 数:1~1500

定 价:59.50 元

产品编号:078885-01

高等学校电子信息类专业系列教材

顾问委员会

谈振辉	北京交通大学	(教指委高级顾问)	郁道银	天津大学	(教指委高级顾问)
廖延彪	清华大学	(特约高级顾问)	胡广书	清华大学	(特约高级顾问)
华成英	清华大学	(国家级教学名师)	于洪珍	中国矿业大学	(国家级教学名师)
彭启琮	电子科技大学	(国家级教学名师)	孙肖子	西安电子科技大学	(国家级教学名师)
邹逢兴	国防科技大学	(国家级教学名师)	严国萍	华中科技大学	(国家级教学名师)

编审委员会

主 任	吕志伟	哈尔滨工业大学			
副主任	刘 旭	浙江大学	王志军	北京大学	
	隆克平	北京科技大学	葛宝臻	天津大学	
	秦石乔	国防科技大学	何伟明	哈尔滨工业大学	
	刘向东	浙江大学			
委 员	王志华	清华大学	宋 梅	北京邮电大学	
	韩 焱	中北大学	张雪英	太原理工大学	
	殷福亮	大连理工大学	赵晓晖	吉林大学	
	张朝柱	哈尔滨工程大学	刘兴钊	上海交通大学	
	洪 伟	东南大学	陈鹤鸣	南京邮电大学	
	杨明武	合肥工业大学	袁东风	山东大学	
	王忠勇	郑州大学	程文青	华中科技大学	
	曾 云	湖南大学	李思敏	桂林电子科技大学	
	陈前斌	重庆邮电大学	张怀武	电子科技大学	
	谢 泉	贵州大学	卞树檀	火箭军工程大学	
	吴 瑛	解放军信息工程大学	刘纯亮	西安交通大学	
	金伟其	北京理工大学	毕卫红	燕山大学	
	胡秀珍	内蒙古工业大学	付跃刚	长春理工大学	
	贾宏志	上海理工大学	顾济华	苏州大学	
	李振华	南京理工大学	韩正甫	中国科学技术大学	
	李 晖	福建师范大学	何兴道	南昌航空大学	
	何平安	武汉大学	张新亮	华中科技大学	
	郭永彩	重庆大学	曹益平	四川大学	
	刘缠牢	西安工业大学	李儒新	中国科学院上海光学精密机械研究所	
	赵尚弘	空军工程大学	董友梅	京东方科技集团股份有限公司	
	蒋晓瑜	陆军装甲兵学院	蔡 毅	中国兵器科学研究院	
	仲顺安	北京理工大学	冯其波	北京交通大学	
	黄翊东	清华大学	张有光	北京航空航天大学	
	李勇朝	西安电子科技大学	江 毅	北京理工大学	
	章毓晋	清华大学	张伟刚	南开大学	
	刘铁根	天津大学	宋 峰	南开大学	
	王艳芬	中国矿业大学	靳 伟	香港理工大学	
	苑立波	哈尔滨工程大学			
丛书责任编辑	盛东亮	清华大学出版社			

序

FOREWORD

我国电子信息产业销售收入总规模在 2013 年已经突破 12 万亿元,行业收入占工业总体比重已经超过 9%。电子信息产业在工业经济中的支撑作用凸显,更加促进了信息化和工业化的高层次深度融合。随着移动互联网、云计算、物联网、大数据和石墨烯等新兴产业的爆发式增长,电子信息产业的发展呈现了新的特点,电子信息产业的人才培养面临着新的挑战。

(1) 随着控制、通信、人机交互和网络互联等新兴电子信息技术不断发展,传统工业设备融合了大量最新的电子信息技术,它们一起构成了庞大而复杂的系统,派生出大量新兴的电子信息技术应用需求。这些“系统级”的应用需求,迫切要求具有系统级设计能力的电子信息技术人才。

(2) 电子信息系统设备的功能越来越复杂,系统的集成度越来越高。因此,要求未来的设计者应该具备更扎实的理论基础知识和更宽广的专业视野。未来电子信息系统的设计越来越要求软件和硬件的协同规划、协同设计和协同调试。

(3) 新兴电子信息技术的发展依赖于半导体产业的不断推动,半导体厂商为设计者提供了越来越丰富的生态资源,系统集成厂商的全方位配合又加速了这种生态资源的进一步完善。半导体厂商和系统集成厂商所建立的这种生态系统,为未来的设计者提供了更加便捷却又必须依赖的设计资源。

教育部 2012 年颁布了新版《高等学校本科专业目录》,将电子信息类专业进行了整合,为各高校建立系统化的人才培养体系,培养具有扎实理论基础和宽广专业技能的、兼顾“基础”和“系统”的高层次电子信息人才给出了指引。

传统的电子信息学科专业课程体系呈现“自底向上”的特点,这种课程体系偏重对底层元器件的分析与设计,较少涉及系统级的集成与设计。近年来,国内很多高校对电子信息类专业课程体系进行了大力度的改革,这些改革顺应时代潮流,从系统集成的角度,更加科学合理地构建了课程体系。

为了进一步提高普通高校电子信息类专业教育与教学质量,贯彻落实《国家中长期教育改革和发展规划纲要(2010—2020 年)》和《教育部关于全面提高高等教育质量若干意见》(教高【2012】4 号)的精神,教育部高等学校电子信息类专业教学指导委员会开展了“高等学校电子信息类专业课程体系”的立项研究工作,并于 2014 年 5 月启动了《高等学校电子信息类专业系列教材》(教育部高等学校电子信息类专业教学指导委员会规划教材)的建设工作。其目的是为推进高等教育内涵式发展,提高教学水平,满足高等学校对电子信息类专业人才培养、教学改革与课程改革的需要。

本系列教材定位于高等学校电子信息类专业的专业课程,适用于电子信息类的电子信

息工程、电子科学与技术、通信工程、微电子科学与工程、光电信息科学与工程、信息工程及其相近专业。经过编审委员会与众多高校多次沟通,初步拟定分批次(2014—2017年)建设约100门课程教材。本系列教材将力求在保证基础的前提下,突出技术的先进性和科学的前沿性,体现创新教学和工程实践教学;将重视系统集成思想在教学中的体现,鼓励推陈出新,采用“自顶向下”的方法编写教材;将注重反映优秀的教学改革成果,推广优秀的教学经验与理念。

为了保证本系列教材的科学性、系统性及编写质量,本系列教材设立顾问委员会及编审委员会。顾问委员会由教指委高级顾问、特约高级顾问和国家级教学名师担任,编审委员会由教育部高等学校电子信息类专业教学指导委员会委员和一线教学名师组成。同时,清华大学出版社为本系列教材配置优秀的编辑团队,力求高水准出版。本系列教材的建设,不仅有众多高校教师参与,也有大量知名的电子信息类企业支持。在此,谨向参与本系列教材策划、组织、编写与出版的广大教师、企业代表及出版人员致以诚挚的感谢,并殷切希望本系列教材在我国高等学校电子信息类专业人才培养与课程体系建设中发挥切实的作用。

吕志伟 教授

前言

PREFACE

随着电子技术、计算机应用技术的不断发展,现代数字系统的设计思想、设计方法以及实现方式都进入了崭新的阶段。这一变化促使电子设计自动化(EDA)技术快速发展,很多公司推出各类高性能的 EDA 工具,同时也促使高性能 FPGA/CPLD 器件出现。FPGA/CPLD 器件具有功能强大、开发周期短、投资小、便于修改等优点,已经成为硬件设计的首选器件。Verilog HDL 是 IEEE 标准的硬件描述语言,无论是电子设计工程师还是高等院校的学生都应该熟练掌握它,以提高工作效率。本书的主要内容就是把 FPGA/CPLD 器件、高性能的 EDA 工具和 Verilog HDL 三者结合起来,以实现现代数字系统的设计。

本书共分 12 章。第 1 章对 EDA 技术以及数字系统的设计方法和流程进行介绍。第 2 章首先对可编程逻辑器件进行综述,然后介绍 FPGA/CPLD 器件的结构、工作原理和主流产品。第 3 章介绍 Quartus II 的基本操作、设计输入、设计处理、时序分析和层次设计。第 4 章是 ModelSim 使用指南。第 5 章介绍 Verilog HDL 的基本语法、模块结构和基本语句等内容。第 6 章介绍数字电路的仿真与测试等内容。第 7 章介绍 Verilog HDL 的描述风格、进程和层次设计。第 8 章和第 9 章分别介绍了组合逻辑电路和时序逻辑电路的程序设计。第 10 章介绍有限状态机的设计。第 11 章介绍数字系统设计实例,包括数字跑表、交通灯控制器、自动售货机、采样控制模块、可控脉冲发生器的设计。第 12 章介绍基于 FPGA 数字系统设计实例。

本书从实用的角度出发,紧密联系教学实际,语法介绍简明清晰,实例内容丰富,重点突出。各章均附有思考与练习,建议读者在学完一章内容以后认真完成本章的练习,以加深和巩固所学的知识。相信本书会为读者的学习和工作带来一定的帮助。

本书可以作为高等院校电子信息工程、通信工程、电子信息科学与技术、自动化、电气工程等电子与电气类相关专业本科教材和研究生参考书,同时也可供电路设计和系统开发工程技术人员学习参考。

本书第 1、2 章由陈晓洁编写,第 3、4 章和附录 C 由赵金宽编写,第 5、6、7 章由王秀琴编写,第 8、9、10 章和附录 A、B、D 由王忠礼编写,第 11、12 章由夏洪洋编写。

在本书的编写过程中,北华大学的马惜平老师、黑龙江科技大学的江晓林、刘付刚老师对书稿提出了宝贵的建议和意见,编者在此表示由衷的感谢!

由于编者水平有限,书中难免存在疏漏,敬请广大读者批评指正。

编 者

2018 年 12 月

目录

CONTENTS

第 1 章 绪论	1
1.1 EDA 技术的发展概况	1
1.2 设计方法和设计流程	3
1.2.1 设计方法	3
1.2.2 设计流程	5
1.3 主要的 EDA 开发软件及厂家	9
1.3.1 主要的 EDA 厂家	9
1.3.2 主要的 EDA 开发软件	10
思考与练习	11
第 2 章 可编程逻辑器件	12
2.1 可编程器件概述	12
2.1.1 ASIC 及其分类	12
2.1.2 PLD 器件的分类	15
2.2 简单 PLD 的基本结构	16
2.3 CPLD 的基本结构及典型器件简介	19
2.3.1 CPLD 的基本结构	19
2.3.2 典型 CPLD 器件——MAX7000 系列	19
2.3.3 典型 CPLD 器件——Max II 系列	22
2.3.4 典型 CPLD 器件——XC9500 系列	28
2.4 FPGA 的基本结构及典型器件简介	31
2.4.1 FPGA 的基本结构	31
2.4.2 典型 FPGA 器件——Cyclone II 系列	32
2.4.3 Altera 公司 FPGA 简介	37
2.4.4 典型 FPGA 器件——Spartan-3 系列	38
2.4.5 Xilinx 公司 FPGA 简介	44
2.5 器件配置与编程	46
2.5.1 JTAG 边界扫描测试	46
2.5.2 FPGA 的编程与配置	46
2.6 PLD 发展趋势	52
思考与练习	53
第 3 章 Quartus II 开发软件	54
3.1 概述	54
3.1.1 Quartus II 9.1 的安装	54

3.1.2	Quartus II 9.1 的授权许可设置	54
3.2	Quartus II 9.1 管理器	56
3.2.1	工作界面	56
3.2.2	菜单栏	58
3.3	设计输入	62
3.3.1	Quartus II 软件设计流程	62
3.3.2	创建工程	63
3.3.3	图形编辑输入	67
3.3.4	文本编辑输入	72
3.4	设计处理	73
3.4.1	编译设置	73
3.4.2	编译	76
3.4.3	仿真分析	77
3.4.4	引脚锁定、设计下载和硬件测试	82
3.5	时序分析	84
3.5.1	Classic Timing Analyzer 时序约束	84
3.5.2	TimeQuest Timing Analyzer 时序分析	87
3.6	层次设计	92
3.6.1	创建底层设计文件	93
3.6.2	创建图元	93
3.6.3	创建顶层设计文件	94
3.7	基于宏功能模块的设计	96
	思考与练习	100
第 4 章	ModelSim 仿真软件	102
4.1	概述	102
4.2	ModelSim 6.5 使用举例	104
4.2.1	ModelSim 仿真基本步骤	104
4.2.2	ModelSim 与 Quartus II 联合进行功能仿真的基本步骤	112
4.2.3	ModelSim 对 Altera 器件进行后仿真的基本步骤	114
	思考与练习	118
第 5 章	Verilog HDL 基本语法	119
5.1	Verilog HDL 概述	119
5.1.1	Verilog HDL 的产生和发展	119
5.1.2	Verilog HDL 的设计流程	121
5.1.3	Verilog HDL 与 VHDL 的比较	122
5.2	Verilog HDL 模块结构	123
5.3	Verilog HDL 语言要素及数据类型	126
5.3.1	Verilog HDL 语言要素	126
5.3.2	常量	127
5.3.3	变量和数据类型	130
5.3.4	参数	138
5.3.5	向量	138
5.3.6	存储器	139

5.3.7 运算符	140
5.4 Verilog HDL 基本语句	151
5.4.1 综合性设计语句	151
5.4.2 时间控制语句	151
5.4.3 过程语句	154
5.4.4 块语句	158
5.4.5 赋值语句	164
5.4.6 条件语句	169
5.4.7 循环语句	175
5.4.8 任务与函数	179
5.4.9 编译预处理语句	183
思考与练习	190
第 6 章 仿真与测试	191
6.1 系统任务与系统函数	191
6.2 用户自定义原语	198
6.3 测试平台的建立	204
6.4 仿真设计实例	206
思考与练习	210
第 7 章 描述方式与层次设计	211
7.1 Verilog HDL 的描述方式	211
7.1.1 结构描述方式	211
7.1.2 行为描述方式	217
7.1.3 数据流描述方式	217
7.1.4 混合描述方式	218
7.2 进程	218
7.3 Verilog HDL 层次设计	219
思考与练习	220
第 8 章 组合逻辑电路设计	221
8.1 编码器和译码器	221
8.1.1 编码器	221
8.1.2 译码器	224
8.2 数据选择器	227
8.3 加法器	229
8.3.1 半加器	229
8.3.2 全加器	230
8.3.3 级联加法器	231
8.3.4 超前进位加法器	232
8.4 乘法器	233
8.4.1 移位相加乘法器	233
8.4.2 并行乘法器	234
8.5 其他组合逻辑电路	235
8.5.1 基本门电路	235

8.5.2 三态门电路	236
思考与练习	237
第9章 时序逻辑电路设计	238
9.1 触发器	238
9.1.1 RS 触发器	238
9.1.2 JK 触发器	241
9.1.3 D 触发器	241
9.1.4 T 触发器	244
9.2 锁存器和寄存器	244
9.2.1 锁存器	244
9.2.2 寄存器	245
9.3 移位寄存器	246
9.3.1 左移移位寄存器	246
9.3.2 右移移位寄存器	246
9.4 分频器	247
9.4.1 偶数分频器	247
9.4.2 奇数分频器	248
9.5 计数器	249
9.5.1 同步计数器	249
9.5.2 异步计数器	250
9.5.3 加减计数器	251
9.6 其他时序逻辑电路	252
9.6.1 同步器	252
9.6.2 边沿检测电路	253
思考与练习	254
第10章 有限状态机的设计	255
10.1 有限状态机概述	255
10.1.1 状态机的分类	255
10.1.2 有限状态机的状态转换图	256
10.1.3 有限状态机的设计流程	256
10.2 有限状态机的设计要点	258
10.3 有限状态机设计实例	260
10.3.1 摩尔型状态机	260
10.3.2 米里型状态机	262
10.3.3 有限状态机的描述方式	264
思考与练习	268
第11章 数字系统设计实例	269
11.1 数字跑表的设计	269
11.2 交通灯控制器的设计	272
11.3 自动售货机的设计	275
11.4 ADC0809 采样控制模块的设计	279
11.5 可控脉冲发生器的设计	284

11.5.1	顺序脉冲发生器	284
11.5.2	并行脉冲控制模块	285
思考与练习		289
第 12 章	基于 FPGA 数字系统设计实例	290
12.1	基于 FPGA 的多功能数字钟的设计	290
12.1.1	系统设计要求	290
12.1.2	系统设计方案	290
12.1.3	各部分功能模块的设计	291
12.2	基于 FPGA 的信号发生器的设计	313
12.2.1	系统设计要求	313
12.2.2	系统设计方案	313
12.2.3	各部分功能模块的设计	313
12.3	基于 FPGA 的密码锁的设计	323
12.3.1	系统设计要求	323
12.3.2	系统设计方案	323
12.3.3	各部分功能模块的设计	323
12.4	数字滤波器的 FPGA 设计	337
12.4.1	FIR 滤波器的结构	337
12.4.2	抽头系数的编码	338
12.4.3	FIR 滤波器的设计	339
12.5	直扩通信系统的 FPGA 设计	341
12.5.1	二进制相位键控调制	342
12.5.2	CPSK 信号的产生	343
12.5.3	DPSK 信号的产生	344
12.5.4	CPSK 调制器的设计	347
12.5.5	DPSK 调制器的设计	348
12.5.6	CPSK 解调器的设计	349
12.5.7	DPSK 解调器的设计	351
思考与练习		353
附录 A	Verilog HDL(IEEE 1364—1995)关键字	355
附录 B	Verilog HDL(IEEE 1364—2001)关键字	356
附录 C	Verilog-2001 语法结构	357
附录 D	Verilog-2002 语法结构	372
参考文献		382

1.1 EDA 技术的发展概况

电子设计自动化(Electronic Design Automation, EDA)是指利用计算机完成电子系统的设计。EDA 技术是以计算机和微电子技术为先导,汇集了计算机图形学、拓扑、逻辑学、微电子工艺与结构学和计算数学等多种计算机应用学科最新成果的先进技术。

EDA 技术以计算机为工具,代替人完成数字系统的逻辑综合、布局布线和设计仿真等工作。设计人员只需要完成对系统功能的描述,就可以由计算机软件进行处理,得到设计结果,而且修改设计如同修改软件一样方便,可以极大地提高设计效率。

从 20 世纪 60 年代中期开始,人们就不断开发出各种计算机辅助设计工具来帮助设计人员进行电子系统的设计。电路理论和半导体工艺水平的提高,对 EDA 技术的发展起了巨大的推进作用,使 EDA 的作用范围从 PCB 板设计延伸到电子线路和集成电路设计,直至整个系统的设计,也使 IC 芯片系统应用、电路制作和整个电子系统生产过程都集成在一个环境中。根据电子设计技术的发展特征,EDA 技术发展大致分为 3 个阶段。

1. CAD 阶段(20 世纪 60 年代中期~20 世纪 80 年代初期)

这一阶段的特点是出现了一些单独的工具软件,主要有 PCB(Printed Circuit Board)布线设计、电路模拟、逻辑模拟及版图的绘制等,通过计算机的使用,将设计人员从大量烦琐重复的计算和绘图工作中解脱出来。例如,目前常用的 Protel 早期版本 Tango、用于电路模拟的 SPICE 软件和后来产品化的 IC 版图编辑与设计规则检查系统等软件,都是这个阶段的产品。这个时期的 EDA 一般称为 CAD(Computer Aided Design,计算机辅助设计)。

20 世纪 80 年代初,随着集成电路规模的增大,EDA 技术有了较快的发展。许多软件公司如 Mentor Daisy System 及 Logic System 等进入市场,开始供应带电路图编辑工具和逻辑模拟工具的 EDA 软件。这个时期的软件主要针对产品开发,在设计、分析、生产和测试等不同阶段分别使用不同的软件包。每个软件只能完成其中的一项工作,通过按顺序循环使用这些软件,可完成设计的全过程。但这样的设计过程存在两个方面的问题:第一,由于各个工具软件是由不同的公司和专家开发的,只解决一个领域的问题,若将一个工具软件的输出作为另一个工具软件的输入,就需要人工处理,过程很烦琐,影响设计速度;第二,对于复杂电子系统的设计,当时的 EDA 工具由于缺乏系统级的设计考虑,不能提供系统级的仿真与综合,设计错误如果在开发后期才被发现,将给修改工作带来极大不便。

2. CAE 阶段(20 世纪 80 年代初期~20 世纪 90 年代初期)

这个阶段在集成电路与电子设计方法学以及设计工具集成化方面取得了许多成果。各种设计工具,如原理图输入、编译与连接、逻辑模拟、测试码生成、版图自动布局以及各种单元库已齐全。由于采用了统一的数据管理技术,因而能将各个工具集成为一个 CAE (Computer Aided Engineering, 计算机辅助工程) 系统。按照设计方法学制定的设计流程,可以实现从设计输入到版图输出的全程设计自动化。这个阶段主要采用基于单元库的半定制设计方法,采用门阵列和标准单元设计的各种 ASIC (Application Specific Integrated Circuits) 得到了极大的发展,将集成电路工业推入了 ASIC 时代。多数系统中集成了 PCB 自动布局布线软件以及热特性、噪声、可靠性等分析软件,进而可以实现电子系统设计自动化。

3. EDA 阶段(20 世纪 90 年代以来)

20 世纪 90 年代以来,微电子技术以惊人的速度发展,其工艺水平达到深亚微米级,在一个芯片上可集成数百万乃至上千万只晶体管,工作速度可达到吉赫级,这为制造出规模更大、速度更快和信息容量更大的芯片系统提供了条件,但同时也对 EDA 系统提出了更高的要求,并促进了 EDA 技术的发展。此阶段主要出现了以高级语言描述、系统仿真和综合技术为特征的第三代 EDA 技术,不仅极大地提高了系统的设计效率,而且使设计人员摆脱了大量的辅助性及基础性工作,将精力集中于创造性的方案与概念的构思上。

下面简单介绍这个阶段 EDA 技术的主要特征。

(1) 高层综合(High Level Synthesis, HLS)的理论与方法取得较大进展,将 EDA 设计层次由 RTL 级提高到了系统级(又称行为级),并划分为逻辑综合和测试综合。逻辑综合就是对不同层次和不同形式的设计描述进行转换,通过综合算法,以具体的工艺背景实现高层目标所规定的优化设计;通过设计综合工具,可将电子系统的高层行为描述转换到低层硬件描述和确定的物理实现,使设计人员无须直接面对低层电路,不必了解具体的逻辑器件,从而把精力集中到系统行为建模和算法设计上。测试综合是以设计结果的性能为目标的综合方法,以电路的时序、功耗、电磁辐射和负载能力等性能指标为综合对象。测试综合是保证电子系统设计结果能够稳定可靠工作的必要条件,也是对设计进行验证的有效方法,其典型工具有 Synopsys 公司的 Behavioral Compiler 以及 Mentor Graphics 公司的 Monet 和 Renoir。

(2) 采用 HDL(Hardware Description Language, 硬件描述语言)来描述 10 万门以上的设计,并形成了 VHDL(Very High Speed Integrated Circuit HDL, 超高速集成电路硬件描述语言)和 Verilog HDL 两种标准硬件描述语言。它们均支持不同层次的描述,使得复杂集成电路的描述规范化,便于传递、交流、保存与修改,也便于重复使用。它们多应用于 FPGA/CPLD/EPLD 的设计中。大多数 EDA 软件都兼容这两种标准。

(3) 采用平面规划(floor planning)技术对逻辑综合和物理版图设计进行联合管理,做到了在逻辑综合早期设计阶段就考虑到物理设计信息的影响。通过这些信息,设计者能更进一步进行综合与优化,并保证所做的修改只会提高性能而不会对版图设计带来负面影响。这在深亚微米级布线延时已成为主要延时的情况下,对加速设计过程的收敛与成功是有所帮助的。在 Synopsys 和 Cadence 等公司的 EDA 系统中均采用了这项技术。

(4) 可测性综合设计。随着 ASIC 的规模与复杂性的提升,测试难度和费用急剧增大,

由此产生了将可测性电路结构制作在 ASIC 芯片上的想法,于是开发了扫描插入、BIST (Built-In Self Test,内建自测试)、边界扫描等可测性设计(Design For Testability,DFT)工具,并已集成到 EDA 系统中。其典型产品有 Compass 公司的 Test Assistant 和 Mentor Graphics 公司的 LBLST Architect、BSD Architect、DFT Advisor 等。

(5) 为带有嵌入 IP(Intellectual Property,知识产权)模块的 ASIC 设计提供软硬件协同系统设计工具。协同验证弥补了硬件设计和软件设计流程之间的空隙,保证了软硬件之间的同步协调工作。协同验证是当今系统集成的核心,它以高层系统设计为主导,以性能优化为目标,融合逻辑综合、性能仿真、形式验证和可测性设计。其典型产品有 Mentor Graphics 公司的 Seamless CAV。

IP 核是知识产权核或知识产权模块,用于 ASIC 或 FPGA/CPLD 中预先设计好的电路功能模块。IP 在 EDA 技术开发中具有十分重要的地位,按照与 EDA 技术的关系分为软 IP、固 IP、硬 IP。软 IP 是用 Verilog HDL 等硬件描述语言描述的功能块,并不涉及用什么具体电路元件来实现这些功能。固 IP 是完成了综合的功能块,具有较大的设计深度,以网表文件的形式提交客户使用。硬 IP 提供设计的最终阶段产品——掩模。

(6) 建立并行设计工程(Concurrent Engineering,CE)框架结构的集成化设计环境,以适应当今 ASIC 的如下一些特点:数字与模拟电路并存,硬件与软件设计并存,产品上市速度必须快。在这种集成化设计环境中,使用统一的数据管理系统与完善的通信管理系统,由若干相关的设计小组共享数据库和知识库,并行地进行设计,而且在各种平台之间可以平滑过渡。

1.2 设计方法和设计流程

1.2.1 设计方法

1. 传统的系统硬件电路设计方法

在 EDA 出现以前,人们采用传统的硬件电路设计方法来设计系统。传统的硬件电路采用自下而上(bottom up)的设计方法。其主要步骤是:根据系统对硬件的要求,详细地编制技术规格书,并画出系统控制流图;然后根据技术规格书和系统控制流图,对系统的功能进行划分,合理地划分功能模块,并画出系统功能框图;接着就是进行各功能模块的细化和电路设计;各功能模块电路设计调试完毕以后,将各功能模块的硬件电路连接起来,再进行系统的调试;最后完成整个系统的硬件电路设计。例如,在一个系统中,其中一个功能模块是十进制计数器。设计的第一步是选择逻辑元器件,由数字电路的知识可知,可以用与非门、或非门、D 触发器、JK 触发器等基本逻辑元器件来构成一个计数器。设计人员根据电路的简单程序,价格是否合理,购买和使用的方便性及各自的习惯来选择元器件。第二步是进行电路设计,画出状态转换图,写出触发器的真值表,按逻辑函数将元器件连接起来,这样计数器模块的设计就完成了。系统的其他模块也按照此方法进行设计,在完成所有硬件模块设计后,再将各模块连接起来进行调试,如有问题则进行局部修改,直至系统调试完毕。

从上述过程可以看到,系统硬件的设计是从选择具体逻辑元器件开始的,并用这些元器件进行逻辑电路设计,完成系统各独立功能模块设计,然后再将各功能模块连接起来,从而

完成整个系统的硬件设计。上述过程从最底层设计开始,到最高层设计完毕,故将这种设计方法称为自下而上的设计方法。

传统自下而上的硬件电路设计方法的主要特征如下所述。

(1) 采用通用的逻辑元器件。设计者根据需要,选择市场上能买得到的元器件,如 54/74 系列,来构成所需要的逻辑电路。随着微处理器的出现,系统的部分硬件电路功能可以用软件来实现,这在很大程度上简化了系统硬件电路的设计。但是,选择通用的元器件来构成系统硬件电路的方法并未改变。

(2) 在系统硬件设计的后期进行仿真和调试。系统硬件设计好以后才能进行仿真和调试,进行仿真和调试的仪器一般为系统仿真器、逻辑分析仪和示波器等。由于系统设计时存在的问题只有在后期才能发现,一旦考虑不周,系统设计存在缺陷,就需要重新设计系统,使得设计费用和周期大大增加。

(3) 主要设计文件是电路原理图。在设计调试完毕后,形成的硬件设计文件主要是由若干张电路原理图构成的。在电路原理图中详细标注了各逻辑元器件的名称和相互间的信号连接关系。该文件是用户使用和维护系统的依据。如果是小系统,这种电路原理图只要几十张、几百张就可以了;但是,如果系统很复杂,那么就可能需要几千张、几万张甚至几十万张。如此多的电路原理图给归档、阅读、修改和使用都带来了极大的不便。

传统的自下而上的硬件电路设计方法已经沿用了几十年,随着计算机技术、大规模集成电路技术的发展,这种设计方法已落后于当今技术的发展。一种崭新的自上而下的设计方法已经兴起,它为硬件电路设计带来了重大的变革。

2. 新兴的 EDA 硬件电路设计方法

随着各种新兴的 EDA 工具开始出现,特别是 HDL 的出现和可编程逻辑器件的发展,使得传统的硬件电路设计方法发生了巨大的变化,新兴的 EDA 设计方法采用了自上而下(top down)的设计方法。所谓自上而下的设计方法,就是从系统总体要求出发,从最高层设计开始,逐步将设计内容细化,最后完成系统硬件的整体设计。

各公司的 EDA 工具基本上都支持两种标准的 HDL,分别是 VHDL 和 Verilog HDL。利用 HDL 对系统硬件电路的自上而下设计一般分为 3 个层次,自上而下设计系统硬件的过程如图 1-1 所示。

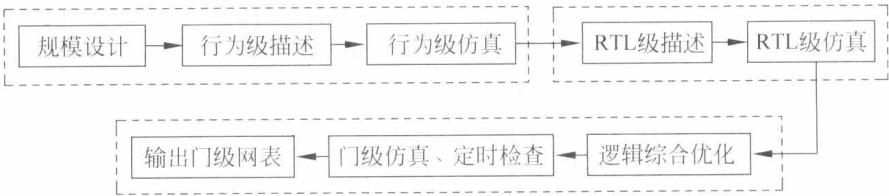


图 1-1 自上而下设计系统硬件的过程

第一层为行为级描述,它是对整个系统的数学模型的描述。一般来说,对系统进行行为级描述的目的是试图在系统设计的初始阶段,通过对系统行为级描述的仿真来发现系统设计中存在的问题。在行为级描述阶段,并不真正考虑其实际的操作和算法用什么方法来实现,考虑更多的是系统的结构及其工作过程是否能达到系统设计规格书的要求,其设计与器件工艺无关。

第二层是 RTL 级描述(又称数据流描述)。用第一层的行为级描述的系统结构程序是很难直接映射到具体逻辑元件结构的,要想得到硬件的具体实现,必须针对某一特定的逻辑综合工具将行为级描述的 HDL 程序转换成 RTL 级描述,然后导出系统的逻辑表达式,再用仿真工具对 RTL 级描述的程序进行仿真。如果仿真通过,就可以利用逻辑综合工具进行综合了。

第三层是逻辑综合。利用逻辑综合工具,可将 RTL 级描述的程序转换成用基本逻辑元件表示的文件(门级网表),也可将综合结果以逻辑原理图方式输出,也就是说逻辑综合结果相当于在人工设计硬件电路时,根据系统要求画出了系统的逻辑电原理图。此后再对逻辑综合结果在门电路级上进行仿真,并检查定时关系。如果一切正常,那么系统的硬件设计基本结束;如果在某一层上仿真的发现问题,就应返回上一层,寻找和修改相应的错误,然后再向下继续未完的工作。

由逻辑综合工具产生门级网表后,在最终完成硬件设计时,还可以有两种选择:一种是由自动布线程序将网表转换成相应的 ASIC 芯片的制造工艺,定制 ASIC 芯片;另一种是将网表转换成相应的 PLD 编程码点,利用 PLD 完成硬件电路的设计。EDA 自上而下的设计方法具有以下主要特点:

(1) 电路设计更趋合理。硬件设计人员在设计硬件电路时使用 PLD 器件,就可自行设计所需的专用功能模块,而无须受通用元器件的限制,从而使电路设计更趋合理,其体积和功耗也可大为缩小。

(2) 采用系统早期仿真。在自上而下的设计过程中,每一层都进行仿真,从而可以在系统设计早期发现设计中存在的问题,这样就可以大大缩短系统的设计周期,降低费用。

(3) 降低了硬件电路设计难度。在使用传统的硬件电路设计方法时,往往要求设计人员在设计电路前写出该电路的逻辑表达式和真值表(或时序电路的状态表),然后进行化简等,这一工作是相当困难和繁杂的,特别是在设计复杂系统时,工作量大,也容易出错。采用 HDL 语言,就可免除编写逻辑表达式或真值表的过程,使设计难度大幅度下降,从而也缩短了设计周期。

(4) 主要设计文件是用 HDL 编写的源程序。在传统的硬件电路设计中,最后形成的主要文件是电原理图。而采用 HDL 设计系统硬件电路时,主要的设计文件是用 HDL 编写的源程序。如果需要,也可以将 HDL 编写的源程序转换成电原理图形式输出。

用 HDL 编写的源程序作为归档文件有很多好处:一是资料量小,便于保存;二是可继承性好,当设计其他硬件电路时,可以使用文件中的某些库、进程和过程程序;三是阅读方便,阅读程序很容易看出某一硬件电路的工作原理和逻辑关系,而阅读电原理图,推知其工作原理需要较多的硬件知识和经验,而且看起来也不那么一目了然。

1.2.2 设计流程

可编程逻辑器件的设计是指利用 EDA 开发软件和编程工具对器件进行开发的过程。高密度复杂可编程逻辑器件的设计流程如图 1-2 所示,它包括设计准备、设计输入、功能仿真、设计处理、时序仿真、器件编程及器件测试 7 个步骤。