



“十三五”科学技术专著丛书

功率半导体异质耐压层 电荷场优化技术

吴丽娟 著

Charge Field Optimization Technique for Power
Semiconductor Heterogeneous Block Voltage Layer



北京邮电大学出版社
www.buptpress.com



“十三五”科学技术专著丛书

功率半导体异质耐压层电荷场优化技术

吴丽娟 著



北京邮电大学出版社
www.buptpress.com

内 容 简 介

本书为功率半导体领域中关于异质耐压层电荷场优化技术的学术专著。本书第1章首先介绍功率半导体的相关内容,然后在此基础上介绍横向功率器件耐压层、耐压层的作用基础与分析方法、耐压层的特殊性;第2章介绍异质耐压层分类和工作机理;第3章分析 ENDIF 耐压层电荷场优化方法;第4章分析 VFP 耐压层电荷场优化方法;第5章分析 HK 耐压层极化电荷场优化方法;第6章分析 CCL SJ 耐压层电荷场优化方法;第7章分析 GC 耐压层电荷场优化方法。功率器件中耐压层结构从耐压角度上可分为两大类,从而形成耐压 ENDIF 和辅助耗尽两种应用需求。

本书可供研究功率半导体异质耐压层电荷场优化技术的理论工作者,半导体相关专业的高校师生,功率器件领域的博士、硕士、本科生,及从事电荷场优化技术创新活动的科技人员阅读,也可供其他相关专业的本科生、研究生和工程技术人员阅读参考,还可作为高等院校电子科学与技术、集成电路设计与集成系统、微电子学等专业相关课程的教学参考书。

图书在版编目(CIP)数据

功率半导体异质耐压层电荷场优化技术 / 吴丽娟著. -- 北京:北京邮电大学出版社, 2019.2

ISBN 978-7-5635-5661-8

I. ①功… II. ①吴… III. ①功率半导体器件—研究 IV. ①TN303

中国版本图书馆 CIP 数据核字(2018)第 284006 号

书 名: 功率半导体异质耐压层电荷场优化技术

著 者: 吴丽娟

责任编辑: 徐振华 王小莹

出版发行: 北京邮电大学出版社

社 址: 北京市海淀区西土城路 10 号(邮编:100876)

发 行 部: 电话: 010-62282185 传真: 010-62283578

E-mail: publish@bupt.edu.cn

经 销: 各地新华书店

印 刷: 北京九州迅驰传媒文化有限公司

开 本: 787 mm×1 092 mm 1/16

印 张: 12.75

字 数: 316 千字

版 次: 2019 年 2 月第 1 版 2019 年 2 月第 1 次印刷

ISBN 978-7-5635-5661-8

定 价: 59.00 元

• 如有印装质量问题,请与北京邮电大学出版社发行部联系 •

前 言

功率 MOS(Metal Oxide Semiconductor, 金属氧化物半导体)器件因输入阻抗高、导通电阻正温度系数大、开关频率高、安全工作区较宽等诸多优点而得以广泛应用。但是,功率 MOS 器件在高压、大功率应用时,其比导通电阻(Specific on-Resistance) $R_{on,sp}$ 与击穿电压(Breakdown Voltage, BV)存在“硅极限”关系(即 $R_{on,sp} \propto BV^{2.5}$),比导通电阻随击穿电压呈指数增加。击穿电压和比导通电阻的矛盾关系成为目前的一个研究热点。本书从功率半导体器件的概念出发,提出了功率半导体异质耐压层电荷场优化方法,从概念、模型、结构到工艺逐条进行分析,很好地解决了在异质耐压层中击穿电压和比导通电阻的矛盾问题。本书可作为高等院校电子科学与技术、集成电路设计与集成系统、微电子学等专业相关课程的教学参考书。

本书共 5 章:第 1 章首先介绍了功率半导体器件,然后在此基础上介绍横向功率器件耐压层、耐压层的作用基础与分析方法、耐压层的特殊性;第 2 章主要介绍异质耐压层分类和工作机理;第 3 章分析 ENDIF 耐压层电荷场优化方法,是全书的核心研究成果;第 4 章分析 VFP 耐压层电荷场优化方法;第 5 章分析 HK 耐压层极化电荷场优化方法;第 6 章分析 CCL SJ 耐压层电荷场优化方法;第 7 章分析 GC 耐压层电荷场优化方法。本书涉及的部分实验是著者就读电子科技大学时在张波老师以及团队老师的支持和帮助下完成的。在本书的撰写过程中,研究生章中杰、杨航、宋月、胡利民、袁娜、雷冰、张银艳、吴怡清、朱琳、黄也参与了本书部分内容的修改、搜集资料和图文校对过程,并且,长沙理工大学的柔性电子材料基因工程湖南省重点实验室提供了技术支持,在此一并表示感谢!

著者在编著本书的过程中,参考了大量的相关教材和文献资料,并选用了其中的一些研究成果和图表数据,这些参考文献不在书后一一列举,而统一列于每章的最后。本书获得国家自然科学基金资助项目(No. 61306094)、湖南省教育厅基金资助项目(No. 15C0034)、长沙理工大学基金项目(No. 1198023)、长沙理工大学教学改革研究项目(No. JG1666)和长沙理工大学出版资助。

功率半导体器件理论和技术在不断发展,而著者水平有限,本书难免存在不足之处。热诚欢迎读者对本书赐予宝贵意见,在此不胜感谢!

著 者

主要缩略词表

SOI	Silicon on Insulator	绝缘体上硅
SOS	Silicon on Sapphire	蓝宝石上的硅薄膜
SIMOX	Separated with Implanted Oxygen	注氧隔离
SDB	Silicon Direct Bonding	硅片直接键合
ELTRAN	Epitaxy Layer Transfer	外延层转移
RESURF	Reduced SURface Field	降低表面电场
BOX	Buried Oxide	埋氧层
BODS	Buried Oxide Double Step	双面阶梯埋氧
DT SOI	Double-Sided Trench SOI	双面介质槽 SOI
NDCL	NonDepletion Compensation Layer	非耗尽补偿层
REBULF	Reduced Bulk Field	降低体电场
VK SOI	SOI with Variable-K Dielectric Buried Layer	变介电系数 SOI
TPSOI	Charge Trenches on Partial-SOI	电荷槽部分 SOI
SIPOS	Semi-Insulating Polycrystalline Silicon	半绝缘多晶硅
SBOC	Step Buried Oxide Charge	埋氧层注入固定电荷
ENDIF	Enhanced Dielectric Layer Field	介质场增强
SBO PSOI	Step Buried Oxide Partial SOI	阶梯部分埋氧
SHE	Self Heating Effect	自热效应
SBO CBL	Step Buried Oxide by Combining Buried Layer	复合阶梯埋层
BNI	Bury N Island	埋 N 岛
HVIC	High Voltage Integrated Circuits	高压集成电路
LVD N ⁺ I	Linear Variable Distance N ⁺ Charge Islands	线性变距离 N ⁺ 电荷岛
PBN ⁺	Partial Buried N ⁺ -Layer	部分 N ⁺ 埋层
AC	Adaptive Charge	自适应电荷
SWCBL	Single-Window Composite Buried Layer	单窗口复合介质埋层
DWCBL	Double-Window Composite Buried Layer	双窗口复合介质埋层
CBL	Composite Buried Layer	复合介质埋层

LBO	the Lower Buried Oxide Layer	下层埋层
UBO	the Upper Buried Oxide Layer	上层埋层
ABE	Adaptive Buried Electrode	埋氧层自适应埋电极
N^+I	N^+ Charge Island	N^+ 电荷岛
FBL	Interface Part of the Equipotential with Floating Buried Layer	浮空埋层的界面部分等电位
SJ	Superjunction	超结
SAD	Substrate-Assisted Depletion	衬底辅助耗尽效应
CBL	Composite Buffer Layer	复合缓冲层
FEA	Field Effect Action	场致效应
SB	Self Balance	自平衡
CB	Charge Balance	电荷平衡
DT	Dielectric Trench	介质槽
T-DBL	T-Dual Dielectric Buried Layer	T 型-双介质埋层
LSJ	Linear Shallow Junction	线性浅结
TSL	Thin Silicon Layer	薄硅层
VFP	Vertical Field Plate	纵向场板
HKHN	High-K Highly Doped N-Layer	高 K 高掺杂 N 层
HKLR	High-K Low Specific on-Resistance	高 K 低比导
BDFP	Bulk Depletion Field Plate	体耗尽场板
DE	Drain Extension	漏延伸
MIS	Metal Insulator Semiconductor	金属绝缘体半导体
FOM	Figure of Merit	功率优值/品质因数
MOS	Metal Oxide Semiconductor	金属氧化物半导体
LDMOS	Lateral Double-Diffused Metal Oxide Semiconductor	横向双扩散金属氧化物半导体
Con.	Conventional	常规的
NBL	N-Buried Layer	N 埋层
VDMOS	Vertical Double-Diffusion MOSFET	纵向双扩散金属氧化物半导体
IGBT	Insulated Gate Bipolar Transistor	绝缘栅双极晶体管
FP	Field Plate	场板
LFP	Lateral Field Plate	横向场板
GC	Gate Charge	栅电荷
CCL	Charge Compensation Layer	电荷补偿层
BJT	Bipolar Junction Transistor	双极型晶体管

TG	Trapezoidal Gate	梯形栅
RG	Rectangle Gate	矩形栅
SG	Split Gate	分离栅
DVFP	Double Vertical Field Plate	双纵向场板
DT	Double Trenches	双介质槽
PIC	Power Integrated Circuit	功率集成电路
CCL	Charge Compensation Layer	电荷补偿层
SBP	Segmented Buried P-Layer	分段 P 埋层
SBOX	Steps Buried Oxied	阶梯埋氧层
PSJ	Part Superjunction	部分超结
HK	High-K	高 K
GC	Gate Charge	栅电荷

目 录

第 1 章 概述	1
1.1 功率半导体器件	1
1.2 横向功率器件耐压层	1
1.3 耐压层的作用基础与分析方法	3
1.3.1 耐压层的作用基础	3
1.3.2 一般分析方法	3
1.4 耐压层的特殊性	3
1.4.1 SOI 耐压层	4
1.4.2 HK 耐压层	4
1.4.3 VFP 耐压层	4
1.4.4 CCL SJ 耐压层	5
1.4.5 GC 耐压层	5
参考文献	6
第 2 章 异质耐压层	8
2.1 解析理论	8
2.2 ENDIF 耐压层	9
2.2.1 高压 SOI 介质场增强技术	9
2.2.2 介质场增强理论	10
2.2.3 电荷型介质场增强技术	10
2.2.4 薄硅层介质场增强技术与结构	10
2.3 HK 耐压层	11
2.3.1 高 K 材料	11
2.3.2 极化电荷自平衡机理的研究	11
2.4 VFP 耐压层	12
2.5 CCL 耐压层	13
2.6 GC 耐压层	13
参考文献	13

第3章	ENDIF 耐压层电荷场优化	15
3.1	电荷型高压 SOI 器件设计技术	15
3.1.1	硅层横向耐压电荷型 ENDIF	15
3.1.2	硅层纵向耐压电荷型 ENDIF	18
3.2	n-反型电荷型高压 SOI 器件	18
3.2.1	SBO 高压 PSOI 器件	18
3.2.2	SBO CBL 高压 SOI 器件	22
3.3	n-混合电荷型高压 SOI 器件	33
3.3.1	LVD N ⁺ I SOI LDMOS 结构与机理	33
3.3.2	PBN ⁺ SOI LDMOS	42
3.4	电荷型 p 沟高压 SOI 器件	45
3.4.1	高压 SOI pLDMOS	45
3.4.2	p-积累电荷型高压 SOI pLDMOS	46
3.4.3	p-混合电荷型高压 SOI pLDMOS	49
3.4.4	FBL SOI pLDMOS	68
3.4.5	NBL PSOI pLDMOS	72
3.5	电荷型 SJ 高压 SOI 器件	80
3.5.1	功率超结器件的发展	81
3.5.2	SB SOI SJ pLDMOS	83
3.5.3	T-DBL SOI SJ nLDMOS	88
3.5.4	TSL SOI SJ nLDMOS	93
	参考文献	107
第4章	VFP 耐压层电荷场优化	110
4.1	BDFP-DE LDMOS	110
4.1.1	引言	110
4.1.2	结构与机理	110
4.1.3	结果与讨论	112
4.1.4	模型分析	114
4.1.5	工艺分析	115
4.1.6	结论	117
4.2	VFP SOI LDMOS	117
4.2.1	引言	117
4.2.2	结构与机理	117

4.2.3 结果与讨论	118
4.2.4 结论	120
参考文献	120
第 5 章 HK 耐压层极化电荷场优化	122
5.1 体硅高 K	122
5.1.1 HKLR LDMOS	122
5.1.2 VFP HK LDMOS	127
5.2 SOI 高 K	134
5.2.1 HKHN SOI LDMOS	134
5.2.2 VK DT SJ LDMOS	136
5.3 二维势场分布模型	141
5.4 实验方案	143
参考文献	145
第 6 章 CCL SJ 耐压层电荷场优化	148
6.1 SBP SJ LDMOS	148
6.1.1 引言	148
6.1.2 器件结构与机理	148
6.1.3 结果与讨论	150
6.1.4 总结	155
6.2 SBOX SJ LDMOS	155
6.2.1 引言	155
6.2.2 器件结构与机理	155
6.2.3 结果与讨论	156
6.2.4 结论	161
6.3 PLK SJ LDMOS	161
6.3.1 引言	161
6.3.2 器件结构与机理	161
6.3.3 结果与讨论	163
6.3.4 结论	166
6.4 SOI VK PSJ LDMOS	166
6.4.1 引言	166
6.4.2 器件结构和机理	166
6.4.3 结果与讨论	168

6.4.4 结论	171
参考文献.....	171
第7章 GC 耐压层电荷场优化	174
7.1 TGDT LDMOS	174
7.1.1 引言	174
7.1.2 结构和机理	174
7.1.3 结果与讨论	175
7.1.4 结论	181
7.2 SG DVFP LDMOS	182
7.2.1 引言	182
7.2.2 结构和机理	182
7.2.3 结果与讨论	183
7.2.4 结论	189
参考文献.....	190
后记.....	192

第 1 章 概 述

1.1 功率半导体器件

功率半导体器件可定义为进行功率处理的半导体器件。典型的功率处理功能有变流(交流、直流、脉冲以及其他波形的相互变换)、变压(升压或降压)和功率放大等。

功率半导体器件的分类如图 1-1 所示。功率半导体器件由功率二极管(Power Rectifier)、功率晶体管(Power Transistor)和晶闸管类器件(Thyristor)3 类器件组成,其中常见的功率晶体管包括以 VDMOS(Vertical Double-Diffusion MOSFET)为代表的功率 MOS 器件(Power MOSFET)、绝缘栅双极晶体管 IGBT(Insulated Gate Bipolar Transistor)和功率双极晶体管[Bipolar Power Transistor 或 Power BJT(Power Bipolar Junction Transistor)]。功率晶体管和晶闸管类器件可统称为功率开关器件(Power Switch)。

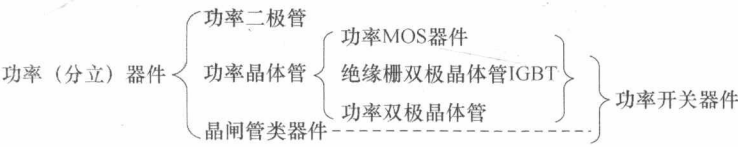


图 1-1 功率半导体器件分类

根据电极引出情况和电流流向的不同,功率半导体器件又可以分为横向功率器件和纵向功率器件。一般来讲,横向功率器件的电极位于芯片的表面,电流呈横向流动,便于集成;纵向功率器件的电极位于器件表面和衬底材料的底部,电流呈纵向流动。

1.2 横向功率器件耐压层

横向高压功率 MOS 指的是漂移区在表面且具有横向导电沟道的高压功率 MOS。LDMOS(Lateral Double-Diffusion MOSFET)是通过在同一窗口相继进行两次杂质扩散的双扩散工艺形成沟道的,由于沟道的形成由两次杂质扩散的横向结深之差控制,所以很容易实现亚微米的沟道长度。进行上述工艺后,器件在跨导、漏极电流、最高工作频率和速度方面都较一般 MOS 有大幅度度的提高。图 1-2 为 LDMOS 结构示意图(如果耐压比较低,栅电极可以一直扩展到漏端附近)。

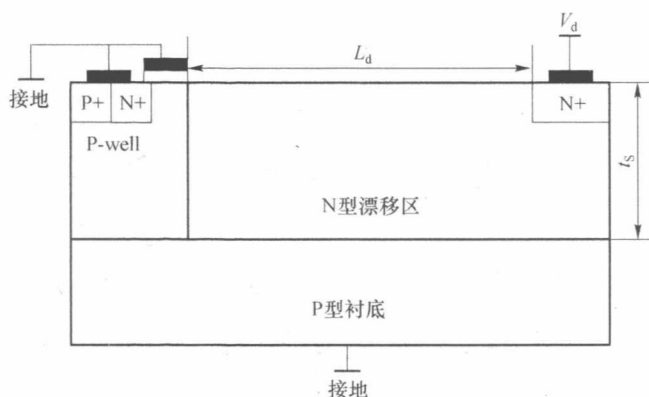


图 1-2 LDMOS 结构示意图

传统的横向高压功率器件制作在硅基衬底上,1979 年 J. A. APPLE 等人发明了横向电荷控制技术(或称为 RESURF 技术),使得在 $5\sim 8\ \mu\text{m}$ 的薄外延上可制造出高达 1 200 V 的横向高压功率器件。不论是针对 HVIC(高压集成电路)还是 SPIC(智能功率集成电路),高压器件与低压电路之间的隔离都是 PIC(功率集成电路)设计者必须首先解决的关键问题,所以,设计新的有效的隔离技术或发展具有超薄外延层且能满足高的击穿电压的新型高压器件就成为解决问题的关键。MOS 类器件虽然基于多数载流子参与输运而具有高的工作频率,然而由于缺少少数载流子的电导调制而使器件高压工作时的导通电阻很高,器件的功率损耗较大。所以,设计出具有尽可能低的比导通电阻的新型横向 MOS 类器件成为设计者一直追求的目标。

绝缘体上硅(Silicon on Insulator, SOI)是在 20 世纪 80 年代迅速发展起来的一种新结构半导体材料。以 SOI 横向高压器件为基础的 SOI 高压集成电路作为智能功率集成电路领域的一个新兴分支,近年来得到迅速发展。它集 SOI 技术、微电子技术和功率电子技术于一体,为各种功率变换和能源处理装置提供了高速、高集成度、低功耗和抗辐照的新型电路,在工业自动化、武器装备、航空航天等领域有着极为广泛的应用前景。SOI 横向高压器件是 SOI 高压集成电路的基石,受到了国内外众多半导体器件工作者的广泛关注和深入研究。但是 SOI 器件有两个重要缺点:一是硅材料临界击穿电场的限制使器件纵向耐压较低;二是介质埋层的存在使得散热困难,因而引起的自热效应较硅基严重。

功率 MOS 器件与低压 MOS 器件相比,关态时要承受高电压,从而需在控制栅极 G 与漏端 D 之间添加耐压层结构,图 1-3 为功率 MOS 器件结构示意图。由于开关控制部分的工作机理与低压 MOS 的基本相同,功率 MOS 器件可视为低压 MOS 漏端 D 与准漏端 D' 之间插入了耐压层的复合结构。耐压层在关态时承受高电压,在开态时流过电流,载流子在其中做漂移运动,因此开态时耐压层也被称作漂移区。推而广之,功率半导体器件都可以看作是相应低压控制器件与耐压层形成的复合器件,功率器件设计的关键之一是耐压层的设计。实际应用中对功率器件的要求是多方面的,特别是对它的可靠性也有要求。

分布和外部边界条件确定,从而耐压层的设计本质上就是控制静电场的源和电场线的流,也就是电荷分布与电场线方向的设计。除了常见的体硅耐压层外,特殊的耐压层有如下几种:SOI 耐压层、HK 耐压层、VFP 耐压层、CCL SJ 耐压层和 GC 耐压层。

1.4.1 SOI 耐压层

SOI 技术的性能优势来自 SOI 材料的结构特点。图 1-4 是 SOI CMOS 和体硅 CMOS 结构示意图,插入 SOI 结构有源层和衬底之间的介质(SiO_2)隔断了有源层和衬底的电气连接。SOI 电路可以实现高压器件与低压电路单元的隔离。

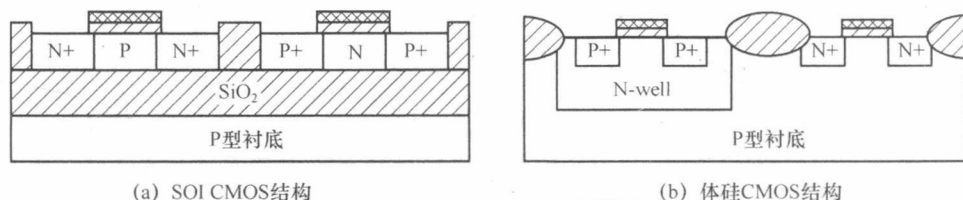


图 1-4 SOI 与体硅 CMOS 结构示意图

1.4.2 HK 耐压层

长期以来,功率半导体中电荷平衡关系主要有两类:N 区和 P 区电离电荷之间的平衡关系,如超结器件;MIS 结构半导体和金属电极电荷之间的平衡关系。高 K(HK)介质根据半导体电离电荷极性自平衡产生平衡极化电荷,屏蔽半导体电离电荷产生的高电场,实现场优化并极大增加工艺容差。由于极化电荷作用,器件耐压时介质极化电荷吸引大量半导体电离电荷(正电荷或负电荷)产生电力线,屏蔽大部分半导体电离电荷场的影响,可揭示高 K 介质对半导体层场调制机理。高 K 介质槽型 LDMOS 器件结构如图 1-5 所示。

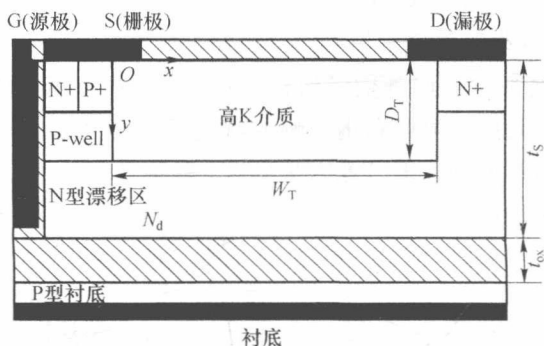


图 1-5 高 K 介质槽型 LDMOS 器件结构

1.4.3 VFP 耐压层

场板(FP)技术被广泛应用于功率器件的表面,被称为横向场板(LFP)。在常规横向功率器件中需要较长的漂移区,以维持高的击穿电压,横向场板的长度远小于漂移区的长度。因此,横向场板的耗尽被限制在局部表面区域且对比导通电阻没有显著影响,并且横向场板

主要是优化器件的表面电场。将纵向场板(VFP)引入横向器件中,纵向场板辅助耗尽漂移区且优化器件的体电场。VFP 槽型 LDMOS 如图 1-6 所示。

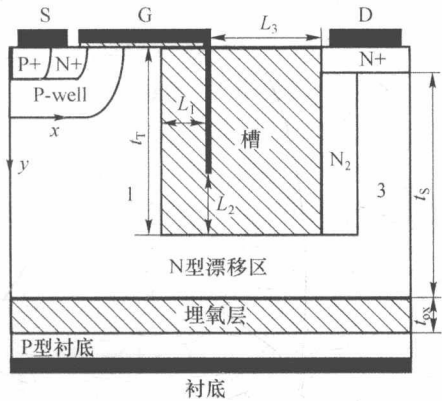


图 1-6 VFP 槽型 LDMOS

1.4.4 CCL SJ 耐压层

功率半导体器件采用 RESURF 相关技术可以实现电离电荷平衡,改善器件 $R_{on,sp}$ 与 BV 的矛盾关系,但 $R_{on,sp}$ 的降低能力有限。常规 RESURF 技术由于器件高耐压对漂移区最短长度的限制,在缩小器件尺寸方面几乎无能为力。超结(SJ)结构打破了“硅极限”,但常规 SJ 存在衬底辅助耗尽效应(SAD),破坏了 N 区和 P 区的电离电荷平衡,耐压较低。针对 RESURF 器件长漂移区优化剂含量较低,SJ 器件的衬底对表面耐压层有辅助耗尽作用。电荷平衡 SJ 耐压层通过在漂移区和衬底之间引入电荷补偿层,起到优化漂移区内的电荷分布的作用,可实现超结层电荷平衡的目的。新型的具有电荷补偿层和 SJ 耐压层的 SOI LDMOS 结构介绍详见后文。常规 SJ SOI LDMOS 如图 1-7 所示。

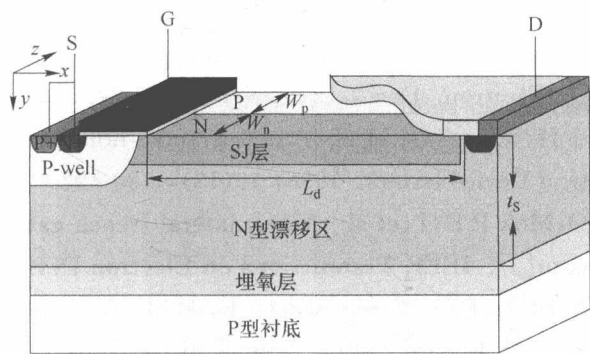


图 1-7 常规 SJ SOI LDMOS

1.4.5 GC 耐压层

功率半导体器件的发展方向有两个:一个是向着使功率半导体器件具有较大的功率优值的方向发展,用 $FOM(功率优值) = BV^2 / R_{on,sp}$ 表示可知,要想得到较大的 FOM,要求具有

较大的 BV 和较低的比导通电阻 $R_{on,sp}$,但是半导体器件存在固有的“硅极限”,即击穿电压和比导通电阻成 2.5 次方的关系,这限制了功率器件的发展;另一个是向着低导通电阻和低栅漏电荷(Q_{GD})的方向发展,即较小的 $R_{on,sp} \times Q_{GD}$ 。使用新型栅结构,与常规的矩形栅结构对比,可以通过增加栅极和漏极之间栅氧的厚度,来降低栅漏电容 C_{GD} ,进而降低栅漏电荷 Q_{GD} ,以降低器件的导通损耗。常规 RGTD-DT LDMOS 如图 1-8 所示。

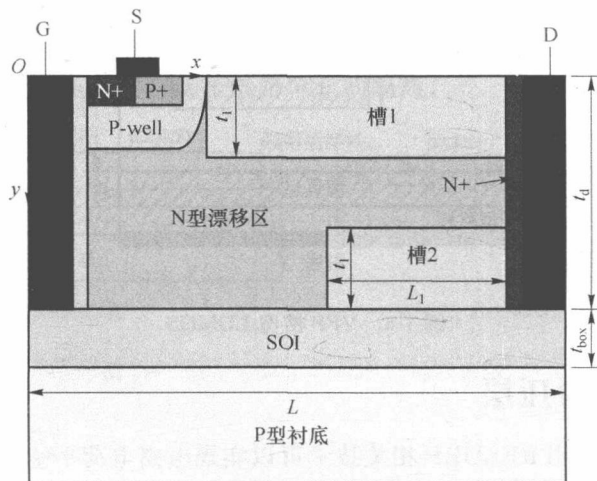


图 1-8 常规 RGTD-DT LDMOS

参考文献

- [1] Baliga B J. Power semiconductor devices[M]. Boston: PWS, 1996.
- [2] 陈星弼. 功率 MOSFET 与高压集成电路[M]. 南京:东南大学出版社,1990.
- [3] Collins H W, Pelly B, HEXFET, A new power technology, cuts on-resistance, boosts ratings[J]. Electron. Des., 1979, 17(12):36-37.
- [4] Lee B H, Chun J H, Kim S D, et al. A new gradual hole injection dual-gate LIGBT [J]. IEEE Electron Device letters, 1998, 19(12): 490-492.
- [5] Cai J, Sin J K O, Mok P K T, et al. A new lateral trench-gate conductivity modulated power transistor[J]. IEEE Transactions on Electron Devices, 1999: 1788-1793.
- [6] Talwalkar N, Lauritzen P O, Fatemizadeh. B, et al. A power BJT model for circuit simulation[C]//PESC Record. 27th Annual IEEE Power Electronics Specialists Conference. Baveno: IEEE, 1996.
- [7] Ou H H, Tang T W. Numerical modeling of hot carriers in submicrometer Silicon BJT's[J]. IEEE Transactions on Electron Devices, 1987, 34(7): 1533-1539.
- [8] Appels J A, Vaes H M J. High voltage thin layer devices (RESURF devices)[C]// IEEE Technical Digest of Electron Devices Meeting. Washington: IEEE, 1979.
- [9] Ohashi H, Ohura J, Tsukakoshi T, et al. Improved dielectrically isolated device in-