



教育部高等学校电子信息类专业教学指导委员会规划教材
高等学校电子信息类专业系列教材

电
工
电
子
基
础

Electronic System Design

电子系统综合设计

——基于精选案例与实战指导

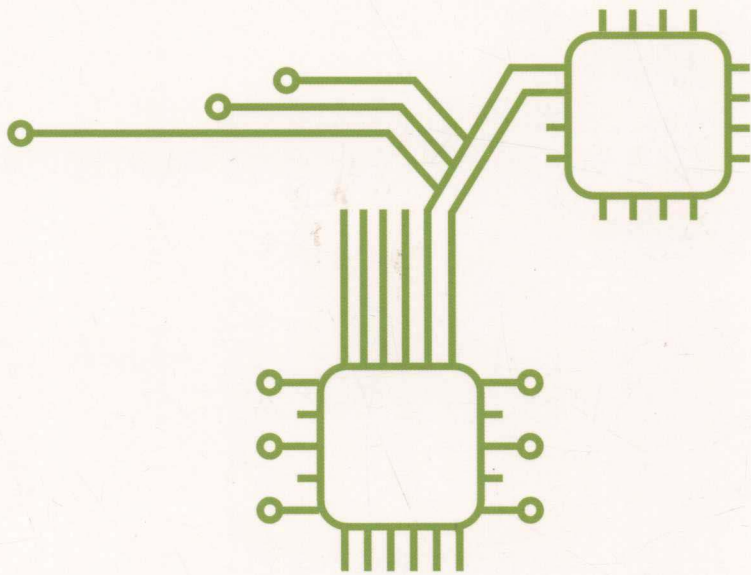
陈小桥 张从新 胡明宇 陶琴 编著

Chen Xiaqiao

Zhang Congxin

Hu Mingyu

Tao Qin



清华大学出版社

部高等学校电子信息类专业教学指导委员会规划教材
学校电子信息类专业系列教材

Electronic System Design

电子系统综合设计

——基于精选案例与实战指导

陈小桥 张从新 胡明宇 陶琴 编著

Chen Xiaoqiao

Zhang Congxin

Hu Mingyu

Tao Qin

清华大学出版社
北京

内 容 简 介

本书涵盖范围广泛,以全国大学生电子设计竞赛、英特尔杯大学生电子设计竞赛、Altera 杯大学生电子设计竞赛、全国电工电子基础课程实验教学案例设计竞赛四大赛事为依托,加以大学生科研项目、本科生毕业设计的优秀作品,旨在锻炼学生解决实际问题的能力,为高校学生参加相关科研和竞赛提供科学思路和实战指导,为高等学校电子信息类拔尖创新人才培养的探索与实践提供借鉴和参考。

本书定位准确、内容新颖、结构合理、案例丰富、深入浅出,对读者具有重要的指导意义。本书可作为高等学校电子信息工程、通信工程等专业的实践教程和参考图书,也可供相关工程技术人员参考。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

电子系统综合设计:基于精选案例与实战指导/陈小桥等编著. —北京:清华大学出版社,2019
(高等学校电子信息类专业系列教材)

ISBN 978-7-302-51717-7

I. ①电… II. ①陈… III. ①电子系统—系统设计—高等学校—教材 IV. ①TN02

中国版本图书馆 CIP 数据核字(2018)第 267469 号

责任编辑:曾 珊

封面设计:李召霞

责任校对:梁 毅

责任印制:丛怀宇

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社总机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质量反馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

课件下载: <http://www.tup.com.cn>, 010-62795954

印 装 者:清华大学印刷厂

经 销:全国新华书店

开 本:185mm×260mm 印 张:17

字 数:413千字

版 次:2019年5月第1版

印 次:2019年5月第1次印刷

定 价:49.00元

产品编号:079339-01

前言

PREFACE

电子技术在国民经济建设中发挥了重要作用,它已广泛渗透到工业、农业、国防、科技及人们的日常生活中。随着电子技术日新月异的快速发展和经济需求的迅猛增长,社会对电子类拔尖人才的需求与人才培养模式的矛盾越来越突出,主要反映在高校培养计划普遍重视理论课程教学,忽视了实践环节;有些高校没有达到教育部对各专业实践教学所要求的学时数或学分数,导致学生的工程实践能力、解决实际问题的能力较弱。多年的实践证明,培养优秀人才不仅要有优秀的教师队伍和优质课程,同时还必须重视实践教学在人才培养中的作用和地位。然而重学轻术的现象在高校中还比较普遍,重科学研究、轻人才培养的畸形状态在高校中还有相当大的市场,这不仅严重影响人才培养质量,也阻碍了高等教育发展。

教育部相继启动了“高等学校教学质量和教学改革工程”以及“卓越工程师教育培养计划”,将培养学生的实践能力提高到战略高度。武汉大学电子信息学院开展了一系列有益的探索,取得了相对丰硕的成果。本书作者长期以来工作在教学一线,在指导学生创新实践、大学生科研、电子类学科竞赛等方面积累了丰富的实践教学经验。本书收集、整理了一批大学生科研项目、毕业设计专题、各类学科竞赛获奖作品(如全国大学生电子设计竞赛等)以及全国高校实验教学获奖实验项目等,每个案例都给出了相关原理、方案、硬件电路以及软件架构,部分还附有程序源代码,可供学生在自主学习、创新设计、学科竞赛培训及开展电子系统综合设计等方面作为参考,也可作为电子设计实践课程的参考教材。

本书以归纳、学习知识点为主线,适合具有一定电类专业知识的学生使用,本书旨在提高学生设计能力和解决实际问题的能力,尽量解决好电子类综合设计实践环节的薄弱部分,借此推进高校电子实验教学改革。

成书过程中得到武汉大学电子信息学院教学实验中心老师们的大力支持和帮助,他们不仅提供了良好的素材,还提供了许多宝贵的意见和建议。尤其要感谢我的同事杨光义老师,对本书的编写起到非常重要的作用,还要感谢李高旭、张梓琪等同学的无私奉献和参与。由于时间仓促,书中难免有不妥或错误之处,欢迎批评指正。如果您对本书有任何意见或建议,抑或您对本书中的某些内容或章节感兴趣,不妨通过电子邮件(cxq@whu.edu.cn)共同探讨,不胜感激。

陈小桥

2018年于武汉

说 明

书中的电路图大多来自专业绘图软件,为保持一致,书中不再做修改。例如,电容的单位 uF 即为 μF (微法);元器件标注为正体,如有序号,则采用平排,不采用下角形式。

目录

CONTENTS

第 1 章 大学生科研项目	1
1.1 基于 Nios 的航空相机姿态矫正系统	1
1.1.1 系统总体方案	1
1.1.2 姿态角的处理——Kalman 滤波	3
1.1.3 相机姿态调整	8
1.1.4 小结	9
1.2 火力发电厂锅炉内化学量分布式监测系统	10
1.2.1 系统总体方案	10
1.2.2 分布式前置工作站	11
1.2.3 系统通信与布局	12
1.2.4 系统软件设计	16
1.2.5 系统测试	19
1.2.6 小结	20
1.3 锁相环调频发射接收系统	20
1.3.1 系统硬件设计	21
1.3.2 系统硬件测试	24
1.3.3 小结	32
1.4 天地波组网雷达信号处理系统	32
1.4.1 海洋表面流场提取	32
1.4.2 系统测试	37
1.4.3 小结	45
1.5 数字检流计	45
1.5.1 系统总体方案	45
1.5.2 系统硬件设计	46
1.5.3 小结	49
1.6 智能光伏供电与监测系统	50
1.6.1 系统总体方案	50
1.6.2 光伏供电系统	51
1.6.3 监控系统	55

1.6.4	光伏系统测试	59
1.6.5	小结	60
1.7	基于 TFT-LCD 的多路实时采集显示系统	60
1.7.1	系统总体方案	60
1.7.2	系统测试	65
1.7.3	小结	66
1.8	基于 H.265/HEVC 的视频质量参数评价	67
1.8.1	H.265/HEVC 算法	67
1.8.2	客观视频质量评价方法	67
1.8.3	序列编解码测试	69
1.8.4	小结	77
第 2 章	全国大学生电子设计竞赛	78
2.1	可控增益射频宽带放大器	78
2.1.1	系统总体方案	78
2.1.2	理论分析	79
2.1.3	系统电路设计	80
2.1.4	系统程序设计	82
2.1.5	系统测试	83
2.1.6	总结	84
2.2	多旋翼自主飞行器系统	85
2.2.1	系统总体方案	85
2.2.2	理论分析	87
2.2.3	系统电路设计和控制方法	89
2.2.4	系统程序设计	90
2.2.5	系统测试	91
2.2.6	总结	92
2.3	80~100MHz 频谱分析仪	92
2.3.1	系统总体方案	93
2.3.2	理论分析	94
2.3.3	系统电路设计	95
2.3.4	系统程序设计	97
2.3.5	系统测试	98
2.3.6	总结	99
2.4	双向 DC-DC 变换器	99
2.4.1	系统总体方案	100
2.4.2	理论分析	101
2.4.3	系统电路设计	102
2.4.4	系统程序设计	105

2.4.5	系统测试	105
2.4.6	总结	108
2.5	数字频率计	108
2.5.1	系统总体方案	109
2.5.2	理论分析	111
2.5.3	系统电路与程序设计	114
2.5.4	系统测试	116
2.5.5	总结	119
第3章	本科生毕业设计优秀作品	120
3.1	VHF 航空波段接收机的研究	120
3.1.1	系统总体方案及硬件设计	120
3.1.2	系统测试	126
3.1.3	小结	128
3.2	浊度计的设计	128
3.2.1	系统总体方案	129
3.2.2	浊度计硬件设计	129
3.2.3	浊度计软件设计	136
3.2.4	数据标定及测量结果	139
3.2.5	小结	140
3.3	基于 DDS 的高频信号源设计	141
3.3.1	基于 FPGA 的 DDS 设计	141
3.3.2	DDS 系统硬件设计	147
3.3.3	系统实现与测试	150
3.3.4	小结	154
3.4	基于嵌入式双目视觉测距系统的研究	155
3.4.1	系统总体方案	155
3.4.2	双目视觉测距系统硬件设计	156
3.4.3	基于嵌入式的图像预处理	157
3.4.4	基于嵌入式的 SAD 算法	159
3.4.5	小结	163
3.5	嵌入式智能小车无线控制与视频传输系统设计	164
3.5.1	系统总体方案	164
3.5.2	智能小车硬件设计	166
3.5.3	智能小车软件设计	170
3.5.4	系统测试	174
3.5.5	小结	175

第 4 章 英特尔杯大学生电子设计竞赛和 Altera 杯大学生电子设计竞赛	177
4.1 基于 EMG 信号控制的智能探险机器人	177
4.1.1 系统总体方案	177
4.1.2 Genius Arm 硬件设计	179
4.1.3 Genius Arm 软件设计	181
4.1.4 Genius Arm 系统测试	184
4.1.5 小结	188
4.2 基于 SOPC 的智能辅助饮食系统设计	188
4.2.1 系统总体方案	189
4.2.2 图像撷取处理模块	191
4.2.3 语音交互模块	193
4.2.4 机械臂控制模块	193
4.2.5 系统测试	193
4.2.6 小结	194
4.3 “凌动”的飞舞——室内飞行器定位与控制系统	194
4.3.1 系统总体方案	195
4.3.2 系统原理	196
4.3.3 系统硬件设计	200
4.3.4 系统软件设计	201
4.3.5 系统测试	206
4.3.6 小结	208
4.4 知音识谱小琴手	208
4.4.1 电子乐谱协议	209
4.4.2 系统硬件设计	210
4.4.3 系统软件设计	212
4.4.4 系统测试	218
4.4.5 小结	220
4.5 反无人机侦察兵	220
4.5.1 系统总体方案	221
4.5.2 系统硬件设计	221
4.5.3 系统软件设计	222
4.5.4 系统测试	227
4.5.5 小结	232
第 5 章 全国电工电子基础课程实验教学案例设计竞赛	233
5.1 电子称的设计	233
5.1.1 实验内容与任务	233
5.1.2 实验过程及要求	233

5.1.3	相关知识及背景	233
5.1.4	教学目的	234
5.1.5	实验教学与指导	234
5.1.6	实验框图及方案	234
5.1.7	实验报告要求	236
5.1.8	考核要求与方法	236
5.1.9	项目特色与创新	237
5.2	加法器的设计与实现	237
5.2.1	实验内容与任务	237
5.2.2	实验过程及要求	237
5.2.3	相关知识及背景	238
5.2.4	教学目的	238
5.2.5	实验教学与指导	238
5.2.6	实验原理及方案	241
5.2.7	实验报告要求	242
5.2.8	考核要求与方法	242
5.2.9	项目特色或创新	242
5.3	嵌入式系统串口通信实验	242
5.3.1	实验内容与任务	242
5.3.2	实验过程及要求	243
5.3.3	相关知识及背景	243
5.3.4	教学目的	243
5.3.5	实验教学与指导	243
5.3.6	实验原理及方案	245
5.3.7	实验报告要求	245
5.3.8	考核要求与方法	246
5.3.9	项目特色或创新	246
5.4	数字调频收音机	246
5.4.1	实验内容与任务	246
5.4.2	实验过程及要求	246
5.4.3	相关知识及背景	247
5.4.4	教学目的	247
5.4.5	实验教学与指导	247
5.4.6	实验原理及方案	247
5.4.7	实验报告要求	250
5.4.8	考核要求与方法	250
5.4.9	项目特色或创新	251
5.5	射频收发系统	251
5.5.1	实验内容与任务	251

5.5.2	实验过程及要求	251
5.5.3	相关知识及背景	252
5.5.4	教学目的	252
5.5.5	实验教学与指导	252
5.5.6	实验原理及方案	253
5.5.7	实验报告要求	255
5.5.8	考核要求与方法	255
5.5.9	项目特色或创新	256
参考文献		257

1.1 基于 Nios 的航空相机姿态矫正系统

航空摄影是快速获取地理信息的重要手段,是测量并更新国家地形图以及建立地理信息数据库的重要资料来源,在空间信息的获取与更新中起着不可替代的作用。飞机在飞行摄影时会受到本机和气流等的影响,机体无法保持平稳,因此,机载相机很难对指定区域进行高精度拍摄。如果不使用相机姿态矫正系统,拍摄飞机必须延长飞行时间、增加拍摄次数、增加航次,而且拍摄质量会下降,将给图像的后期处理带来困难。为了有效隔离运载体复杂运动的影响,实现高精度的方位设置对准,控制相机严格按制定航向拍摄,高质量的相机姿态矫正系统必不可少。相机姿态矫正系统可以降低航拍飞机的等级要求,减少拍摄作业对于天气等多种环境因素的依赖,改善拍摄效果,提高后期处理的质量。

1.1.1 系统总体方案

系统控制模块通过模数转换(Analog-to-Digital Convert, ADC)采样得到陀螺仪传出的姿态角数据,经过一定分析操作,给云台下达相应指令。云台接受指令后带动相机调整姿态,从而达到相机姿态矫正的目的。系统总体结构如图 1.1 所示。

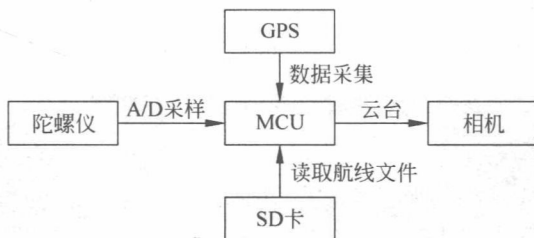


图 1.1 系统总体结构

1. 姿态角获取

姿态传感器使用常见的一款微机电系统(Micro-Electro-Mechanical System, MEMS)——MPU6050。它整合了 3 轴陀螺仪、3 轴加速器,并含可藉由第二个 I²C(Inter-Integrated Circuit, 集成电路总线)端口连接其他厂牌的加速器、磁力传感器或其他传感器的数位运动处理(Digital Motion Processor, DMP)硬件加速引擎,由主要 I²C 端口以单一数据流的形式,向应用端输出完整的 9 轴融合演算技术 InvenSense 的运动处理资料库,可处理运动感

测的复杂数据,降低了运动处理运算对操作系统的负荷,并为应用开发提供架构化的 API。

2. 数据读取时出现中间电平

在 I²C 总线中,由于串行数据(Serial Data, SDA)与串行时钟(Serial Clock, SCL)都是经过上拉电阻的,只要有一方输出为低电平,总线上的电平都会被拉低。但是,在调试的过程中出现了电平处于中间值的问题,如图 1.2 所示。上部分的波形图为 SCL 信号,下部分为 SDA 信号,SDA 信号在中间段出现了一个中间电平。中间电平出现的原因是主机与 MPU6050 在占用 SDA 总线时,原则上不能同时定义为输出。主机在发送 8 位的 DATA 数据后,应将 SDA 从输出口设置为输入口用以接收应答信号,MPU6050 在接收 8 位的 DATA 数据后,会立即将 SDA 置为输出,此时输出为 0。如果主机之前是发送地址加读信号 1,那么 DATA 数据的最后一位是 1。而在主机程序中并没有立刻将 SDA 口设置为输入,从而导致 SDA 两边都是输出口,且一端是 0,一端是 1,这显然是违反规则的。

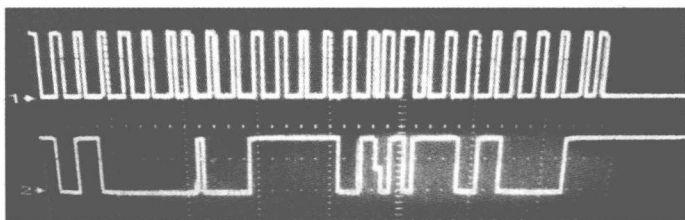


图 1.2 数据读取时出现中间电平

为解决该问题,设置发送完最后一位的数据 DATA 后,立刻在程序中将 SDA 设置为输入状态即高阻态,该措施可以有效规避中间电平的出现。

3. 数据读取时无响应信号 ACK

在 I²C 通信协议中,主机每发送 8 位的数据 DATA,从机就会回应一个确认字符(Acknowledgement, ACK)信号,即由低到高的电平变换,表示接收到了主机发送的信息。如果从机处于 BUSY 状态,则不会对此做出回应。

然而,在实际操作中发现,当发送第一个读信号的时候,传感器时钟没有发送回应 ACK 信号,而在数据线 SDA 上的数据也是全为 1 的信号,如图 1.3 所示。



图 1.3 数据读取时无响应信号 ACK

这是由于在 MPU6050 上电启动之后,需要一定的时间进行预处理,而程序初始化后的延迟时间不足,以致 MPU6050 不能正常地提供数据,所以写数据时 MPU6050 能够响应,而读数据的时候 MPU6050 不能响应。

4. MPU6050 正常读写

解决数据读取时出现中间电平和无响应信号的问题后,MPU6050 能够正常工作,且高 8 位数据、低 8 位数据分别如图 1.4、图 1.5 所示。

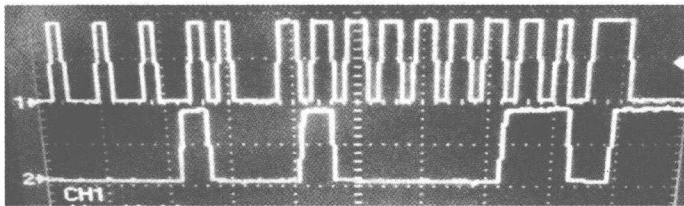


图 1.4 高 8 位数据

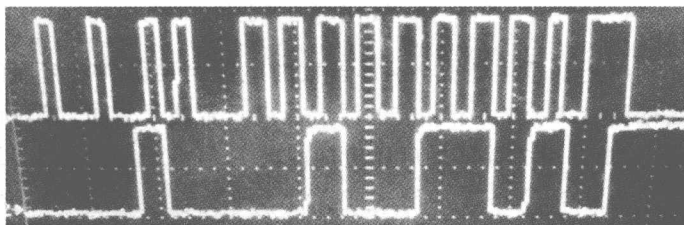


图 1.5 低 8 位数据

由结果可知,在读取数据的 8 个时钟周期中,读取到的高 8 位数据为 0x41,低 8 位数据为 0x26,融合之后数据为 0x4126。由于 MPU6050 传感器是 16 位数据输出,此时读取的数据是 z 轴方向上的加速度,转换成十进制是 16678,此时的量程为 $\pm 2g$,则 z 轴上的加速度为

$$z_{\text{acc}} = \frac{16678}{16368} = 1.018g \quad (1-1)$$

其中, g 为重力加速度常数,即此时 z 轴方向上的加速度为 $1.018g$,而实际状态是传感器 z 轴是与地面垂直的,这与实际值非常接近。至此,姿态角的初步获取完成。

1.1.2 姿态角的处理——Kalman 滤波

数据融合技术是组合导航系统的关键技术之一,20 世纪 60 年代以后,数据融合开始采用 Kalman(卡尔曼)滤波技术。Kalman 滤波是组合导航的核心,它在军事和国防方面应用价值巨大。通过在现场可编程门阵列(Field-Programmable Gate Array, FPGA)上编写加减乘除的硬件语言实现 Kalman 滤波,解决了现有 PC(Personal Computer)和 DSP(Digital Singnal Processor)等微处理器芯片两种方式实现的体积、成本、功耗和导航精度、速度等性能不能兼容等缺点。

1. 乘法运算

根据 IEEE 754 标准,单精度浮点数的格式如图 1.6 所示。浮点数的值通常表示为

$$F = (-1)^S \times 1.M \times R^{E-2^{N-1}} \quad (1-2)$$

其中, S 为符号位, M 为尾数, E 为阶码, R 为基数, N 为一常量,此处取 8。

浮点数乘法运算可表示为

$$\begin{cases} F = F_A \times F_B = (-1)^{S_A+S_B} \times 1.M_A \times 1.M_B \times R^{E_A+E_B-2^{N-1}-2^{N-1}} \\ S = S_A \oplus S_B \\ E = E_A + E_B - 2^{N-1} \end{cases} \quad (1-3)$$

其中, \oplus 为异或运算符。如上所述, 浮点数乘法器运算可分为 3 步:

- (1) 将数据分为 3 个部分: 符号、阶码、尾数。
- (2) 符号位进行异或运算, 阶码相加, 尾数相乘。
- (3) 对结果进行规格化并输出。

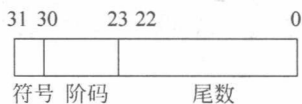


图 1.6 单精度浮点数的格式

浮点数乘法先利用无符号乘法器将两浮点数的尾数相乘得到双精度的运算结果, 同时阶码相加并且减去偏移量 2^{N-1} , 由于标准的浮点数表示省略了首位“1”, 所以在运算时需将首位“1”还原。阶码相加并减去偏移量后还应加两次 1, 但由于尾数均为 $1XXX \cdots X$ 形式, 乘法运算后其结果必然为 $01XXX \cdots X$ 的形式或 $1XXX \cdots X$ 的形式, 所以, 阶码相加并减去偏移量后只加了一个 1, 而另一次加 1 则根据乘法运算结果的形式来确定。

按照上述步骤, 编写硬件语言, 编译完成后, 乘法使用资源情况如图 1.7 所示。

Flow Status	Successful - Thu Mar 13 11:21:50 2014
Quartus II 32-bit Version	13.0.0 Build 156 04/24/2013 SJ Full Version
Revision Name	mul
Top-level Entity Name	mul
Family	Cyclone III
Device	EP3C16F484C6
Timing Models	Final
Total logic elements	120 / 15,408 (< 1 %)
Total combinational functions	120 / 15,408 (< 1 %)
Dedicated logic registers	34 / 15,408 (< 1 %)
Total registers	34
Total pins	99 / 347 (29 %)
Total virtual pins	0
Total memory bits	0 / 516,096 (0 %)
Embedded Multiplier 9-bit elements	7 / 112 (6 %)
Total PLLs	0 / 4 (0 %)

图 1.7 乘法使用资源情况

乘法运算仿真结果如图 1.8 所示。

	Msgs
mul_vlg_tst/eachvec	x
mul_vlg_tst/T	01000000111...
mul_vlg_tst/dk0	0
mul_vlg_tst/d	00000010010...
mul_vlg_tst/start_sig	1
mul_vlg_tst/done	St0
mul_vlg_tst/mul	00000011001...

图 1.8 乘法运算仿真结果

由仿真结果可知,该乘法模块占用资源不多,计算速度较快,只需 2 个周期即可完成一次运算。

2. 除法运算

浮点数除法运算可表示为

$$\begin{cases} F = F_A \div F_B = (-1)^{S_A - S_B} \times (1.M_A \div 1.M_B) \times R^{(E_A - E_B + 2^{N-1}) - 2^{N-1}} \\ S = S_A \otimes S_B \\ E = E_A - E_B + 2^{N-1} \end{cases} \quad (1-4)$$

原理同浮点数乘法,浮点数除法器运算也可分为 3 步:

- (1) 将数据分为 3 个部分,符号、阶码、尾数。
- (2) 符号位进行异或运算,解码相减,尾数相除。
- (3) 对结果进行规格化并输出。

在尾数运算中,设被除数为 f_a ,除数为 f_b ,第 i 次的商为 Q_i ,第 i 次运算得到的余数为 R_i ,令 $R_0 = f_a$,则有

$$R_0 = q_1 \times f_b + R_1 \quad (1-5)$$

当 $R_0 - f_b \geq 0$ 时, $q_1 = 1$; 反之, $q_1 = 0$,然后将除数 f_b 右移一位,即

$$R_1 = q_2 \times (f_b \times 2^{-1}) + R_2 \quad (1-6)$$

按照上述步骤,编写硬件语言,编译完成后,除法资源使用情况如图 1.9 所示。

Flow Status	Successful - Thu Mar 13 11:54:29 2014
Quartus II 32-bit Version	13.0.0 Build 156 04/24/2013 SJ Full Version
Revision Name	div
Top-level Entity Name	div
Family	Cyclone III
Device	EP3C16F484C6
Timing Models	Final
Total logic elements	206 / 15,408 (1 %)
Total combinational functions	198 / 15,408 (1 %)
Dedicated logic registers	123 / 15,408 (< 1 %)
Total registers	123
Total pins	99 / 347 (29 %)
Total virtual pins	0
Total memory bits	0 / 516,096 (0 %)
Embedded Multiplier 9-bit elements	0 / 112 (0 %)
Total PLLs	0 / 4 (0 %)

图 1.9 除法资源使用情况

除法运算仿真结果如图 1.10 所示。

	Msgs	
/div_vlg_tst/eachvec	x	
/div_vlg_tst/clk	0	
/div_vlg_tst/st	1	
/div_vlg_tst/x1	0000001001000...	00000010010000001110000001000010
/div_vlg_tst/x2	0100000011110...	01000000111100110010000001000010
/div_vlg_tst/isdone	S#0	
/div_vlg_tst/y	0000000101001...	0xxxxxxx... 00000001010010110001011011011000

图 1.10 除法运算仿真结果

从仿真结果可知,该除法模块占用资源较少,但是运算时间稍长,需 27 个周期。

3. 加法运算

浮点数加法运算可表示为

$$\begin{cases} F = F_A + F_B = (1.M_A + 1.M_B \times R^{E_B - E_A + 2^{N-1}}) \times R^{E_A - 2^{N-1}} & (E_A \geq E_B) \\ F = F_A + F_B = (1.M_A \times R^{E_A - E_B + 2^{N-1}} + 1.M_B) \times R^{E_B - 2^{N-1}} & (E_B \geq E_A) \end{cases} \quad (1-7)$$

运算步骤如下:

- (1) 符号判断: 确定 S_A 和 S_B 的值, 从而决定是加法运算还是减法运算。
- (2) 阶码比较: 比较 E_A 和 E_B 的大小, 交换浮点数的位置, 使较小的数为加数或减数, 求阶码之差。
- (3) 尾码对接: 尾码对阶的原则为“阶码相等, 小阶和大阶看齐”, 小阶向右移动阶差 E 位, 阶码增加 E 位。
- (4) 求和或求差: 对接完毕浮点数的尾码需要进行求和或求差。
- (5) 规格化处理: 对结果进行前导 1 检测、初次规格化、尾数舍入和最终规格化得到最后结果。

按照上述步骤, 编写硬件语言, 编译完成后, 加法使用资源情况如图 1.11 所示。

Flow Status	Successful - Thu Mar 13 12:05:34 2014
Quartus II 32-bit Version	13.0.0 Build 156 04/24/2013 SJ Full Version
Revision Name	add
Top-level Entity Name	add
Family	Cyclone III
Device	EP3K16F484C6
Timing Models	Final
Total logic elements	663 / 15,408 (4%)
Total combinational functions	662 / 15,408 (4%)
Dedicated logic registers	71 / 15,408 (< 1%)
Total registers	71
Total pins	99 / 347 (29%)
Total virtual pins	0
Total memory bits	0 / 516,096 (0%)
Embedded Multiplier 9-bit elements	0 / 112 (0%)
Total PLLs	0 / 4 (0%)

图 1.11 加法使用资源情况

加法运算仿真结果如图 1.12 所示。

/add_vlg_tst/eachvec	x	
/add_vlg_tst/dk	1	
/add_vlg_tst/start	1	
/add_vlg_tst/x1	0000001001000...	000000100100000111000001000010
/add_vlg_tst/x2	0100000011110...	01000000111100110010000001000010
/add_vlg_tst/done	St0	
/add_vlg_tst/y	010000011110...	01000001111001100100010000010

图 1.12 加法运算仿真结果

从仿真结果可知, 该加法模块占用资源较少, 运算时间也比较短。

4. 减法运算

减法模块的运算步骤基本和加法模块一致, 区别在于将加法均替换为减法, 在此不再描述运算步骤, 直接给出结果。