



新工科暨卓越工程师教育培养计划电子信息类专业系列教材

丛书顾问/ 郝 跃

ARC CHULIQI QIANRUSHI XITONG
KAIFA YU BIANCHENG JICHU

ARC处理器嵌入式系统 开发与编程基础

- 主 编/ 雷鑑铭
- 副 主 编/ 冯卓明 郑朝霞
- 审 校/ 吴 丹 程松波



华中科技大学出版社

<http://www.hustp.com>



新工科暨卓越工程师教育培养计划电子信息类专业系列教材

丛书顾问/郝 跃

ARC CHULIQI QIANRUSHI XITONG
KAIFA YU BIANCHENG JICHU

ARC处理器嵌入式系统 开发与编程基础

- 主 编/ 雷鑑铭
- 副 主 编/ 冯卓明 郑朝霞
- 审 校/ 吴 丹 程松波



华中科技大学出版社

<http://www.hustp.com>

中国·武汉

内 容 简 介

《ARC 处理器嵌入式系统开发与编程基础》以实际的嵌入式系统产品应用与开发为主线,力求透彻讲解开发中所涉及的庞大而复杂的相关知识。

本书第 1~5 章为基础篇,介绍了 ARC 嵌入式系统的基础知识和开发过程中需要的一些理论知识,具体包括 ARC 嵌入式系统概述、ARC EM 处理器介绍、ARC EM 编程模型、ARC DSP 编程、中断及异常处理、汇编语言程序设计等内容。第 6~9 章为实践篇,建立了嵌入式开发环境、搭建了嵌入式硬件开发平台及列举了开发案例,具体包括 ARC EM 处理器的开发及调试环境、MQX 实时操作系统、ARC EM Starter Kit FPGA 开发板及嵌入式系统应用开发实例(温度监测与显示)等内容。第 10~11 章特别介绍 ARC EM 处理器特有的可配置性及可扩展 APEX 属性,以及如何在处理器设计中利用这种可配置性及可扩展性实现优化设计。

图书在版编目(CIP)数据

ARC 处理器嵌入式系统开发与编程基础/雷鑑铭主编. —武汉:华中科技大学出版社,2019.8
新工科暨卓越工程师教育培养计划电子信息类专业系列教材
ISBN 978-7-5680-5121-7

I. ①A… II. ①雷… III. ①微处理器-系统开发 ②微处理器-程序设计 IV. ①TP332

中国版本图书馆 CIP 数据核字(2019)第 160780 号

ARC 处理器嵌入式系统开发与编程基础

雷鑑铭 主编

ARC Chuliqi Qianrushu Xitong Kaifa yu Biancheng Jichu

策划编辑:祖 鹏 王红梅

责任编辑:朱建丽

封面设计:秦 茹

责任校对:刘 竣

责任监印:徐 露

出版发行:华中科技大学出版社(中国·武汉)

电话:(027)81321913

武汉市东湖新技术开发区华工科技园

邮编:430223

录 排:武汉市洪山区佳年华文印部

印 刷:武汉华工鑫宏印务有限公司

开 本:787mm×1092mm 1/16

印 张:18.5

字 数:443 千字

版 次:2019 年 8 月第 1 版第 1 次印刷

定 价:46.00 元



本书若有印装质量问题,请向出版社营销中心调换
全国免费服务热线:400-6679-118 竭诚为您服务
版权所有 侵权必究

编 委 会

顾问 郝跃(西安电子科技大学)

编委 (按姓氏笔画排名)

万永菁(华东理工大学)

方 娟(北京工业大学)

尹学锋(同济大学)

刘 强(天津大学)

孙闽红(杭州电子科技大学)

吴怀宇(武汉科技大学)

张朝柱(哈尔滨工程大学)

赵军辉(华东交通大学)

柳 宁(暨南大学)

凌 翔(电子科技大学)

童美松(同济大学)

曾庆山(郑州大学)

王志军(北京大学)

尹宏鹏(重庆大学)

刘 爽(电子科技大学)

刘有耀(西安邮电大学)

杨晓非(华中科技大学)

张永辉(海南大学)

金湘亮(湖南师范大学)

胡立坤(广西大学)

姜胜林(华中科技大学)

唐朝京(国防科技大学)

曾以成(湘潭大学)

雷鑑铭(华中科技大学)

前 言

本书是华中科技大学 Synopsys ARC 处理器联合培训中心的力作,是系统介绍、推广与应用 Synopsys ARC 处理器以开展嵌入式系统开发与编程的系列书籍中的第一本。为了方便广大学生和研发工程师尽快掌握 ARC 处理器的使用,更好地推广 Synopsys ARC 处理器技术与产品,在 Synopsys 全球总部、Synopsys 武汉公司、Synopsys ARC 研发团队、华中科技大学光学与电子信息学院集成电路工程系、武汉国际微电子学院和华中科技大学出版社的支持下,我们编写了此书,目的是为广大读者提供一本较为完整、系统的 ARC 处理器嵌入式系统开发与编程参考书。本书主要以《ARC EM 数据手册》的内容为基础,增加了 ARC DSP 扩展与编程、ARC EM 处理器特有的可配置性及可扩展 APEX 属性等章节内容。为了方便学习和实践,我们还开发了较为完整的配套实验案例,以及一个嵌入式系统应用开发实例:温度自动监测模块的应用实例。我们提供了 Synopsys ARC 杯电子设计竞赛优秀作品。

本书由华中科技大学武汉国际微电子学院副院长及华中科技大学光学与电子信息学院院长助理雷鑑铭老师负责组织并完成全书的编写工作,华中科技大学冯卓明博士、郑朝霞副教授参与了部分章节的编写,Synopsys 公司的吴丹和程松波及华中科技大学邹雪城教授对本书进行了审校,感谢他们的辛勤工作与无私指导。参与本书编写和整理软硬件设计和案例开发验证等工作的还有 Synopsys 公司的程文、涂申俊、饶金理、沈金阳、程鹏、胡振波、彭剑英,华中科技大学武汉国际微电子学院的汤逸恒、何号、任云天、彭自强、向灯、黄之、许晟、安志浩、顾云帆、高文、钟媛、高弘扬、郑贤及符章等。本书的顺利出版离不开他们的努力和付出。在本书完成过程中,还得到了 Synopsys 公司大学计划负责人王喆的大力支持。编者在此向他们表示衷心的感谢,特别感谢文华学院外国语学院英语系肖艳梅老师的审核。

由于时间仓促和水平有限,同时在成书过程中 Synopsys 公司的官方资料还在不断更新,所以本书有些内容不尽完善,错误之处也在所难免,恳请读者批评指正,以便我们及时修正。有关此书的信息和配套资源,会及时发布在网站(www.embarc.org)上。

编者

2019 年 5 月

1	ARC 嵌入式系统概述	(1)
1.1	ARC 嵌入式系统简介	(1)
1.2	ARC 处理器介绍	(2)
1.2.1	两种指令集体系结构	(3)
1.2.2	ARC 处理器系列产品	(3)
1.2.3	ARC 处理器的主要特点	(4)
1.3	ARC EM 处理器系列产品	(4)
1.3.1	ARC EM4 处理器	(5)
1.3.2	ARC EM6 处理器	(6)
1.3.3	ARC EM SEP 处理器	(7)
1.3.4	ARC EM DSP 处理器	(8)
1.4	ARC EM 处理器开发环境	(8)
1.4.1	ARChitect 软件	(9)
1.4.2	MetaWare 开发套件	(9)
1.4.3	embARC 软件平台	(10)
1.4.4	操作系统支持	(10)
1.4.5	ARC EM Starter Kit FPGA 开发板	(10)
1.5	小结	(10)
2	ARC EM 处理器介绍	(11)
2.1	ARC EM 处理器的特点	(11)
2.2	可配置性及可扩展性	(13)
2.2.1	可配置性	(13)
2.2.2	用户可扩展性	(15)
2.3	ARC EM 处理器结构	(15)
2.3.1	接口信号	(15)
2.3.2	内核结构	(17)
2.3.3	存储系统	(19)
2.3.4	存储保护机制	(27)
2.3.5	调试	(28)
2.4	小结	(29)
3	ARC EM 编程模型	(30)
3.1	概述	(30)
3.2	寻址空间划分	(31)

3.3	数据类型	(31)
3.3.1	32 位数据	(32)
3.3.2	16 位数据	(32)
3.3.3	8 位数据	(33)
3.3.4	1 位数据	(33)
3.4	寻址方式	(33)
3.5	寄存器组	(34)
3.5.1	核心寄存器组	(34)
3.5.2	辅助寄存器组	(39)
3.6	工作模式	(45)
3.7	指令操作类型	(46)
3.7.1	算术逻辑指令	(46)
3.7.2	数据传输指令	(46)
3.7.3	控制流指令	(47)
3.7.4	特殊指令	(47)
3.7.5	扩展指令集	(47)
3.8	指令格式	(48)
3.8.1	32 位指令格式	(48)
3.8.2	16 位指令格式	(48)
3.8.3	指令存储方式	(48)
3.8.4	条件执行	(49)
3.9	指令集应用实例	(50)
3.9.1	数据传输指令 MOV	(51)
3.9.2	算术运算指令	(51)
3.9.3	比较指令	(53)
3.9.4	逻辑运算指令	(53)
3.9.5	跳转指令	(54)
3.9.6	加载/存储指令	(54)
3.9.7	其他指令	(55)
3.10	DSP 扩展	(56)
3.10.1	ARCV2 DSP ISA 的关键特性	(56)
3.10.2	DSP 相关配置选项	(57)
3.10.3	DSP 数据类型	(58)
3.10.4	核心寄存器组扩展	(60)
3.10.5	辅助寄存器组扩展	(61)
3.10.6	DSP 指令类别	(62)
3.11	小结	(63)
4	中断及异常处理	(64)
4.1	概述	(64)
4.2	工作模式和权限	(64)
4.2.1	特权指令	(65)

4.2.2	特权寄存器	(65)
4.2.3	工作模式切换	(65)
4.3	中断	(66)
4.3.1	中断单元特性	(66)
4.3.2	配置中断单元	(67)
4.3.3	中断单元编程	(68)
4.3.4	中断处理	(72)
4.4	异常	(74)
4.4.1	异常精确性	(74)
4.4.2	异常向量及异常原因寄存器	(75)
4.4.3	异常类型与优先级	(76)
4.4.4	检测异常	(79)
4.4.5	进入异常	(79)
4.4.6	退出异常	(79)
4.4.7	异常与延迟槽指令	(80)
4.5	中断或异常服务程序返回指令	(80)
4.6	小结	(82)
5	汇编语言程序设计	(83)
5.1	ARC 汇编语言	(83)
5.2	ARC 汇编语言伪指令	(84)
5.2.1	汇编语言伪指令简介	(84)
5.2.2	汇编语言伪指令	(84)
5.3	ARC 汇编语言语句格式	(88)
5.3.1	汇编语言格式与示例	(88)
5.3.2	汇编语言的字符集与标识符	(91)
5.3.3	汇编语言符号	(92)
5.3.4	汇编语言标号	(94)
5.3.5	汇编语言的常量	(96)
5.3.6	表达式	(97)
5.3.7	宏	(98)
5.4	ARC 汇编语言程序设计	(99)
5.4.1	汇编语言编程步骤	(99)
5.4.2	程序设计类型	(100)
5.5	ARC 汇编语言程序实例	(103)
5.6	ARC 汇编语言与 C/C++ 语言的混合编程	(104)
5.6.1	C/C++ 程序调用汇编程序	(104)
5.6.2	ARC 汇编程序调用 C/C++ 函数	(106)
5.6.3	C/C++ 模块和汇编模块交叉调用实例	(107)
5.7	ARC DSP 编程	(108)
5.7.1	简介	(108)
5.7.2	API 参考	(109)

5.7.3	底层(XY) API 参考	(109)
5.7.4	示例	(111)
5.8	小结	(112)
6	ARC EM 处理器的开发及调试环境	(113)
6.1	MetaWare 开发套件	(113)
6.1.1	MetaWare mcc 编译器和 ccac 编译器	(114)
6.1.2	MetaWare ELF 汇编器	(115)
6.1.3	MetaWare ELF 链接器	(115)
6.1.4	MetaWare 运行时库	(116)
6.1.5	MetaWare 调试器	(119)
6.1.6	MetaWare 仿真器	(119)
6.1.7	MetaWare IDE	(120)
6.2	MetaWare IDE 开发指南	(121)
6.2.1	创建与管理工程	(121)
6.2.2	配置工程	(125)
6.2.3	编译工程	(127)
6.2.4	调试工程	(127)
6.3	使用 MetaWare 调试器进行性能分析	(130)
6.4	MetaWare 命令行模式	(133)
6.4.1	MetaWare C/C++ 编译命令	(133)
6.4.2	MetaWare 调试器调试命令	(135)
6.5	ARC GNU 简介	(135)
6.6	小结	(136)
7	MQX 实时操作系统	(137)
7.1	实时操作系统介绍	(137)
7.2	MQX 内核组件	(138)
7.3	MQX 任务管理	(140)
7.3.1	任务调度	(141)
7.3.2	任务同步与通信	(143)
7.4	MQX 存储管理	(147)
7.4.1	可变大小内存块管理	(147)
7.4.2	固定大小内存块管理	(148)
7.4.3	高速缓存控制	(149)
7.5	中断处理	(149)
7.5.1	中断处理初始化	(150)
7.5.2	装载应用程序定义的 ISR	(150)
7.5.3	针对 ISR 的限制	(151)
7.5.4	修改默认 ISR	(152)
7.5.5	异常处理	(153)
7.5.6	ISR 异常处理	(153)
7.5.7	任务异常处理	(153)

7.5.8	ISR 装载实例	(154)
7.6	MQX 配置	(155)
7.6.1	配置选项	(155)
7.6.2	MQX 创建任务实例	(157)
7.7	小结	(160)
8	ARC EM Starter Kit FPGA 开发板	(161)
8.1	概述	(161)
8.2	ARC EM FPGA 系统设计	(162)
8.2.1	FPGA 系统概述	(162)
8.2.2	EM 内核配置	(163)
8.2.3	外设控制器	(167)
8.2.4	FPGA 系统时钟	(171)
8.2.5	FPGA 系统中断分配	(171)
8.3	开发板的使用	(171)
8.3.1	开发板上接口介绍	(171)
8.3.2	Pmod 的使用	(173)
8.3.3	操作模式	(179)
8.3.4	软件包介绍	(181)
8.4	实例	(184)
8.5	小结	(186)
9	开发实例:温度监测与显示	(187)
9.1	系统简介	(187)
9.2	系统硬件设计	(188)
9.2.1	EM 内核设置	(188)
9.2.2	Pmod 外设介绍	(189)
9.2.3	Pmod 与开发板的硬件连接	(190)
9.3	系统软件实现	(190)
9.3.1	软件设计	(190)
9.3.2	代码实现	(192)
9.3.3	系统代码详解	(196)
9.4	调试与运行	(200)
9.4.1	选择 FPGA 映像	(200)
9.4.2	编译和运行代码	(200)
9.4.3	运行结果	(200)
9.5	小结	(202)
10	ARC EM 可配置性	(203)
10.1	可配置性优点	(203)
10.2	基准模板	(204)
10.3	配置模块	(206)
10.3.1	添加/删除模块	(206)
10.3.2	配置模块属性	(207)

10.3.3 与固定配置处理器比较..... (208)

10.4 可选模块..... (213)

10.4.1 可选模块..... (213)

10.4.2 Cache 实例..... (213)

10.5 软硬件一致性..... (215)

10.5.1 软硬件一致性简述..... (215)

10.5.2 乘法器使用实例..... (217)

10.6 小结..... (218)

11 APEX 扩展..... (219)

11.1 APEX 综述..... (219)

11.2 为何添加 APEX 扩展..... (221)

11.3 识别订制指令..... (221)

11.4 创建 APEX 扩展..... (223)

11.4.1 为扩展命名..... (223)

11.4.2 配置扩展内容..... (225)

11.4.3 编辑选项..... (226)

11.4.4 编写逻辑..... (229)

11.4.5 编写测试代码..... (231)

11.5 验证 APEX 扩展..... (233)

11.6 使用 APEX 扩展..... (234)

11.7 小结..... (237)

附录 A 常用辅助寄存器快速参考..... (238)

附录 B ARC 指令速查表..... (264)

附录 C 术语及缩略语..... (268)

附录 D Synopsys ARC 杯电子设计竞赛优秀作品..... (270)

参考文献..... (281)

ARC 嵌入式系统概述

本章主要介绍了嵌入式系统(Embedded System)的定义、主要特点和各个组成部分,使读者对嵌入式系统有较为系统的认识。同时简要地介绍了 ARC EM 处理器系列的特点,以及基于 ARC EM 处理器的嵌入式系统开发环境。

1.1 ARC 嵌入式系统简介

近年来,随着以计算机技术、通信技术为主的信息技术的快速发展和 Internet 的普及,嵌入式系统得到了越来越广泛的应用及发展。嵌入式系统是以应用为中心,以计算机技术为基础,软硬件可裁剪(这是指嵌入式系统的大小和规模会随着具体应用需求的变化而改变),适用于应用系统对功能、可靠性、成本、体积、功耗有严格要求的专用计算机系统。

根据英国电气工程师协会(U. K. Institution of Electrical Engineer)的定义,嵌入式系统是指为控制、监视或辅助设备、机器或用于工厂运作的设备。

根据中文维基百科的定义:嵌入式系统是一种完全嵌入受控器件内部,为特定应用而设计的专用计算机系统。与个人计算机等通用计算机系统不同,嵌入式系统通常执行的是带有特定要求的预先定义的任务。由于嵌入式系统只针对特殊的任务,设计人员能够对其进行功能最佳化、系统最小化设计,从而达到降低成本的目的。

总之,嵌入式系统是面向用户、面向产品、面向应用的,必须与具体应用相结合才会具有生命力和优势。因此可以这样理解嵌入式系统的含义,即嵌入式系统是与应用紧密结合的,具有很强的专用性,必须结合实际系统需求来合理设计的专用计算机系统。

嵌入式系统主要由硬件层、中间层、系统软件层和应用软件层组成。

(1) 硬件层包含嵌入式微处理器、存储器、通用设备接口和输入/输出(Input/ Output, I/O)接口。在单片嵌入式微处理器基础上添加电源电路、时钟电路和存储器电路,就构成一个嵌入式核心控制模块。

(2) 硬件层与软件层之间为中间层,也称为硬件抽象层或板级支持包(Board Sup-

port Package, BSP)。它将系统上层软件与底层硬件分离,使系统的底层驱动程序与硬件无关,上层软件开发人员无须关心底层硬件的具体细节,根据 BSP 提供的接口即可进行开发。该层一般包含相关底层硬件的初始化、数据的输入/输出操作和硬件设备的配置功能。

(3) 系统软件层由实时多任务操作系统、文件系统、图形用户接口、网络系统及通用组件模块组成。实时操作系统(Real Time Operating System, RTOS)是嵌入式应用软件的基础和开发平台。

(4) 应用软件层是指用户可以使用的各种程序设计语言,以及用各种程序设计语言编写的应用程序的集合。

其中,嵌入式微处理器是嵌入式系统的核心组成部分,它由通用中央处理器(Central Processing Unit, CPU)演变而来。与通用 CPU 最大的不同在于,嵌入式微处理器主要工作在为特定用户群专门设计的系统中,它将通用 CPU 许多由板卡完成的任务集成在芯片内部,从而有利于嵌入式系统在设计时趋于小型化,同时还具有很高的效率和可靠性。

嵌入式微处理器的体系结构一般采用冯·诺依曼结构或哈佛结构,指令系统可以采用复杂指令集计算机(Complex Instruction Set Computer, CISC)结构或精简指令集计算机(Reduced Instruction Set Computer, RISC)结构。据不完全统计,全球嵌入式微处理器已经超过 1000 种,其中主流的体系有 ARM、MIPS、PowerPC、ARC、X86 等。

1.2 ARC 处理器介绍

ARC 处理器是 Synopsys 公司推出的 32 位 RISC 结构微处理器产品系列,致力于在满足应用所需的处理性能前提下,以尽可能低的处理器功耗和小的芯片面积实现高效能、低成本。

ARC 处理器具有独特的可配置性和可扩展性,给设计人员提供了极大的设计弹性。设计人员可以根据应用需求,选择相应的 ARC 处理器系列产品,并配置处理器总线接口类型、数据位宽、寻址位宽、指令类型等属性。处理器内部的各功能模块支持可配置性,如配置采用不同算法实现的乘法器,配置高速缓存(Cache)的容量和结构,配置中断处理单元所支持的中断数目和中断级数等。此外,ARC 处理器支持嵌入式系统设计工程师通过处理器的 APEX 扩展接口添加自己的订制指令、寄存器、硬件模块甚至是协处理器,为特定应用提供硬件加速功能。这种根据应用“量身剪裁”的设计方式使得设计人员可以在性能、面积、功耗之间进行折中,实现最佳的内核 PPA(Performance/Power/Area,性能/功耗/效率)配置。

ARC 处理器采用了高效的 16/32 位混合指令集体系结构(ISA)。其中,16 位指令包含最常用的指令操作类型,有助于提高代码密度。ARC 处理器的存储系统支持配置片上紧密耦合存储器(Closely Coupled Memory, CCM),便于以固定延迟(1~2 个时钟周期)访问应用中性能关键的代码和数据,这不仅有利于缓解片外总线访存压力,降低系统访存延迟,提高处理性能,而且还有利于提高系统集成度,降低系统成本。

ARC 处理器具有强大的中断及异常处理能力,支持快速中断响应和中断处理优先级动态编程,可以确定异常原因和类型。同时,ARC 处理器提供了丰富的调试接口和

调试指令,便于程序员实时监测处理器内部的运行状态和调试应用程序。这使得 ARC 处理器可以很好地适用于可靠性要求较高的应用场合。

1.2.1 两种指令集体系结构

ARC 处理器的研发经历了 ARCV1 和 ARCV2 两种指令集体系结构,其得到了充分的市场验证及系统应用。目前,全球已有超过 200 家厂商获得了 ARC 处理器的授权,基于 ARC 处理器的芯片年出货量超过了 17 亿片。

相比 ARCV1,ARCV2 指令集体系结构进一步提高了处理器的性能和实时处理能力:

- (1) 支持 64 位访存指令;
- (2) 支持非对齐的存储器访存操作;
- (3) 支持硬件整数除法;
- (4) 增加了 64 位乘法、乘累加、向量加法和向量减法等指令操作;
- (5) 支持影子寄存器,以便在异常处理中进行现场保存,减少异常上下文切换时间;
- (6) 扩展了中断处理功能,支持多达 240 个外部中断和 16 个可编程中断优先级,可自动保存上下文和返回现场;
- (7) 优化的指令集系统结构使得代码密度提升了 18%。

1.2.2 ARC 处理器系列产品

如图 1-1 所示,为了满足嵌入式领域不同应用的需求,ARC 处理器拥有丰富的系列产品^①。

(1) HS 系列产品(HS34、HS36、HS38)是目前性能最好的 ARC 处理器内核,采用了 10 级流水线技术,支持指令乱序执行和 L2 Cache,可配置成双核或四核对称多处理器(Symmetric Multi Processor, SMP)系统,并支持 Linux 操作系统。HS 系列产品可提供高达 1.6 GHz 的主频和 1.9 DMIPS/MHz 的性能,内核功耗为 60 mW,内核面积约 0.15 mm²。HS 系列产品主要面向高端的嵌入式应用,如固态硬盘、汽车控制器、媒体播放器、数字电视、机顶盒等。

(2) EM 系列产品(EM4、EM6、EM SEP、EM5D、EM7D)是功耗最低和面积最精简的 ARC 处理器内核,采用 3 级流水线技术。EM 系列产品可提供约 900 MHz 的主频和 1.77 DMIPS/MHz 的性能,能效效率可达 3 μ W/MHz,内核面积仅为 0.01 mm²。EM 系列产品主要面向深嵌入式超低功耗应用领域及数字信号处理领域,如物联网(Internet of Things, IoT)、工业微控制器、机顶盒、汽车电子等。

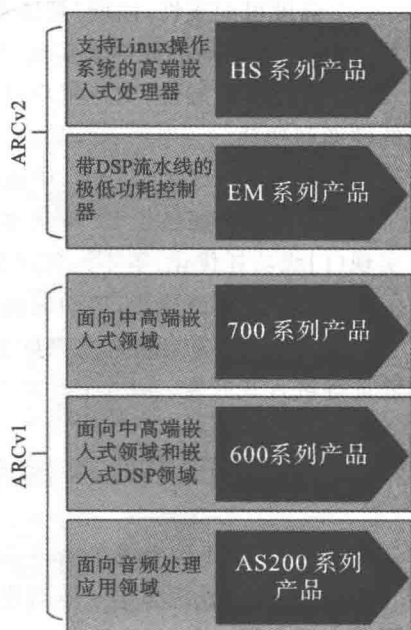


图 1-1 ARC 处理器系列产品图

^① 本章所涉及的处理器频率、功耗和面积数据均基于 TSMC 28nm HPM 工艺。

(3) 700 系列产品(710D、725D、770D)采用了 7 级流水线技术,支持动态分支预测,可提供高达 1.1 GHz 的主频。700 系列产品主要面向中高端的嵌入式应用领域,如固态硬盘、图像处理、信号处理、联网设备等。

(4) 600 系列产品(601、605、610D、625D)采用了 5 级流水线技术,可提供约 900 MHz 的主频。600 系列产品主要面向通用嵌入式领域,如工业控制、带宽调制解调、VoIP、音频处理等。此外,600 系列产品具备特有的 XY 存储器结构,特别对数字信号处理(Digital Signal Processing,DSP)进行优化,可以很好地应用于嵌入式数字信号处理领域。

(5) AS200 系列产品(AS211SFX、AS221BD)则是专门针对数字电视、数码相机、音频播放和视频播放等音频处理应用领域。

此外,为了提高特定应用的开发效率,降低设计风险,缩短产品设计周期,基于 ARC 处理器的软件开发工具、中间软件及操作系统部署等也都趋于完善和成熟,建立了完整的生态系统,能够给设计人员提供一套完整的解决方案。

1.2.3 ARC 处理器的主要特点

(1) 以功耗效率(DMIPS/mW)和面积效率(DMIPS/mm²)最优化为目标,满足嵌入式系统市场对微处理器产品日益提高的效能需求。

(2) 成熟、统一的指令集体系结构不仅便于开发不同系列产品,也便于开发同一系列下的不同产品,具有非常好的延展性和兼容性。

(3) 高度可配置性,以便“量体裁衣”,通过增加或删除功能模块来满足不同的应用需求,通过配置不同的属性来实现快速系统集成。

(4) 灵活可扩展性,支持用户自定义指令、外围接口和硬件逻辑,进一步优化处理器的性能和功耗。

(5) 强大的实时处理能力,中断响应快速且可动态编程。

(6) 优异的节能特性,支持从体系结构(SLEEP 指令)、硬件设计(门控时钟)到设计实现(门级功耗优化)等不同粒度的低功耗控制。

(7) 丰富的调试功能,协助编程人员快速查询处理器状态。

(8) 成熟的开发套件和完整的生态系统,帮助设计人员快速完成从产品设计、实现到验证等嵌入式开发。

1.3 ARC EM 处理器系列产品

ARC EM 处理器系列产品自 2012 年推向市场以来,已经在传感器、IoT、微控制器、数字信号处理及汽车电子等对设备功耗、体积和安全性要求高的深嵌入式应用领域得到了广泛应用。

ARC EM 处理器的通用结构及其系列产品如图 1-2 所示。ARC EM 处理器采用了 3 级流水线技术,包含基本的取指部件、算术逻辑单元(ALU)和寄存器组。在此基础上,通过添加不同的功能模块(如高速缓存、紧密耦合存储器)或扩展指令集(如 DSP 指令)实现不同的产品。

接下来介绍 ARC EM 处理器系列产品。

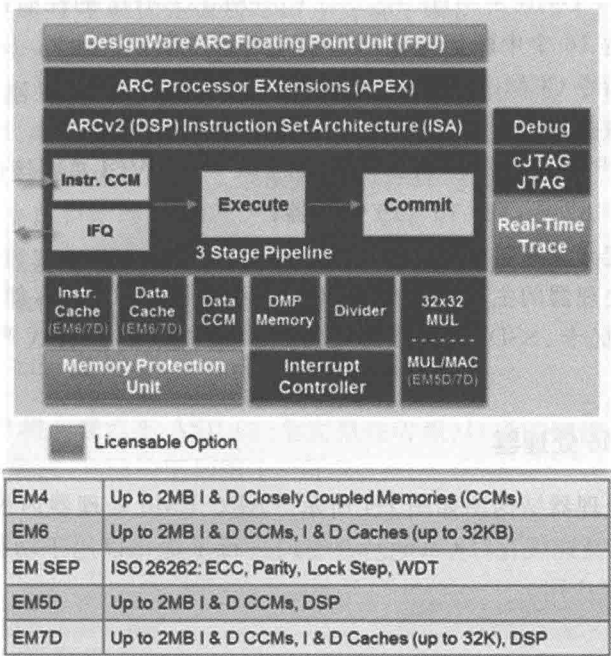


图 1-2 ARC EM 处理器的通用结构及其系列产品

1.3.1 ARC EM4 处理器

ARC EM4 处理器结构图如图 1-3 所示。

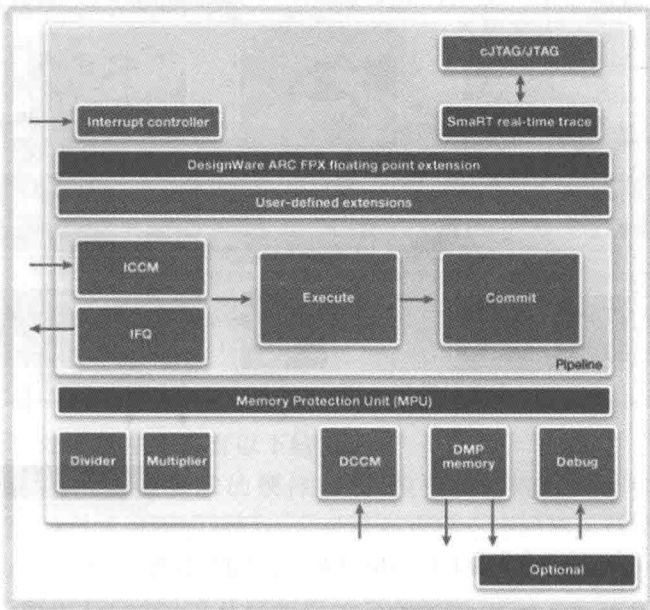


图 1-3 ARC EM4 处理器结构图

- ARC EM4 处理器主要具有以下特点：
- (1) 内核规模非常小,逻辑门数量小于 10000；

- (2) 高达 1.77 DMIPS/MHz 和 3.41 CoreMark/MHz 的性能；
- (3) 支持多达 16 个中断优先级，240 个外部中断；
- (4) 可配置指令 CCM(ICCMM)容量为 512 B~2 MB；
- (5) 可配置数据 CCM(DCCM)容量为 512 B~2 MB；
- (6) 有 ARM®、AMBA®、AHB™、AHB-Lite™和 BVCI 总线接口；
- (7) 可选 32×32 或(和) 16×16 乘法器；
- (8) 支持自定义用户扩展。

ARC EM4 处理器的主要应用包括嵌入式和深嵌入式应用，如智能微系统(智能 MEMS 系统)、记忆卡、SSD 控制器、8 位和 16 位微控制器替代产品和电池供电的产品。

1.3.2 ARC EM6 处理器

ARC EM6 处理器结构图如图 1-4 所示。ARC EM6 处理器内核支持容量高达 32 KB 的指令和数据高速缓存(DCache)，并专门进行了优化以用于功耗和成本敏感型的嵌入式及深嵌入式应用。

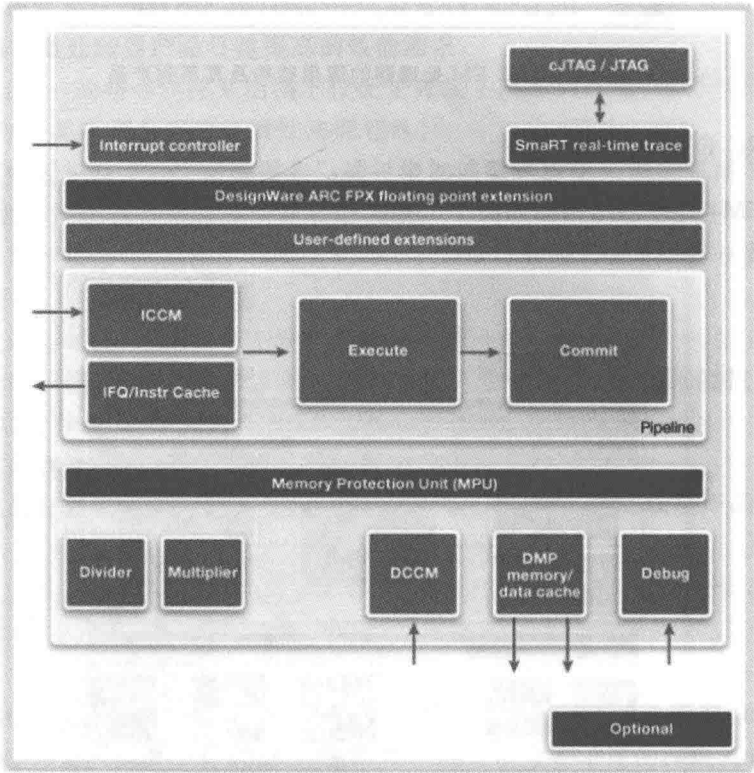


图 1-4 ARC EM6 处理器结构图

ARC EM6 处理器主要具有以下特点：

- (1) 多达 32 KB 指令高速缓存(ICache)；
- (2) 多达 32 KB 数据高速缓存；
- (3) 高达 1.77 DMIPS/MHz 和 3.41 CoreMark/MHz 的性能；