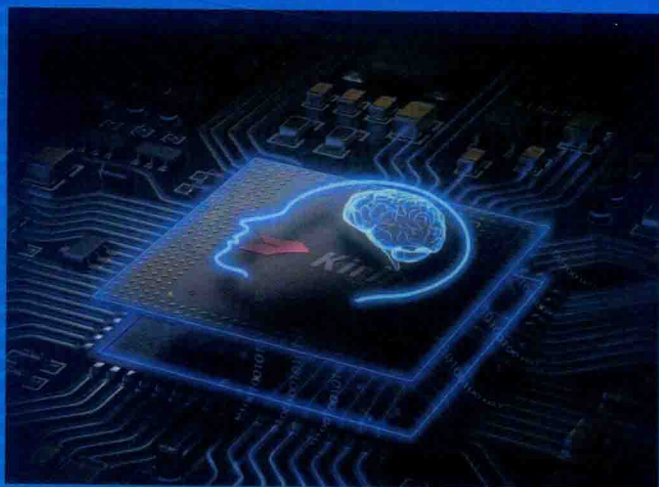


“十三五”普通高等教育规划教材

FPGA

原理与应用

主编 李辉 邓超



提供电子课件、源代码



<http://www.cmpedu.com>



机械工业出版社
CHINA MACHINE PRESS

“十三五”普通高等教育规划教材

FPGA 原理与应用

主编 李辉 邓超

参编 周巧喜 叶小涛

机械工业出版社

本书从实用的角度出发,介绍了FPGA的基本原理和开发技术,包括FPGA的器件原理、Quartus集成开发环境、ModelSim仿真软件、FPGA开发流程、Verilog HDL硬件描述语言、IP核等内容。书中内容结合实际操作讲解,便于理解和掌握。本书最后一章单独给出了若干实验案例和完整代码,由浅入深,从基本实验到综合实例,帮助读者真正掌握FPGA开发技术。

本书既可作为高等学校FPGA相关课程的教材,也可作为FPGA技术开发人员的技术参考书。

为便于教学,本书提供了授课所需的电子课件和程序源码,需要的读者可登录 www.cmpedu.com 免费注册、审核通过后下载,或联系编辑索取(QQ: 6142415, 电话 010-88379753)。

图书在版编目(CIP)数据

FPGA 原理与应用/李辉,邓超主编. —北京:机械工业出版社,2019.3
“十三五”普通高等教育规划教材
ISBN 978-7-111-62360-1

I. ①F… II. ①李… ②邓… III. ①可编程序逻辑阵列-系统设计-高等学校-教材 IV. ①TP332.1

中国版本图书馆 CIP 数据核字(2019)第 055735 号

机械工业出版社(北京市百万庄大街 22 号 邮政编码 100037)
责任编辑:李馨馨 秦菲 责任校对:张艳霞
责任印制:孙炜

北京中兴印刷有限公司印刷

2019年4月第1版·第1次印刷
184mm×260mm·14.25印张·349千字
0001-2500册
标准书号:ISBN 978-7-111-62360-1
定价:45.00元

凡购本书,如有缺页、倒页、脱页,由本社发行部调换
电话服务

服务咨询热线:(010)88379833
读者购书热线:(010)68326294

封面无防伪标均为盗版

网络服务

机工官网:www.cmpbook.com

机工官博:weibo.com/cmp1952

教育服务网:www.cmpedu.com

金书网:www.golden-book.com

前 言

FPGA 技术是当前硬件设计的主流方向之一，在许多数字系统中有着广泛的应用。本书以 FPGA 的基本原理为基础，同时介绍了其应用系统设计。

本书第 1 章介绍了可编程逻辑设计；第 2 章介绍了 CPLD 和 FPGA 的基本结构和原理；第 3 章讨论了 Quartus II 集成开发环境的使用；第 4 章讨论了 ModelSim 仿真软件的使用；第 5 章介绍 Verilog HDL 硬件描述语言；第 6 章介绍了 IP 核的使用；第 7 章介绍了若干实验案例和综合实例，可满足课内实验和课程设计的需求。

本书由河南理工大学物理与电子信息学院的教师共同编写，第 1~4 章由邓超编写，第 5 章由周巧喜编写，第 6 章由叶小涛编写，第 7 章由李辉编写。本书的顺利出版，要感谢河南理工大学及其物理与电子信息学院给予的大力支持和帮助，同时感谢李馨馨编辑的辛劳付出。

本书提供电子教案和程序源码，可发送邮件至 li20022004@hpu.edu.cn 索取。

由于时间仓促，书中难免存在不妥之处，请读者原谅，并提出宝贵意见。

作 者

目 录

前言

第 1 章 可编程逻辑设计概述	1
1.1 可编程逻辑设计简介	1
1.1.1 可编程逻辑器件发展史	1
1.1.2 可编程逻辑器件特性	2
1.1.3 可编程逻辑器件应用领域	4
1.1.4 可编程逻辑器件产品分类	5
1.2 设计开发流程	10
1.3 常用开发环境和 EDA 工具	12
1.3.1 Xilinx 系列开发环境和工具	13
1.3.2 Altera 系列开发环境和工具	15
第 2 章 CPLD/FPGA 结构原理	19
2.1 CPLD 的原理与基本结构	19
2.1.1 逻辑块	20
2.1.2 全局可编程布线区	20
2.1.3 I/O 块	21
2.2 FPGA 的原理与基本结构	21
2.2.1 FPGA 的特点与分类	22
2.2.2 基于查找表的 FPGA 的基本原理	23
2.2.3 FPGA 的基本结构	24
2.3 CPLD 与 FPGA 的比较	28
2.4 Altera FPGA 器件系列	29
2.4.1 Altera 性能器件	30
2.4.2 Altera 低成本器件	32
第 3 章 Quartus II 开发环境	35
3.1 软件介绍	35
3.1.1 软件安装	36
3.1.2 用户界面	39
3.1.3 软件的工具与功能	42
3.2 设计流程	45
3.2.1 电路设计	50
3.2.2 综合	54
3.2.3 布局布线	57
3.2.4 仿真	61

3.2.5	配置与下载	66
3.3	可支持扩展的 EDA 工具	71
3.4	DDS 信号发生器电路设计	74
第 4 章	ModelSim 仿真软件	80
4.1	软件介绍	80
4.1.1	软件安装	81
4.1.2	用户界面	83
4.1.3	ModelSim 仿真方式	86
4.2	仿真设计	93
4.2.1	基本仿真步骤	93
4.2.2	功能仿真	96
4.2.3	时序仿真	101
4.3	高级操作与应用	103
第 5 章	Verilog HDL 概述与基本语法	107
5.1	Verilog HDL 概述	107
5.1.1	什么是 Verilog HDL	107
5.1.2	Verilog HDL 的产生和发展	107
5.1.3	不同层次的 Verilog HDL 抽象	108
5.1.4	Verilog HDL 的特点	108
5.2	数据类型及运算符	109
5.2.1	常量	109
5.2.2	变量	112
5.2.3	运算符	116
5.3	模块结构及描述类型	124
5.3.1	模块结构	124
5.3.2	过程语句	127
5.3.3	块语句	130
5.3.4	赋值语句	132
5.4	逻辑控制语句	136
5.4.1	条件语句 (if_else 语句)	136
5.4.2	case 语句	139
5.4.3	循环语句	142
5.5	系统任务与函数语句	147
5.5.1	系统任务	147
5.5.2	函数	150
5.5.3	常用的系统任务和函数	156
5.6	Verilog HDL 设计实例	165
5.6.1	语法总结	165
5.6.2	设计实例	167

第 6 章 IP 核及其应用	171
6.1 IP 概念及特点	171
6.2 锁相环	171
6.2.1 锁相环概述	171
6.2.2 项目要求	172
6.2.3 实现过程	172
6.2.4 代码实现	175
6.2.5 仿真结果	176
6.3 ROM	176
6.3.1 项目要求	176
6.3.2 实现过程	176
6.3.3 代码实现	180
6.3.4 仿真结果	181
6.4 RAM	182
6.4.1 项目要求	182
6.4.2 实现过程	183
6.4.3 代码实现	184
6.4.4 仿真结果	186
第 7 章 设计与实验	187
7.1 多路选择器	187
7.1.1 基本原理	187
7.1.2 设计要求	187
7.1.3 模块代码	187
7.1.4 仿真测试	188
7.1.5 结果分析	189
7.2 分频器	189
7.2.1 基本原理	189
7.2.2 设计要求	190
7.2.3 模块代码	190
7.2.4 仿真测试	191
7.2.5 结果分析	192
7.3 BCD 与二进制的转换	193
7.3.1 基本原理	193
7.3.2 设计要求	193
7.3.3 模块代码	193
7.3.4 仿真测试	194
7.3.5 结果分析	195
7.4 数码管显示	196
7.4.1 基本原理	196

7.4.2	设计要求	197
7.4.3	模块代码	197
7.4.4	仿真测试	199
7.4.5	结果分析	199
7.5	VGA 显示驱动	200
7.5.1	VGA	200
7.5.2	VGA 显示原理	200
7.5.3	设计要求	203
7.5.4	模块代码	203
7.5.5	仿真测试	204
7.5.6	结果分析	205
7.6	循环 LDPC 编译码	206
7.6.1	基本原理	206
7.6.2	设计要求	207
7.6.3	模块代码	209
7.6.4	仿真测试	217
7.6.5	结果分析	219
参考文献		220

第 1 章 可编程逻辑设计概述

本章首先介绍可编程逻辑设计的发展历史、特性、应用领域及产品分类，然后介绍可编程逻辑设计的开发流程，最后介绍常用的开发环境和 EDA 工具——Altera 和 Xilinx 的开发工具、仿真工具和综合工具等基本理论知识，为学习本书后续内容做好准备。

1.1 可编程逻辑设计简介

可编程逻辑器件 (Programmable Logic Device, PLD) 是一种可由用户进行编程的大规模集成电路，其电路结构具有通用性和可配置性，在出厂时它们不具备任何逻辑功能，用户通过开发软件对器件编程来实现所需要的逻辑功能。可编程逻辑设计的出现改变了传统的数字系统设计的方法，该类设计具有可多次擦除和反复编程的特点。

1.1.1 可编程逻辑器件发展史

随着数字电路的应用越来越广泛，传统通用的数字电路集成芯片已经难以满足系统的功能要求，而且随着系统复杂程度的提高，所需通用集成电路的数量呈爆炸式增长，使得电路的体积庞大，可靠性难以保证。此外，现代产品的生命周期都很短，一个电路可能需要在很短的周期内进行改动以满足新的功能需求，对于采用通用的数字集成电路设计的电路系统来说，这意味着重新设计和重新布线。可编程逻辑器件内部可能包含几千个门和触发器，用一片 PLD 就可以实现多片通用型逻辑器件所实现的功能，这意味着可减小整个数字系统的体积和功耗，并提高其可靠性，而且，通过改变 PLD 的程序就可以轻易地改变设计，不用改变系统的 PCB 布线就可以实现新的系统功能。可编程逻辑器件伴随着半导体集成电路的发展而不断发展，纵观其发展历程，大致可分为以下几个阶段。

1. 第一阶段

20 世纪 70 年代，先后出现了可编程只读存储器 (Programmable Read-Only Memory, PROM)、可编程逻辑阵列 (Programmable Logic Array, PLA) 和可编程阵列逻辑 (Programmable Array Logic, PAL) 器件，其中 PAL 器件在当时曾得到广泛的应用。这一类集成电路由逻辑门构成，门之间通过金属熔丝相互连接，当对器件进行编程时，由专用编程器产生较大的电流。根据设计要求烧断内部的一些熔丝来断开信号的连接，保留的熔丝则为内部电路提供信号的连接，从而实现用户所需要的逻辑功能。由于这类芯片内部的熔丝烧断后是不能恢复的，因此属于一次性可编程器件。

2. 第二阶段

随着技术的发展和应用要求的不断提高，20 世纪 80 年代，出现了紫外线可擦除只读存储器 (EPROM) 和电可擦除只读存储器 (EEPROM)。其价格便宜、易于编程，适合于存储函数和数据表格，因此很快被应用到 PLD 器件中。在这一时期，Lattice 公司推出了用电

擦除的通用阵列逻辑器件 (Generic Array Logic, GAL)。Altera 公司和 Cypress 公司联合推出了可用紫外线擦除的可编程器件 (Erasable PLD, EPLD) MAX 系列产品, 后来逐步发展成为可用电擦除的复杂 PLD (Complex PLD, CPLD), 从而解决了 PAL 器件逻辑资源较少的问题。而 Xilinx 公司则应用静态存储器 (SRAM) 技术生产出了世界上第一片现场可编程门阵列器件 (Field Programmable Gate Array, FPGA), 它是作为专用集成电路 (Application Specific Integrated Circuit, ASIC) 领域中的一种半定制电路而出现的, 既解决了定制电路的不足, 又克服了原有可编程器件门电路数有限的缺点, 因而在复杂数字系统中被广泛应用。

3. 第三阶段

这些早期的 PLD 器件的一个共同特点是可以实现速度特性较好的逻辑功能, 但其过于简单的结构也使它们只能实现规模较小的电路。为了弥补这一缺陷, 20 世纪 90 年代中期, Altera 和 Xilinx 分别推出了类似于 PAL 结构的扩展型 EPLD 和与标准门阵列类似的 FPGA, 它们都具有体系结构和逻辑单元灵活、集成度高以及适用范围宽等特点。这两种器件兼容了 PLD 和通用门阵列的优点, 可实现较大规模的电路, 而且编程也很灵活。与门阵列等其他 ASIC 相比, 它们又具有设计开发周期短、设计制造成本低、开发工具先进、标准产品无需测试、质量稳定以及可实时在线检验等优点, 因此被广泛应用于产品的原型设计和产品生产之中。

4. 第四阶段

21 世纪初, 将现场可编程门阵列和 CPU 相融合, 并且集成到一个单个的 FPGA 器件中。如 Xilinx 推出了两种基于 FPGA 的嵌入式解决方案。

1) FPGA 器件内嵌了时钟频率高达 500 MHz 的 Power PC 硬核微处理器和 1GHz 的 ARM Cortex-A9 双核硬核嵌入式处理器。

2) 低成本的嵌入式软核处理器, 如 Micro Blaze 和 Pico Blaze。

为了更明确地说明可编程逻辑器件的发展史, 图 1-1 给出了可编程逻辑器件的发展结构示意图。



图 1-1 PLD 发展结构示意图

1.1.2 可编程逻辑器件特性

可编程逻辑器件内部包含两个基本部分: 一是逻辑阵列, 指的是设计人员可以编程的部分; 另一个是输出单元或宏单元, 设计人员可以通过宏单元改变 PLD 的输出结构。输入信号通过“与”矩阵, 产生输入信号的乘积项组合, 然后通过“或”矩阵相加, 再经过输出单元或宏单元输出。其实, 根据《数字电路》一书中的卡诺图和摩根定理的知识可知, 任何逻辑功能均可以通过化简得到“积之和”逻辑方程。

采用可编程逻辑器件通过对器件内部的设计来实现系统功能，是一种基于芯片的设计方法。设计者可以根据需要定义器件的内部逻辑和引出端，将电路板设计的大部分工作放在芯片的设计中进行，通过对芯片设计实现数字系统的逻辑功能。灵活的内部功能块组合、引出端定义等，可大大减轻电路设计和电路板设计的工作量和难度，有效地增强设计的灵活性，提高工作效率。同时采用可编程逻辑器件，设计人员在实验室可反复编程、修改错误以便尽快开发产品，迅速占领市场。基于芯片的设计方法可以减少芯片的数量、缩小系统体积、降低能源消耗、提高系统的性能和可靠性。因此，可编程逻辑器件的特性要求如下。

1. 可读性

研究表明：投入一定的时间写好文档，可以在调试、测试和维护设计过程中节省大量的时间。而一个好的文档和经过验证的电路设计，可以很容易被重用。

可读性的具体要求如下：

- 1) 可编程逻辑设计的原理图和硬件描述语言设计应包含足够详细的注释。
- 2) 各个模块的详细说明。
- 3) 原理图之间的关系及硬件描述的模块之间的互连关系的详细说明。

例如，CPLD/FPGA 的设计文档应包含用户自己创建的约束文件，还应该说明在设计、实现和验证阶段使用的各个输出文件。在综合后，应当说明网表文件的硬件描述语言类型、目的等。状态机的文档也应当包含状态图或功能描述。布尔方程的实现过程也应该写在文档中，甚至应当写在源代码里面，包括简化前后的布尔方程。

2. 可测性

可测性也是优秀的可编程逻辑设计的一个重要特征。任何一种电子产品，在生产完成之后，都要进行测试，以判断产品的质量是否合格，它包含以下几种场合的测试：芯片生产后测试；芯片封装完成后进行的电路测试；集成电路装上 PCB 后的测试；系统集成套完成后的测试；现场使用测试。早期的可编程逻辑器件测试通常在测试设备上进行，将被测集成电路或测试板放在测试仪器上，测试设备根据需要产生一系列测试输入信号，将测试输出与预期输出进行比较，如果两者相等，表示测试通过。否则，被测电路可能出现一定的问题。很明显，随着集成系统的日益复杂，集成规模日趋庞大，测试生成处理开销变得巨大。此外，与集成电路的内部接点相比，I/O 引脚要少很多，根本无法将所需要的激励和观察点全部引出。很明显，仅考虑改良测试方法，将很难解决测试问题，远远不能适应电路集成度增长的发展要求。因此，可编程逻辑设计的开发商及系统工程师都应该考虑这些问题。系统级的测试要求工程师对整个设计流程及系统架构都要很清楚。

3. 可重复性

可编程逻辑设计应该保证在不同的设计者从不同部位开始，并重新进行布局布线等情况下，可以得到同样的结果。没有这个保证，验证以及其他形式的设计测试就毫无价值。因为设计师显然不希望在设计里出现这样的情况：器件具有相同的输入/输出引出端和功能，但是由于布局布线的差异，最后时序却不一样。如果在实现的过程中，没有让系统设计软件参数或选项保持一致，这种情况就会发生。就获得可重复结果而言，资源合理利用和频率要求很高是最大的挑战，这就要求把那些需要整体优化、实施和验证的逻辑放在同一层级，另外需要记录模块的输入和输出。把时序路径保持在模块内部，从而避免模块改变时引起相互影响。最后，把所有需要放入更大可编程逻辑器件资源的逻辑全部设置在相同层级。这样就

能保证可编程逻辑设计具有可重复性的特点。

关于可编程逻辑设计的可重复性，有两点应该注意：一是随机数种子；二是布局布线编辑情况。随机数种子是一个由系统时钟生成的 n 位随机数，用来初始化自动布局布线（Automatic Place and Route, APR）进程。如果在执行 APR 过程前没有指定这个随机数种子，那么每次运行 APR 就会得到不同的结果。同样，在 APR 之后，可能需要人工进行修改或完善，这些人工修改的过程或参数都应该以文档的方式记录下来，包括布局布线编辑器的选项和参数设置。如果不这样做，最终的实现就会因人而异，整个系统的性能也变得不稳定，甚至无法评估。

1.1.3 可编程逻辑器件应用领域

通信是 PLD 的传统领域，随着微电子技术的发展，芯片面积缩小，价格迅速下降，市场发展加快，同时由于 PLD 灵活方便，不仅在性能、速度、连接上具有优势，而且可以缩短上市时间，因此其应用领域不断拓展。现在，许多用户都开始在一些批量生产的消费类电子产品上采用 PLD，如游戏设备、PDA、数字视频、移动网络、无线局域网等。以下为 PLD 的几个主要应用领域。

（1）在通信系统中的应用

随着集成技术的迅猛发展，可编程逻辑器件在通信领域中取得了不可替代的作用。在现代通信系统的设计中，将通信系统的信号发送端和信号接收端分开，因此器件的合理选择是很重要的。基于电可擦除编程工艺的 CPLD 的优点是编程后信息不会因断电而丢失，但编程次数有限，编程的速度不快。对于 SRAM 型的 FPGA 来说，配置次数无限，在加电时可随时更改逻辑，但掉电后芯片中的信息丢失，每次上电必须重新载入信息。相比之下，为了体现系统的可重开发功能，大规模 FPGA 是最好的选择。同时，目前现代通信系统的发展方向是功能更强、体积更小、速度更快，而 FPGA 在集成度、功能和速度上的优势正好满足通信系统的这些要求，因而融入通信系统的市场也是必然的结果。

（2）在专用型集成电路设计中的应用

PLD 是在 ASIC 设计的基础上发展起来的。在 ASIC 设计方法中，通常采用全定制和半定制的电路设计方法，如果设计完成后不满足系统设计的要求，就得重新设计、验证，这样就使设计开发周期变长，大大增加了产品的开发费用。目前 ASIC 的容量越来越大，密度已达到平均每平方米 100 万个门电路，但随着密度的不断提高，芯片则受到引脚的限制。片上芯片虽然很多，但接入内核的引脚数目却是有限的，而选择 PLD 则不存在这样的限制，现在 PLD 芯片的规模越来越大，其单片逻辑门数已经达到上百万系统门，有的甚至达到了上千万系统门，实现的功能也越来越强。

（3）在数字电路实验中的应用

如今，在数字电路的实验中，进行一次电路实验课程需要准备大量的基本门电路、触发器、中规模集成电路等逻辑集成芯片，增加了器件的选购和管理的难度，尤其是有些逻辑芯片只是用一次就不再使用了，使得闲置的逻辑芯片将会大大增加，造成资源的浪费。但是，如果使用 PLD，在组合电路和相关实验中可以把 PLD 编程写为各种组合式门电路结构，还可以用它构成几乎所有的中规模组合集成电路，如译码器、编码器等。例如：在做触发器实验中，利用一片 GAL16V8 芯片可以同时实现 R-S 触发器、J-K 触发器、D 触发器、T 触发

器等基本触发器。由此看来,在把 PLD 用于数字电路实验后,一般实验只要准备一种集成芯片即可,这就大大减少了器件的选购、管理的工作量及经费的开支。此外,PLD 还从很大程度上改变了数字系统的设计方式。最显著的特点是它使硬件的设计工作更加简单方便。

在具体的应用上,PLD 的逻辑功能有控制接口、总线接口、格式变换/控制、通道接口、协议控制接口、信号处理接口、成像控制/数字处理、加密/解密、错误探测等。PLD 的典型应用见表 1-1。

表 1-1 PLD 的典型应用

汽车/军事	消费类产品	控 制
自适应行驶控制 防滑制动装置/控制引擎 全球定位/导航/振动分析 语音命令/雷达信号处理 声呐信号处理	数字收音机/TV 教育类玩具 音乐合成器/固态应答器 雷达探测器 高清晰数字电视	磁盘驱动控制 引擎控制 激光打印机控制 电动机控制/伺服控制 机器人控制
数字信号处理	图形/图像处理	工业/医学
自适应滤波、DDS 卷积、数字滤波 快速傅里叶变换 波形产生/频谱分析	神经网络、同态信号处理 动画/数字地图 图像压缩/传输 图像增强、模式识别	数字化控制 电力线监控 机器人、安全检修 诊断设备/超声设备
电信	网络	声音/语音处理
个人通信系统 (PCS) ADPCM/蜂窝电话 个人数字助理 (PDA) 专用交换机 (PBX) DTMF 编/解码器 回波抵消器	1200~56600 bit/s Modem xDSL、视频会议 传真、未来终端 无线局域网/蓝牙 WCDMA MPEG-2 码流传输	语音处理 语音增强 语音声码器 语音识别/语音合成 文本/语音转换技术 语音邮箱

1.1.4 可编程逻辑器件产品分类

可编程逻辑器件 (PLD) 是 20 世纪 70 年代发展起来的一种新型逻辑器件,是目前数字系统设计的主要硬件基础。目前生产和使用的 PLD 产品主要有可编程只读存储器 (PROM)、现场可编程逻辑阵列 (FPLA)、可编程阵列逻辑 (PAL)、通用阵列逻辑 (GAL)、可擦除的可编程逻辑器件 (EPLD)、复杂可编程逻辑器件 (CPLD)、现场可编程门阵列 (FPGA) 等几种类型。

根据可编程逻辑器件结构、集成度以及编程工艺的不同,它存在以下不同的分类方法。

1. 按结构特点分类

一是基于与或阵列结构的器件——阵列型,如 PROM、EPROM、EEPROM、PAL、GAL、CPLD、EPLD 和 FPLA;二是基于门阵列结构的器件——单元型,如 FPGA。它们的结构及特点介绍如下。

(1) 可编程只读存储器 (PROM)

可编程只读存储器只允许写入一次,所以也被称为一次可编程只读存储器 (One Time Programming ROM, OTP-ROM)。可编程只读存储器在出厂时,存储的内容全为 1,用户可以根据需要将其中的某些单元写入数据 0 (部分 PROM 在出厂时数据全为 0,则用户可以

将其中的部分单元写入 1)，以实现对其“编程”的目的。PROM 的典型产品分为两类：一类是经典的可编程只读存储器，为使用“特基二极管”的 PROM，它是由二极管组成的结破坏型电路。出厂时，二极管处于反向截止状态，用大电流的方法将反相电压加在“肖特基二极管”，造成其永久性击穿即可。另一类是由晶体管组成的熔丝型电路，如果想改写某些单元，则可以给这些单元通以足够大的电流，并维持一定的时间，原先的熔丝即可熔断，这样就达到了改写某些位的效果。两种 PROM 结构示意图如图 1-2 所示。

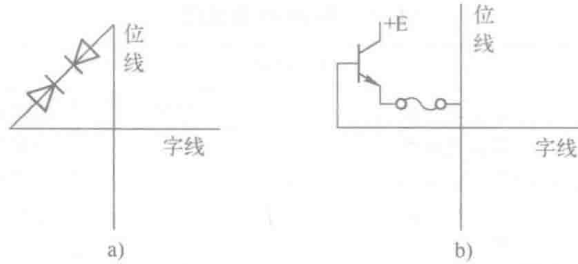


图 1-2 PROM 结构示意图

a) 结破坏型 b) 熔丝型

在结破坏型 PROM 中，每个存储单元都有两个对接的二极管。这两个二极管将字线与位线断开，相当于每个存储单元都存有信息“0”。如果将某个单元的字线和位线接通，即将该单元改写为“1”，需要在其位线和字线之间加 100~150 mA 的电流，击穿二极管。这样，该单元就被改写为“1”。

在熔丝型可编程只读存储器中，存储矩阵的每个存储单元都有一个晶体管。该晶体管的基极和字线相连，发射极通过一段镍铬熔丝和位线相连。在正常工作电流下，熔丝不会烧断，这样每个存储单元都有一个 PN 结，表示该单元存有信息“1”。但是，如果在某个存储单元的字线和位线之间通过几倍的工作电流，该单元的熔丝立刻会被烧断。这时字线、位线断开，该单元被改写为“0”。

PROM 的存储单元一旦由“0”改写为“1”或由“1”改写为“0”，就变成固定结构，因此只能进行一次编程。

(2) 可擦除的可编程只读存储器 (EPROM)

最早研究成功并投入使用的 EPROM 是用紫外线照射进来擦除的。EPROM 采用 MOS 型电路结构，其存储单元通常由叠栅型 MOS 晶体管组成，而叠栅型 MOS 晶体管通常采用增强型场效应晶体管结构。叠栅型 MOS 晶体管的结构原理图和符号如图 1-3 所示。

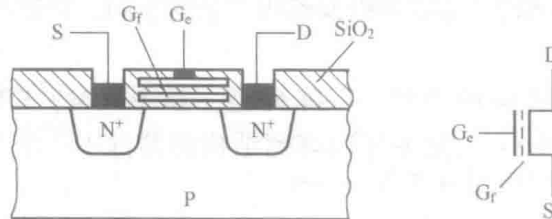


图 1-3 SIMOS 晶体管的结构原理图和符号

以叠栅型 MOS 晶体管为例，图中叠栅型 MOS 晶体管有两个重叠的栅极：一个在上面，称为控制口，其作用与普通 MOS 晶体管的栅极相似；另一个埋在二氧化硅绝缘层内，称为

浮置栅。如果浮置栅上没有电荷，叠栅型 MOS 晶体管的工作原理与普通 MOS 晶体管相似。当控制栅上的电压高于它的开启电压时，即在栅极加上正常的高电平信号时，漏源之间有电流产生，SIMOS 高导通。如果浮置栅上有电子，这些电子产生负电场。这时要使管子导通，控制栅必须加较高的正电压，以克服负电场的影响。换句话说，如果浮置栅上有电子，管子的开启电压就会增加，在栅极加上正常的高电平信号时 SIMOS 晶体管将不会导通。

浮置栅上的电荷是靠漏源及栅源之间同时加一较高电压（例如+20~+25 V 的编程电压，正常工作电压只有 5 V）而产生的。当源极接地时，漏极的高电压使漏源之间形成沟道。沟道内的电子在漏源间强电场的作用下获得足够的能量。同时借助于控制栅正电压的吸引，一部分电子穿过二氧化硅薄层进入浮置栅。当高压电源（例如+20~+25 V 的编程电压）去掉后，由于浮置栅被绝缘层包围，它所获得的电子很难泄漏，因此可以长期保存。浮置栅上注入了电荷的 SIMOS 管相当于写入了数据“1”，未注入电荷的相当于存入了数据“0”。

当浮置栅带上电子后，如果要想擦去浮置栅上的电子，可采用强紫外线或 X 射线对叠栅进行照射，当浮置栅上的电子获得足够的能量后，就会穿过绝缘层返回到衬底中去。

(3) 电信号擦除的可编程 ROM (EEPROM)

EEPROM（也有写成 E²PROM）是一种可以用电信号擦除和改写的可编程 ROM。它不仅可整体擦除存储单元内容，还可进行逐字擦除和逐字改写。EEPROM 的擦除和改写电流很小，在普通工作电源条件下即可进行，擦除时也不需要将器件从系统上拆卸下来。

(4) 可编程阵列逻辑 (PAL)

PAL 沿用了在生产 PROM 器件中所采用的熔丝式双极型工艺，具有“与”阵列可编程而“或”阵列固定结构，可以达到很高的工作速度。PAL 器件与 PROM 相比，阵列规模大大减少，能更灵活地实现各种逻辑功能，而且 PAL 器件编程简单、适应性强，可以取代多种常用中小规模晶体管逻辑器件。PAL 器件的构成原理以逻辑函数的最简与或式为主要依据，其基本结构如图 1-4 所示。

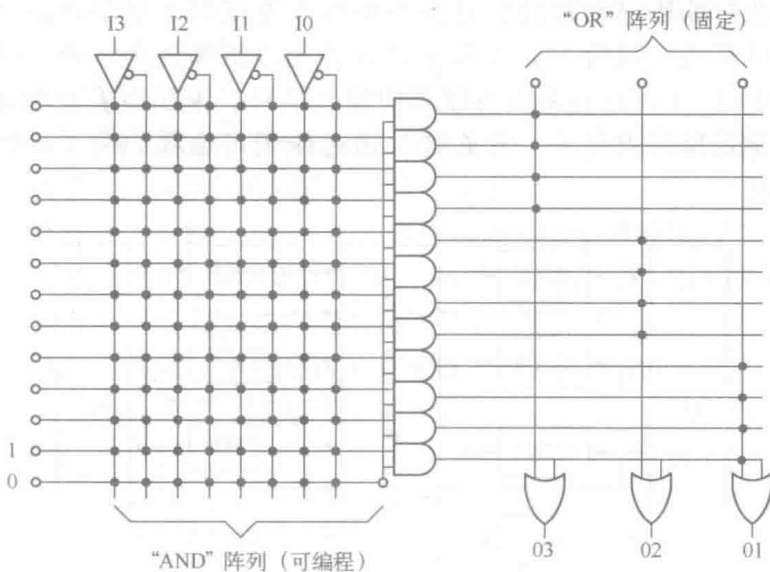


图 1-4 PAL 器件的基本结构

在 PAL 器件的两个逻辑阵列中，“与”阵列可编程用来产生函数最简与或式中所必需的乘积项，由于它不是全译码结构，所以允许器件有多个输入端。PAL 器件的“或”阵列不可编程，它完成对指定乘积项的“或”运算，产生函数的输出。如图 1-4 所示的“与”阵列有 4 个输入端，通过编程允许产生 12 个乘积项。“或”阵列由 3 个四输入“或”门组成，每个“或”门允许输入 4 个乘积项，因此“或”阵列的每个输出端可以输出任意 4 个或少于 4 个乘积项的四变量组合逻辑函数。

(5) 通用阵列逻辑 (GAL)

GAL 是一种电可擦除可重复编程的逻辑器件，它具有灵活的可编程输出结构，使得为数不多的几种 GAL 器件几乎能够代替所有 PAL 器件和数百种中小规模标准器件。而且，GAL 器件采用先进的 EECMOS 工艺，可以在几秒钟内完成对器件的擦除和写入，并允许反复改写。普通型 GAL 器件与 PAL 器件有相同的阵列结构，均采用“与”阵列可编程、“或”阵列固定的结构。具体 GAL 器件的基本组成原理感兴趣的读者可查阅相关资料进行补充。

(6) 复杂可编程逻辑器件 (CPLD)

CPLD 是在 PAL、GAL 等器件的基础上发展起来的大规模集成可编程逻辑器件，与 PAL、GAL 等器件相比，CPLD 的规模比较大，一个 CPLD 芯片可以替代几十甚至数百个通用 IC 芯片。虽然不同 IC 公司生产的 CPLD 结构差异很大，但一般都包含可编程的逻辑宏单元 (Logic Macro Cell, LMC)、可编程的 I/O 单元和可编程的内部连线 (Programmable Interconnect, PI) 这三大块。LMC 逻辑结构比较复杂，而且具有复杂的 I/O 单元互连结构，用户可以根据不同需要生成特定的电路结构，实现一定的功能。数目众多的逻辑宏单元 LMC 在 CPLD 中被排列成若干个阵列块，丰富的内部互连线则为 LMC 之间提供了快速、具有固定延时的信号通道。由于 CPLD 内部采用固定长度的金属线进行各逻辑块的互连，因此设计的逻辑电路具有实践可预测性，避免了分段式互连结构时序不能完全预测的缺点。CPLD 器件一般也具有静态可重复编程或在线动态重构特性，使硬件的功能像软件一样可以通过编程进行修改，这样不但极大地提高了数字电路系统的灵活性和通用能力，而且使系统的设计、修改和产品升级变得更加便利。图 1-5 为 Altera 公司的 CPLD 的基本结构。CPLD 通常具有较多的输入信号、乘积项和宏单元，内含多个逻辑块，而每一个逻辑块就相当于一片 GAL，通过使用可编程的内连布线实现这些逻辑块互连之间的连接。

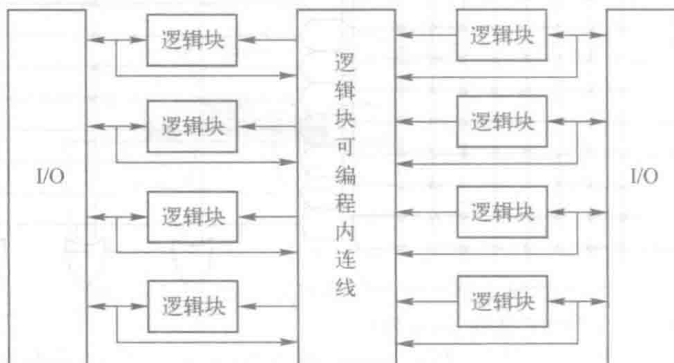


图 1-5 CPLD 的基本结构

(7) 可擦除的可编程逻辑器件 (EPLD)

EPLD 结合了大规模集成电路体积小、价格低、可靠性高等优点,用户可根据需要设计专用电路,以避免价格高、周期长等问题。EPLD 器件的延迟时间是可预测的,也是固定的。因此在 EPLD 器件中的功能模块上实现任何功能都具有同样的速度。功能模块通过无限制的内部互连阵列连在一起,提供了多个可编程逻辑结构。而每个功能模块包含 9 个由可编程“与”“或”阵列驱动的宏单元,任意一个引脚的输入或宏单元的输出都可连到另一个宏单元的输入,这种无限制的可编程互连结构保证了 EPLD 具有 100% 的布线能力。

(8) 现场可编程逻辑阵列 (FPLA)

现场可编程逻辑阵列 (FPLA) 是可编程逻辑器件 (PLD) 的一种,它是一种半导体器件,含有可编程逻辑元件中所谓的“逻辑块”和可编程互连。逻辑块通过编程来执行基本逻辑门的功能,如“和”“异或”或更复杂的组合功能。在大多数的 FPLA 中,逻辑块还包括记忆体分子、等级可编程互连,满足逻辑块要相互关联的需要。另外,FPLA 的结构和 ROM 相似,区别在于:首先,ROM 的与阵列是固定的,而 FPLA 的与阵列是可以编程的;其次,ROM 的与阵列输出是全部最小项,而 FPLA 的与阵列却可以输出简化后的表达式。该系统设计师根据客户或设计师需求来执行任何逻辑功能,因此命名为“现场可编程”。

(9) 可编程门阵列 (FPGA)

FPGA 是在 PAL、GAL、CPLD 等可编程器件的基础上进一步发展起来的,它是基于单元型门阵列结构的器件。由于 FPGA 需要被反复烧写,所以它实现组合逻辑的基本结构不可能像 ASIC 那样通过固定的与非门来完成,而是只能采用一种易于反复配置的结构。目前主流 FPGA 都采用了基于 SRAM 工艺的查找表结构,也有一些军用品和宇航级 FPGA 采用 Flash 或者熔丝与反熔丝工艺的查找表结构,通过烧写文件改变查找表内容的方法来实现对 FPGA 的重复配置。

由布尔代数理论可知,对于一个 n 输入的逻辑运算,不管是与或非运算,最多只可能存在 2^n 种结果,所以如果是先将相应的结果存放于一个存储单元,就相当于实现了与非门电路的功能。FPGA 的原理也是如此,它通过烧写文件去配置查找表的内容,从而在相同的电路情况下实现了不同的逻辑功能。

2. 按编程工艺分类

(1) 熔丝 (Fuse) 和反熔丝 (Antifuse) 编程器件 为一次性编程使用的非易失性元件,编程后即使系统断电,其存储的编程信息也不会丢失。

(2) SRAM 型器件 大多数公司的 FPGA 器件都为 SRAM 型器件,它可反复编程,实现系统功能的动态重构。但每次上电需重新下载,实际应用时需外挂 EEPROM 用于保存程序。

(3) 电信号可擦除的可编程只读存储器器件 为非易失性器件,大多数 CPLD 器件都为 EEPROM 器件,可反复编程,不用每次上电重新下载,但相对速度慢、功耗较大。

(4) 可擦除的可编程只读存储器编程器件 为非易失性器件。

3. 按集成度分类

(1) 低密度可编程逻辑器件 集成度为 1000 门以下,早期生产的可编程逻辑器件,如 PROM、PLA、PAL 和 GAL 等,只能完成较小规模的逻辑电路,因此都属于低密度器件。

(2) 高密度可编程逻辑器件 集成度为 1000 门以上,目前流行的 EPLD、CPLD 和 FPGA 等属于高密度器件,可用于设计大规模数字系统,甚至可以做到片上系统 (System on