

NAMI JICHANG XIAOYING JINGTIGUAN
JIANMO YU JIEGOU YOUHUA YANJIU

纳米级场效应晶体管 建模与结构优化研究

靳晓诗 刘 溪 著



内容简介

纳米级场效应晶体管建模与 结构优化研究

靳晓诗 刘 溪 著



清华大学出版社

北京

内 容 简 介

本书是对作者在纳米级场效应晶体管领域科研成果的系统性论述,具体内容包括纳米级场效应晶体管寄生电容模型、传统纳米级金属氧化物半导体场效应晶体管机理模型、新兴无结型场效应晶体管机理模型以及无结型场效应晶体管的结构优化。在建模的过程中,充分考虑了器件的具体结构和掺杂浓度等参数对器件工作特性的影响,系统地建立了具有双栅、围栅等多栅结构的纳米级场效应晶体管的机理模型体系,并给出了深纳米级尺度下新兴无结场效应晶体管的优化方案。

本书可供材料、电子、精密仪器等专业科研和工程技术人员参考使用。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

纳米级场效应晶体管建模与结构优化研究/靳晓诗,刘溪著. —北京:清华大学出版社,2017

ISBN 978-7-302-47779-2

I. ①纳… II. ①靳… ②刘… III. ①纳米技术—应用—场效应晶体管—系统建模—研究 ②纳米技术—应用—场效应晶体管—优化结构—研究 IV. ①TN386

中国版本图书馆 CIP 数据核字(2017)第 170407 号

责任编辑:汤涌涛

封面设计:杨玉兰

责任校对:周剑云

责任印制:杨 艳

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社 总 机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质量反馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

课件下载: <http://www.tup.com.cn>, 010-62791865

印 刷 者:北京富博印刷有限公司

装 订 者:北京市密云县京文制本装订厂

经 销:全国新华书店

开 本:185mm×260mm 印 张:15.75 字 数:375 千字

版 次:2017 年 7 月第 1 版 印 次:2017 年 7 月第 1 次印刷

定 价:68.00 元

产品编号:075222-01

前 言

集成电路技术的发展,强有力地推动着金属氧化物半导体场效应晶体管技术的进步。发展更小的金属氧化物半导体场效应晶体管意味着在一个较小的区域实现具有相同的功能的芯片,或在芯片的同一区域内具有更多的功能。由于晶片制造成本相对固定,每个集成芯片的成本主要取决于在每个晶圆上所生成的芯片的数量,因此,更小的集成电路允许在每个晶圆上制造更多的芯片,以此降低芯片的制造成本。然而当尺寸缩小至纳米级时,集成电路的寄生元器件会对电路特性带来显著影响。同时,尺寸缩小也会对单元器件——金属氧化物半导体场效应晶体管的自身性能造成严重影响。为有效克服纳米级短沟道效应,多栅技术应运而生。同时,由尺寸减小所带来的另一个问题是短沟道器件需要极陡的源极和漏极结的形成,这就使得在几个纳米的距离内要实现多个数量级的浓度差,这样的浓度梯度对于掺杂和热处理工艺有极高的要求。为解决此问题,无结型晶体管技术应运而生。

鉴于寄生元器件、多栅技术和无结技术对纳米级场效应晶体管集成电路技术的发展的重要作用,作者近年来致力于对纳米级集成电路的寄生电容特性、纳米级多栅金属氧化物半导体场效应晶体管和 无结型场效应晶体管的工作机理的研究,成功研发了适用于纳米级集成电路的寄生电容模型、适用于纳米级双栅和围栅结构金属氧化物半导体场效应晶体管和 无结型场效应晶体管的机理模型,并提出了具有低泄漏电流、高通态阻断电流比、低亚阈值摆幅的高性能纳米级场效应晶体管结构优化方案。

本书由沈阳工业大学靳晓诗、刘溪撰写,其中靳晓诗撰写完成第 1, 4~6 章,共计 21 万字,刘溪撰写完成第 2、3 章,共计 15 万字。作者以自己近年来在国际期刊上所发表的学术论文为基础,经过系统的整理,建立了一套适用于纳米级场效应晶体管寄生电容模型的工作机理模型,并提出了一套适用于纳米级无结晶体管的结构优化方案。望本书能对有兴趣致力于新型纳米级场效应晶体管研究的广大科研工作者有参考作用。

在此,作者衷心感谢韩国首尔国立大学李宗昊教授和韩国庆北国立大学李正熙教授对作者在该领域所给予的悉心指导,感谢父母和亲友对作者在科研道路上所给予的支持与鼓励。

由于作者水平有限,书中难免存在不足之处。敬请各位同行专家和读者对本书的不足提出宝贵意见。

靳晓诗 刘 溪

目 录

第 1 章 绪论	1
1.1 CMOS 超大规模集成电路技术发展现状分析	1
1.2 内容概述	12
第 2 章 纳米级 MOSFETs 的寄生电容模型	15
2.1 过往亚微米级寄生电容模型回顾	15
2.1.1 概述	15
2.1.2 几种常见的寄生电容模型介绍	18
2.2 考虑源漏接触电极影响的深亚微米寄生电容模型	27
2.2.1 概述	27
2.2.2 栅极侧壁电容 (C_{side})	28
2.2.3 栅极顶部电容与总寄生电容	36
2.3 基于精准边界条件的全解析寄生电容模型	41
2.3.1 概况	41
2.3.2 栅极侧壁电容	42
2.3.3 栅极顶部电容与总寄生电容	47
第 3 章 纳米级金属氧化物半导体场效应晶体管模型	51
3.1 平面单栅极体硅金属氧化物半导体场效应晶体管模型	51
3.1.1 能带理论	51
3.1.2 一个平面金属氧化物半导体电容器的标准模型	57
3.1.3 一个平面单栅极金属氧化物半导体场效应晶体管器件的标准模型	62
3.2 长沟道未掺杂双栅金属氧化物半导体场效应晶体管漏源电流模型	64
3.2.1 概述	64
3.2.2 结构与模型	65
3.2.3 模型验证	69
3.3 长沟道掺杂双栅金属氧化物半导体场效应晶体管漏源电流模型	70
3.3.1 概述	70
3.3.2 结构与模型	71
3.3.3 模型验证	73

3.4	短沟道双栅金属氧化物半导体场效应晶体管亚阈值伏安特性模型	77
3.4.1	概述	77
3.4.2	结构与模型	77
3.4.3	模型验证	81
3.5	非对称短沟道双栅金属氧化物半导体场效应晶体管建模	84
3.5.1	概述	84
3.5.2	结构与模型	85
3.5.3	模型验证	88
3.6	长沟道掺杂围栅金属氧化物半导体场效应晶体管模型	92
3.6.1	概述	92
3.6.2	结构与模型	93
3.6.3	模型验证	95
3.7	短沟道掺杂围栅金属氧化物半导体场效应晶体管模型	99
3.7.1	概述	99
3.7.2	结构与模型	100
3.7.3	模型验证	104
第4章	无结型场效应晶体管建模研究	112
4.1	长沟道双栅极无结晶体管模型	112
4.1.1	概述	112
4.1.2	器件结构和参数说明	112
4.1.3	电场与电势分布模型	113
4.1.4	漏源电流模型	116
4.1.5	模型验证	117
4.2	长沟道围栅极无结晶体管模型	123
4.2.1	概述	123
4.2.2	器件结构和参数说明	124
4.2.3	电场与电势分布模型	124
4.2.4	漏源电流模型	126
4.2.5	模型验证	127
4.3	基于分离变量法的短沟道对称双栅无结晶体管亚阈值模型	131
4.3.1	概述	131
4.3.2	器件结构和参数说明	132
4.3.3	模型建立	132
4.3.4	模型验证	135
4.4	基于抛物线法的短沟道对称双栅极无结晶体管紧凑亚阈值模型	141
4.4.1	概述	141

4.4.2	器件结构和参数说明.....	142
4.4.3	模型建立.....	142
4.4.4	模型验证.....	145
4.5	基于分离变量法的短沟道非对称双栅无结型场效应晶体管模型.....	151
4.5.1	概述.....	151
4.5.2	器件结构和参数说明.....	152
4.5.3	模型建立.....	153
4.5.4	模型验证.....	155
4.6	基于抛物线法的短沟道围栅无结晶体管紧凑亚阈值模型.....	163
4.6.1	概述.....	163
4.6.2	器件结构和参数说明.....	164
4.6.3	模型建立.....	164
4.6.4	模型验证.....	168
第 5 章	纳米级无结场效应晶体管的结构优化.....	180
5.1	沟道边缘处栅极氧化物厚度优化方案.....	180
5.1.1	双栅无结场效应晶体管优化.....	180
5.1.2	立体栅无结场效应晶体管优化.....	192
5.2	不同介电常数栅极氧化物结合使用优化方案.....	201
5.2.1	双栅无结场效应晶体管优化.....	201
5.2.2	立体栅无结场效应晶体管优化.....	205
5.3	短沟道优化——马鞍型折叠栅无结场效应晶体管.....	210
第 6 章	结论.....	220
附录 A	共形映射.....	224
A.1	坐标系的变换.....	224
A.2	用复变函数法转换.....	227
附录 B	Schwarz-Christoffel 映射.....	229
附录 C	泊松积分公式.....	231
参考文献		233

第 1 章 绪 论

1.1 CMOS 超大规模集成电路技术发展现状分析

当前, CMOS 超大规模集成电路技术是微电子产业的核心技术之一。其中最具有代表性的两大类型产品为微处理器和存储设备。这两大类型产品的发展水平体现了整个微电子产业的发展现状。从 20 世纪 60 年代开始, 集成电路的发展一直遵循着英特尔公司的创始人之一 Gordon E. Moor 所预言的规律, 即集成电路的集成度每三年增长四倍。这一预言被人们称为著名的摩尔定律。CMOS 集成电路的技术核心为基于硅晶圆的金属氧化物半导体场效应晶体管技术。构成 CMOS 集成电路的最小核心单元结构被称为金属氧化物半导体场效应晶体管(MOS-FET, 或称 MOS 场效应管)。它是一种场效应晶体管(FET), 有一个绝缘栅, 其电压决定了器件的导电性。这种改变电导率与施加电压的量的能力, 可用于放大或切换电子信号。虽然金属氧化物半导体场效应晶体管是一个具有源极(S)、栅极(G)、漏极(D)和衬底(Body 或 Substrate)的四终端器件, 但其中的衬底通常是连接到源端, 使其成为像其他场效应晶体管的三终端器件。因为这两个终端通常是相互连接(短路)的, 所以在电路图上经常只呈现三个终端。场效应晶体管的基本原理首先是由 Julius Edgar Lilienfeld 在 1925 年提出的^[1]。对比于普通的晶体管(如双极结型晶体管 BJT), 金属氧化物半导体场效应晶体管的主要优点是: 它只需要很小的开启电流(小于 1mA), 就能提供更高的电流负载(10~50A 或更多)。在增强模式的金属氧化物半导体场效应晶体管中, 栅极氧化层上的电压降会在源电极和漏电极之间通过电场效应产生一个导电的沟道。“增强模式”一词是指随着栅极氧化物场的增加而使得沟道当中载流子数量的增加, 其结果是增加了器件的导电性。由于其在栅极氧化物场效应的作用下所产生的沟道载流子与衬底的掺杂浓度相反, 因此, 这一被“增强”的沟道层也被称为反型层。沟道内部可以在相对于衬底为正的栅电极电压下产生电子(称其为一个 N 型金属氧化物半导体场效应晶体管或 NMOS), 也可以在相对于衬底为负的栅电极电压下产生空穴(称其为 P 型金属氧化物半导体场效应晶体管或 PMOS), 因此, 传统的 N 型金属氧化物半导体场效应晶体管是由 P 型衬底制成, 而 N 型金属氧化物半导体场效应晶体管则是由 N 型的衬底所制成。在金属氧化物半导体场效应晶体管这一技术术语中, “金属”一词则经常名不副实, 因为以前的金属栅电极材料现在经常被一层多晶硅(Polycrystalline Silicon 或 Polysilicon)所代替。一直到 20 世纪 70 年代中期, 铝一直被作为生成栅电极的材料, 随后多晶硅成为栅电极材料的主流, 这是由于它具有形成自对准栅电极的能力。这里所说的自对准栅是一个晶体管的制造特点, 指的是金属氧化物半导体场效应晶体管在多晶硅所形成的难熔栅电极(Refractory Gate Electrode)区域会成为对源区和漏区掺杂的掩膜。这种技术确保了栅电极会和源区

和漏区的边缘有稍微重叠的部分。然而金属栅电极正在恢复人气,因为如果没有采用金属栅电极的金属氧化物半导体场效应晶体管很难提升速度。同样地,对于金属氧化物半导体场效应晶体管来说,“氧化物”一词如今也可以是一个名不副实的误称,为了在较小的栅电压下实现更强的栅电极控制沟道的能力,已有越来越多的非氧化物介电材料被用来作为栅极绝缘层的工艺材料。与金属氧化物半导体场效应晶体管这一术语相比,绝缘栅场效应晶体管(Insulated-gate Field Effect Transistor, IGFET)和其几乎是同义词,可能具有更广泛的包容性。因为许多金属氧化物半导体场效应晶体管可能并不采用金属作为栅电极材料,也可能并不采用氧化物作为栅极绝缘层。金属氧化物半导体场效应晶体管的另一个同义词是金属绝缘体半导体场效应晶体管(MISFET)。金属氧化物半导体场效应晶体管中半导体部分的选材通常是硅,但一些芯片制造商,最引人注目的是 IBM 和英特尔,最近开始使用硅锗(SiGe)制作金属氧化物半导体场效应晶体管。不幸的是,虽然许多半导体材料对比硅具有更好的电气性能,如砷化镓等,但却没有能够形成良好的半导体-绝缘体界面,因而不适用于制造金属氧化物半导体场效应晶体管。而其他具有良好电学特性的半导体材料则有可能作为可靠绝缘体。为了克服由于栅极漏电流导致功耗的增加,高 k 介质代替了栅极绝缘体的二氧化硅。为提升集成度,越来越多的晶体管被封装而成为面积更小的芯片。集成度的增加导致了更多的晶体管在工作时同时发热,因此过热问题是集成电路中需要考虑的一个主要问题。基于金属氧化物半导体场效应晶体管的 CMOS 集成电路,由于理想情况下几乎没有电流流动,除了逻辑门的输入状态被切换以外,在静态工作状态下并不产生太多的功耗。CMOS 集成电路对每一个 N 型金属氧化物半导体场效应晶体管,利用一个 P 型金属氧化物半导体场效应晶体管来实现互补,并且将二者的两个栅电极和两个漏电极分别连在一起。在高电压下会令 N 型金属氧化物半导体场效应晶体管导通而使 P 型金属氧化物半导体场效应晶体管关断,在低电压下产生相反的效果。在切换时间内,由于电压从一个状态切换到另一个状态,因此两个金属氧化物半导体场效应晶体管都处于导通状态。这种安排大大降低了功耗和发热。

比起任何其他类型的硅基晶体管,微处理器的发展,强有力地推动着金属氧化物半导体场效应晶体管技术的进步。金属氧化物半导体场效应晶体管作为数字开关的一大优势是,金属氧化物半导体场效应晶体管的栅极氧化层位于栅电极和沟道之间,有效地防止了流过栅极的直流电流,进一步降低了功耗,并具有很大的输入阻抗。位于栅电极和沟道之间的绝缘氧化物有效地在一个逻辑阶段的较早期和较后期状态之间形成隔离,它允许一个单一的金属氧化物半导体场效应晶体管输出对应相当数量的金属氧化物半导体场效应晶体管输入。双极结型晶体管(BJT)则不具备这样高的扇出能力。这种隔离也使设计人员在一定程度上更容易忽略独立加载逻辑状态之间的影响,而这种影响某种程度上是由操作频率来定义的。随着频率的增加,对金属氧化物半导体场效应晶体管的输入阻抗降低。然而,在数字集成电路中金属氧化物半导体场效应晶体管的优点,并没有在所有的模拟集成电路中转化成优势。究其原因是这两种集成电路利用晶体管特性的不同特性。数字电路开关的大部分工作时间是在开关切换的区域之

外，而模拟电路则是取决于切换区域的线性响应。双极结型晶体管历来是模拟设计的选择方案，这主要是由于其在切换区域具有较高的跨导和较低的输出阻抗。然而，由于一些特定的优势，金属氧化物半导体场效应晶体管被广泛应用于许多类型的模拟电路中。与许多模拟电路的性能特点可以通过改变金属氧化物半导体场效应晶体管尺寸(长度和宽度)而进行放大或缩小相比，在大多数双极晶体管中，器件的大小对其性能的影响并不如金属氧化物半导体场效应晶体管那样显著。金属氧化物半导体场效应晶体管的理想特性为：对于栅极电流(零)和漏源电压偏移(零)也使得金属氧化物半导体场效应晶体管接近于理想的开关元件，并使开关电容模拟电路得以实现。在线性区，金属氧化物半导体场效应晶体管可用于精密电阻器，对比 BJT 它具有更高的可控性。N 型传统 MOSFET 结构如图 1.1.1 所示。

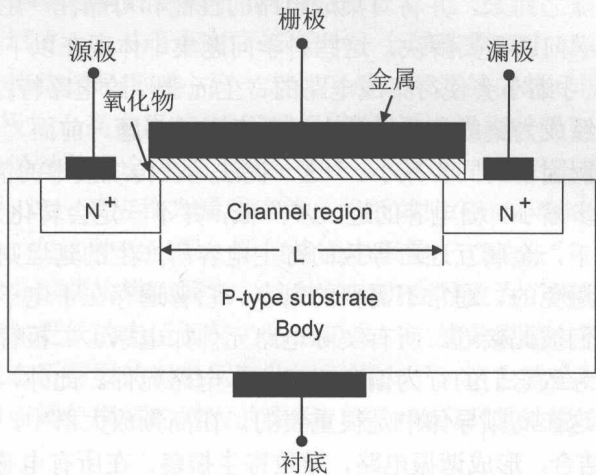


图 1.1.1 N 型传统 MOSFET 结构示意图

过热是集成电路中的一个主要问题，这是因为越来越多的晶体管被封闭成体积更小的芯片。而 CMOS 逻辑电路在静态工程条件下几乎没有电流流过(理想情况下)，因而没有功率消耗。

综合考虑，基于平面工艺在硅衬底上制造的平面金属氧化物半导体场效应晶体管几十年来一直是集成电路的核心，作为集成电路的最小核心单元结构。对于缩小集成电路单元尺寸的强烈需求，其目的是为实现高性能、低运行功率、低待机功耗和高集成度。其尺寸的不断缩小是 CMOS 集成电路技术发展的源动力，也是微电子科学与技术的发展主流。

发展更小的晶体管的主要可取原因之一是晶体管更小便允许在给定的芯片区域内封装越来越多的器件。这意味着在一个较小的区域实现相同的功能，或在芯片的同一区域内具有更多的功能。由于半导体晶片的制造成本相对固定，每个集成电路的成本主要取决于在每个晶圆上所生成的芯片的数量。因此，更小的集成电路允许在每个晶圆上制造更多的芯片，以此降低芯片的制造成本。事实上，在过去的 30 年中，每隔 2~3 年，一旦引入了一个新的技术节点，那么每个芯片上所集成的晶体管的数量便会翻一

番。例如,在一个 45nm 技术制造微处理器的晶体管的数量可以两倍于 65nm 芯片。发展更小晶体管的另一原因是希望更小的晶体管能更快地开关。例如,尺寸减小的方法之一是要求一个晶体管器件的所有的尺寸都按等比例缩小。这些尺寸主要包括沟道长度、沟道宽度和栅极氧化层厚度。当它们按相等比例缩小时,晶体管的沟道电阻并不改变,而栅极电容则会因该比例而减小。因此,晶体管的 RC 延迟会随一个类似的比例因子而同步减小。然而摩尔定律是一种人为的基于观察所总结出的规律,而并非物理或自然规律。虽然这一规律从 1975 年到 2012 年一直较为准确地预言了集成度的更新速度,然而这一规律不可能推广到无限的未来。英特尔在 2015 年表示,进步的步伐有所放缓。除了光刻等生成工艺所面临的挑战以外,导致集成度增加放缓的主要原因之一是随着单个晶体管的特征尺寸进入深亚微米级或纳米级,一些常规尺寸工艺下所不存在的负面效应随之而来,并将对集成电路的性能和可靠性产生严重影响,由此产生了一系列新的科学问题需要解决,这些科学问题集中体现在以下两个方面。

(1) 一方面,尺寸缩小会使得集成电路的寄生元器件给电路特性带来显著影响。特别是寄生电容,已经成为集成电路设计中必须考虑的问题。前面“晶体管的 RC 延迟会随一个类似的比例因子而同步减小。”这一说法是在传统技术的情况下得到的,随着晶体管尺寸的进一步缩小,栅电容的进一步降低,并不一定会转化为更高的芯片速度,因为在更小的尺寸下,金属互连所导致的寄生电容所产生的延迟则更为重要。所谓寄生电容是一个不可避免的、通常不需要的电容。它普遍存在于电子元件之间或电路的部分,只是因为它们彼此接近。所有实际电路元件如电感、二极管和晶体管等都有内部电容,这可能会导致它们的行为偏离“理想”电路元件。此外,在两个导体之间总是存在非零电容,这在高频导体中是很重要的。在高频放大器中,寄生电容与杂散电感(如元件引线)相结合,形成谐振电路,导致寄生振荡。在所有电感中,寄生电容在一定频率下与电感发生共振,使电感自谐振:这称为自谐振频率。在这个频率以上,电感实际上具有电容电抗。负载电路的电容连接到运算放大器的输出可以减小它们的带宽。寄生电容耦合引起的串扰意味着信号在集成电路内的传输过程中会被干扰,从而导致不可靠的操作。对于数字电路来说,寄生电容对传播延迟和功耗都有不容忽视的影响,对于模拟电路来说,寄生电容导致的负反馈影响了带宽增益乘积。在深亚微米范围,外部寄生电容的影响,如多晶硅接触耦合、角边缘场电容等比内部寄生电容更大。对于 65nm 工艺,寄生电容可以使环振荡器延迟超过 20%。在 45nm 工艺下,影响将会更加严重。因此,对寄生电容的影响做出正确的描述和建模是极其重要的。Judith Mueller 等学者从数值模拟的角度对寄生电容对电路性能的影响进行了分析并建立了模型^[2-7]。然而,对于电路设计者来说,一个精确的解析模型能从物理角度和结构角度预估寄生电容的大小,这是很方便的。Suzuki 总结了早期的模型^[8-12],通过使用共形映射的方法,在没有考虑源漏接触孔洞的金属电极与栅极影响的情况下^[13],他建立了寄生电容的系统模型。之后,Mohaparea 对源漏接触与栅极之间的寄生电容进行了建模^[14]。他采用了 Suzuki 的方法来计算侧壁电容,除了之前定义过的栅极顶部电容成分之外,他还定义了栅极侧壁与源漏电极之间的寄生电容并建模。然后,由于 Mohapatra 的模型是采用了与 Suzuki 完全相同的共形映射,导致模型结果与模型存在误差,因此不得

不使用修正因子来对模型进行修正。近年来,学术界也有一些采用共形映射方法对侧壁双栅极晶体管的寄生电容进行建模的文章^[15-16],还考虑了金属互连的影响^[17]。这些文献都证明了共形映射这种方法在对寄生电容进行建模时是有效的。

(2) 另一方面,集成电路尺寸缩小也对单元器件——晶体管的自身性能产生严重影响。随着尺寸的减小,平面晶体管越来越受到不希望发生的短沟道效应的影响,其关不掉的“关态”漏电流,大量增加了晶体管闲置时的功耗。这些负面效应在深亚微米级(小于100nm)已经较为凸显,而当传统的单栅晶体管器件沟道长度减小至30nm以下时,所引发的短沟道效应对其工作性能会产生更严重的影响^[1]。所谓短沟道效应,是指由于器件的物理栅极长度过短会导致对源漏区,对器件栅极下方的沟道区电势分别造成严重影响,从而引发诸如亚阈值斜率下降、阈值电压漂移、漏极沟道势垒降低等一系列对器件工作稳定性有严重影响的负面效应^[1]。这是导致上述漏电流在“关态”下关不掉的主要原因之一。由于尺寸不断缩小,会导致原来大尺寸下的缓变沟道的近似理论不再成立,当沟道长度减小到一定程度后,源漏结的耗尽区在整个沟道中所占的比重增大,当漏极加上高电压时,由于栅极很短,源电极同时受到漏电极电场的影响,在此电场影响下,源结势垒会降低,且漏极耗尽层扩展,甚至跟源结的耗尽区相连,致使器件难以关断。这一效应称为漏感应势垒降低效应(Drain-Induced-Barrier-Lowering Effect),也就是说,在这种效应下,即使将栅电极置于“关态”,沟道电势也会因受漏电极的影响,部分形成沟道而漏电。这种效应也会导致为了将器件关断到理想的状态,栅电极需要施加更低的电压而努力形成势垒,也就是说栅电极控制器件在从关断状态切换到开启状态所需要的栅电压变化区间增大了,这也就是导致压阈值区域栅电压的摆幅增大,即亚阈值摆幅的增大的原因。这种效应严重地影响了纳米级晶体管的开关特性。

为了解决尺寸缩小带来的诸多问题,基于SOI技术或半导体硅结构CMOS技术的多栅结构器件,如双栅(DG)FinFET、叠栅FinFET或围栅(SG)结构,已被视为下一代逻辑与存储单元的候选者。一个多栅极器件,或称多栅场效应晶体管(MuGFET),指的是在一个晶体管包含一个以上的栅结构^[18]。多个栅结构可以由单个栅电极控制,其中多个栅极表面作为单栅极或独立栅电极电性作用。采用独立的栅极电极的多栅极器件有时称为多个独立的栅极场效应晶体管(Multiple-Independent-Gate Field-Effect Transistor, MIGFET)。多栅晶体管是为延续摩尔定律,由CMOS半导体厂商开发出的更小的微处理器和记忆存储单元的几种策略之一。

AMD、日立、IBM、英飞凌、Intel、台积电、飞思卡尔等公司,以及UC Berkeley已经分别报告了其开发多栅晶体管所作出的努力。根据Intel、IBM、UC Berkeley以及国际半导体技术发展蓝图等权威组织所发表的报告,基于多栅结构的晶体管器件将逐步取代单栅晶体管而成为亚32nm技术发展的基石^[19]。而基于多栅结构的晶体管器件,因其栅电极在多个方向上对沟道区域的电势加以控制,使得沟道区域的自由电荷更容易被全部耗尽,因而可以极好地控制源/漏电场向沟道区的穿透,从而有效抑制了由于栅极长度减小所带来的短沟道效应,因此具有更优越的工作特性^[20, 21]。多栅场效应晶体管广泛实施的主要障碍是其制造工艺,它对平面和非平面的设计提出了重大挑战,

尤其是对图样光刻工艺的挑战更为突出。其他相关的策略包括沟道应变工程、基于绝缘体上硅的技术工程和金属栅/高 k 栅介质材料工程技术等。多栅结构从增强栅极对器件沟道控制能力的角度来实现对极小尺寸器件特性的改善。传统的晶体管是利用单个平面栅极的控制来实现器件的开关。以 N 型器件为例,当栅极为负电压时,单栅极将排斥沟道中的电子并吸引空穴,形成多子积累,此时器件处于关断状态;当栅极电压逐渐由负变正时,电子不断被吸引至栅极氧化物和沟道的接触面附近,并形成电子沟道,此时器件开启。若在金属氧化物半导体场效应晶体管中采用多栅结构,则相当于增加了单个器件中的栅极个数,提高了栅极的控制能力,能够抑制短沟道效应及反向泄漏电流,降低器件功耗并增强了器件开启时的驱动电流。较早提出的多栅场效应晶体管是平面双栅晶体管,其可采用传统的平面(逐层)制造工艺来制造双栅器件,避免与非平面、垂直晶体管结构相关的更严格的光刻要求^[22]。在平面双栅晶体管中,从漏极至源极所形成的沟道是夹在两个独立制造的栅/栅氧化物堆栈层之间的。制造这种结构的主要挑战是要在上下栅之间实现可靠的自对准。

目前,常见多栅结构包括双栅结构(Double-Gate)、三栅结构(或称为鳍式场效晶体管结构, Triple-Gate 或 FinFET)以及围栅结构(Cylindrical-Gate 或 Gate-All-Around)。图 1.1.2 所示为常见多栅结构器件的结构示意图。其中术语 FinFET(鳍式场效晶体管)是由加利福尼亚大学教授 Chenming Hu, Tsu-Jae King-Liu 和 Jeffrey Bokor 发明的。用来描述一个制造在 SOI 衬底上的非平面双栅晶体管^[23]。鳍式场效晶体管结构是基于早期的 DELTA(单栅)晶体管设计的^[24-26]。FinFET 的显著特征是其导电沟道由一个薄的硅“翅片”包裹着,这一薄硅形成器件的“体”部分。翅片的长度(沿着从源到漏的方向)决定了器件的有效沟道长度。三面环绕的栅极结构提供了相对于普通平面单栅晶体管而言更好的电气控制沟道,从而有助于减小漏电流和克服其他短沟道效应。目前使用的术语 FinFET 具有不精确的定义。在微处理器制造商当中,AMD、IBM 和飞思卡尔认为它们努力研发的双栅为 FinFET,而 Intel 则避免采用与之相关的术语,而采用三栅结构来描述与之密切相关的结构。

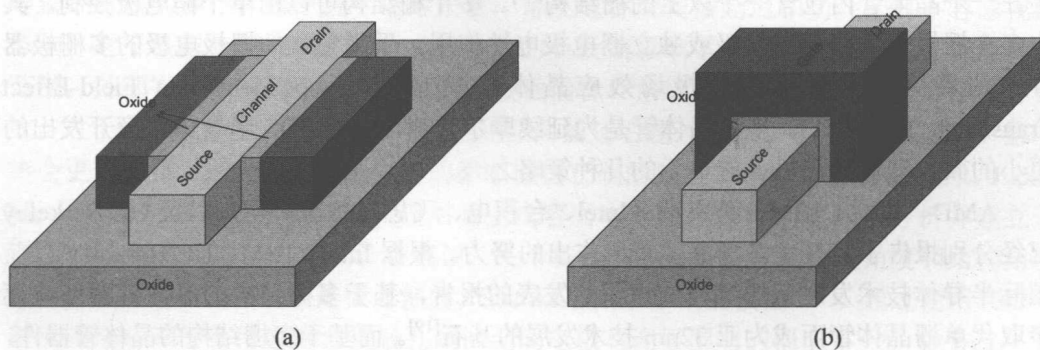


图 1.1.2 常见多栅结构器件的结构示意图

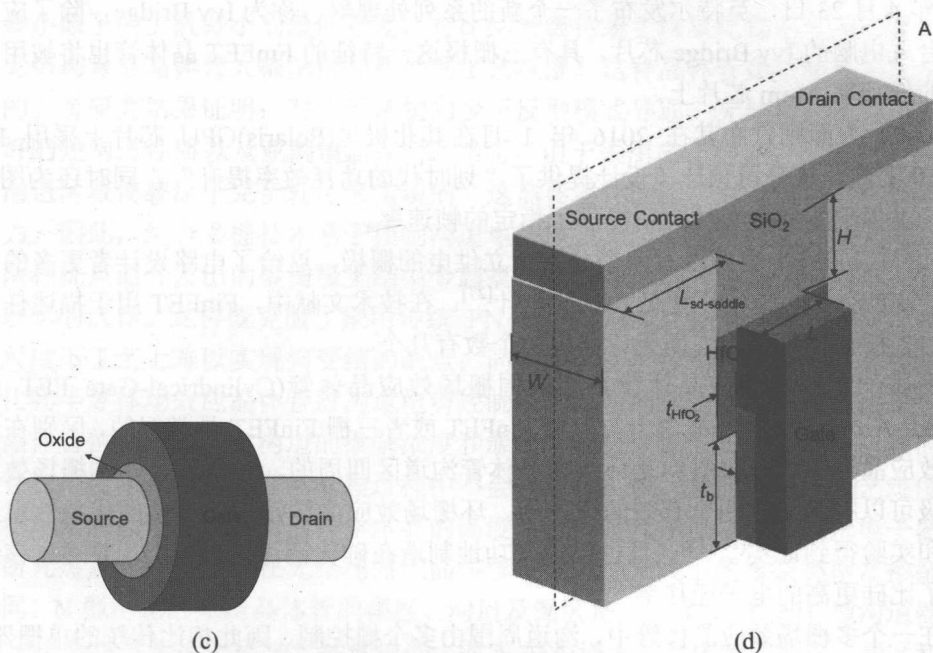


图 1.1.2 常见多栅结构器件的结构示意图(续)

- (a) 双栅器件结构示意图; (b) 立体栅器件结构示意图;
(c) 环形栅器件结构示意图; (d) 马鞍栅器件结构示意图

台积电公司(TSMC)早在 2002 年就展示了一个工作电压仅为 0.7V 的尺寸为 25nm 的晶体管。由于其与希腊字母 Ω 之间的相似性和其栅极沿着从源极至漏极的环绕结构,因此该设计被命名为 Omega FinFET。该结构对于 N 型晶体管和 P 型晶体管分别仅有 0.39ps 级栅延迟和 0.88ps 级的栅延迟。2012 年 9 月, Globalfoundries 公司宣布计划在 2014 年提供采用 FinFET 立体晶体管的 14nm 工艺技术。同年 10 月, 其公司的竞争对手台积电公布将于 2013 年 11 月开始生产 16nm 的 FinFETs。2014 年 3 月, 台积电宣布它已接近实施基于 16nm FinFET 结构的多晶片制造工艺。

英特尔自 2002 年起就一直致力于它的三栅结构, 但直到 2011 年才解决批量生产问题, 并从 2012 年开始采用 FinFET 技术制造芯片。英特尔的 FinFET 器件有一个不寻常的三角形而不是矩形, 这可能是因为三角形具有较高的结构强度, 因此可以更加可靠地实施生成制造工艺。采用三角形的原因也可能是因为对比于直角棱, 三角棱具有较高的面积体积比直角棱镜, 从而提高开关性能。这些晶体管在两个垂直栅极的顶部采用了一个单一的栅极堆叠, 实现了三倍于顶部表面积的电子传输。英特尔报告说, 它们的三栅晶体管的泄漏电流和功耗远远小于当前的非多栅晶体管。这意味着对比其之前的平面技术, 允许高达 37% 以上的速度提升和 50% 以上的功耗降低。英特尔解释说: “当晶体管在‘开’的状态, 栅极额外的控制作用使得尽可能多的电流流动产生, 并在‘关断’状态下使得电流流动尽可能接近零, 并可以使晶体管在两种状态之间的切换非常快。” 英特尔表示, 在代号为 Sandy Bridge 之后的所有产品均会采用这个设计。

2012年4月23日,英特尔发布了一个新的系列处理器,称为 Ivy Bridge,除了应用于桌面台式电脑的 Ivy Bridge 芯片,具有三栅极这一特征的 FinFET 晶体管也将被用在英特尔的低功率 Atom 芯片上。

AMD 方面则宣布其在 2016 年 1 月在其北极星(Polaris)GPU 芯片上采用 14nm FinFET 工艺。该公司预计该设计提供了“划时代的功耗效率提升”,同时还为图形、游戏、虚拟现实和多媒体应用提供了稳定的帧速率。

此外,FinFET 也可以有两个分别独立供电的栅极,这给了电路设计者更多的灵活性和更高的效率,以实现更低功耗的设计^[27]。在技术文献中,FinFET 用于描述任何基于鳍的多栅晶体管结构,而无论栅极的个数有几个。

同属于多栅场效应晶体管家族的围栅场效应晶体管(Cylindrical-Gate FET 或者 Gate-All-Around FET)在概念上与双栅 FinFET 或者三栅 FinFET 是类似的,区别在于围栅场效应晶体管的栅极材料是环绕在晶体管沟道区四周的。根据设计,围栅场效应晶体管极可以有两个或四个有效的栅电极。环栅场效应晶体管工作特性的优越性已通过理论和实验得到证实^[28, 29],且也已经成功地制造在砷化镓纳米线上,并通过该结构获取了比硅更高的电子迁移率^[30]。

在一个多栅场效应晶体管中,沟道周围由多个栅控制,因此相比传统的单栅器件,多栅场效应晶体管提供了一个更好的电气控制,允许更有效地抑制“关闭状态”下的泄漏电流。由于多栅具有更强的控制沟道电势的能力,因此也允许在“开启”的状态下实现驱动电流的增强。由于较高的固有增益和较低的沟道长度调制,多栅晶体管还提供了一个更好的模拟性能^[31]。上述这些优势转化为较低的功耗并提高器件的性能。同时,基于非平面的器件结构也比传统平面晶体管更紧凑,因此有利于集成度的进一步提升。

为从物理层面解释多栅结构器件的工作特性,基于器件物理学的分析模型是非常必要的。目前对双栅极晶体管的建模研究已广泛开展。一维不掺杂的长通道双栅极结构晶体管模型不断被研究和发展^[32-37]。根据实际需要,双栅结构的体硅掺杂也越来越多地出现。因此,需要开发 DG 器件各区域各状态下运行都适用的新的全域电流模型,同时覆盖从本征硅到重掺杂的所有掺杂情况。不幸的是,目前为止,并没有这种情况下的解析解。虽然已经开发了一个封闭形式的模型^[38],然而这种模式需要一个拟合参数来满足经验表达式。在一般情况下,在体硅掺杂时,很难推导出 DG 器件的沟道电势分布,而开发电流模型必须要求出沟道的电势分布。

同时,由尺寸减小所带来的另一个问题是:短沟道器件需要极陡的源极和漏极结的形成,这使得在几个纳米的距离内要实现多个数量级的浓度差,这样的浓度梯度对于掺杂和热处理工艺有极高的要求。解决此问题的一种比较有效的方法是采用无源/漏 PN 结的场效应晶体管(Junctionless FETs)来代替传统有源/漏 PN 结型的晶体管。无结场效应晶体管最初是爱尔兰廷德尔研究所的 Jean-Pierre 教授所研发出的是一个基于纳米线晶体管,没有栅极的交界处^[39]。无结型多栅晶体管是一种较为新型的器件结构。相对于传统晶体管,由于无结场效应晶体管沟道的掺杂浓度和源极、漏极区域的掺杂类型是一致的,所以不存在浓度梯度,因此在热处理过程中不会发生热扩散,这样可

以把掺杂原子的扩散减小到最低程度,对比纳米级传统金属氧化物半导体场效应晶体管,无结场效应晶体管大幅降低了热处理工艺难度。这种晶体管是采用多子积累模式导通的。有研究结果证明:对比于常规的少子反型模式导通,无结型场效应晶体管具有更好的短沟道性质以及亚阈值斜率^[5]。然而,由于采用多子导通,器件的阻断是通过在沟道区域使载流子完全耗尽来实现的,这需要器件的栅极对沟道电势有很强的控制能力。因此,结合多栅技术易于控制沟道电势以及无结型场效应晶体管无须浓度梯度这两种优点而开发出的多栅极无结型金属氧化物半导体场效应晶体管器件,是一种较为理想的选择。这样既克服了采用传统 PN 结型金属氧化物半导体场效应晶体管在纳米尺度下工艺上难以实现突变结的缺点;同时也弥补了短沟道情况下,平板结构金属氧化物半导体场效应晶体管对沟道电势控制能力减弱的这一不足。正是由于无结场效应晶体管位于栅极下方沟道的掺杂浓度和源极、漏极区域的掺杂类型是一致的,所以不存在浓度梯度,因此在热处理过程中不会发生热扩散,从而降低了工艺难度,因此无结场效应晶体管受到国内外学术界的高度重视,近几年已成为深纳米电子器件领域的研究热点之一^[40-59]。在无结场效应晶体管中,硅纳米线上的掺杂类型及掺杂浓度均相同。N 型沟道的无结晶体管的源区、沟道及漏区是由一条 N^+ 掺杂(P 型沟道器件为 P^+)且无掺杂浓度梯度的硅纳米线构成的,即 N 型沟道无结晶体管的源区、漏区和沟道区均为浓度相等的 N^+ 掺杂。由于缺少了源、漏区与沟道区接触处的半导体结,因此器件中不会出现掺杂的波动,使得无结型场效应晶体管可以制作出与传统 MOSFET 相比更短的沟道,并且避免了昂贵的极速退火工艺。同时也能够抑制短沟道效应以及因表面散射而引起载流子迁移率降低等问题。传统的金属氧化物半导体场效应晶体管 MOSFET 的结构为 N^+-P-N^+ 形式(N 型器件)或 P^+-N-P^+ 形式(P 型器件)。图 1.1.1 所示为 N 型传统金属氧化物半导体场效应晶体管 MOSFET 结构示意图。对于 N 型传统金属氧化物半导体场效应晶体管 MOSFET,当器件的栅电极不施加适当栅电压时,器件的 N^+ 掺杂的源、漏区域由 P 掺杂的硅体隔开,形成两个背靠背的 PN 结。此时,即使有一定的漏源电压作用,除了极小一部分的 PN 结反偏泄漏电流外,也没有漏源电流通过,器件处于关断状态。当器件工作时,对器件栅极施加适当电压,使栅极下方的衬底反型,从而形成反型层沟道。在源漏电压的作用下,载流子通过沟道流向漏区,形成电流。然而,无结场效应晶体管的工作原理较传统的金属氧化物半导体场效应晶体管 MOSFET 原理相比有所不同。

在无结型场效应晶体管中,利用栅电极与硅纳米线之间的功函数不同,可以将栅电极下方的几纳米厚的硅纳米线中的载流子耗尽,实现器件的关断。以 N 型器件为例,图 1.1.3 所示为 N 型无结型场效应晶体管中电子分布示意图。如图 1.1.3(a)所示,为 N 型无结场效应晶体管的亚阈值区。在这一区域中,器件栅极电压小于阈值电压($V_g < V_{th}$),N 型重掺杂的沟道被全耗尽,沟道中几乎没有可移动的电子,因此可以承受较大的电场。随着栅电极上所施加的电压的增加,沟道内的电场逐渐降低。当栅极电压达到阈值电压时($V_g = V_{th}$),沟道中间出一条线型的中性区,将器件的漏区和源区连接起来,如图 1.1.3(b)所示。此时,若对器件施加一定的漏源电压,则在器件的沟道

中有少量电流开始从沟道中间流过。器件的栅极电压继续增加，电子不断被吸引至沟道，使沟道中的耗尽宽度减小。当栅极电压达到平带电压值($V_g = V_{fb} \gg V_{th}$)时，硅纳米线的沟道区域完全变为中性，此时的无结型场效应晶体管的沟道区域可以看作一个简单的电阻，其沟道情况如图 1.1.3(c)所示。之后，继续增加器件的栅极电压，沟道表面开始有负电荷堆积，如图 1.1.3(d)所示。

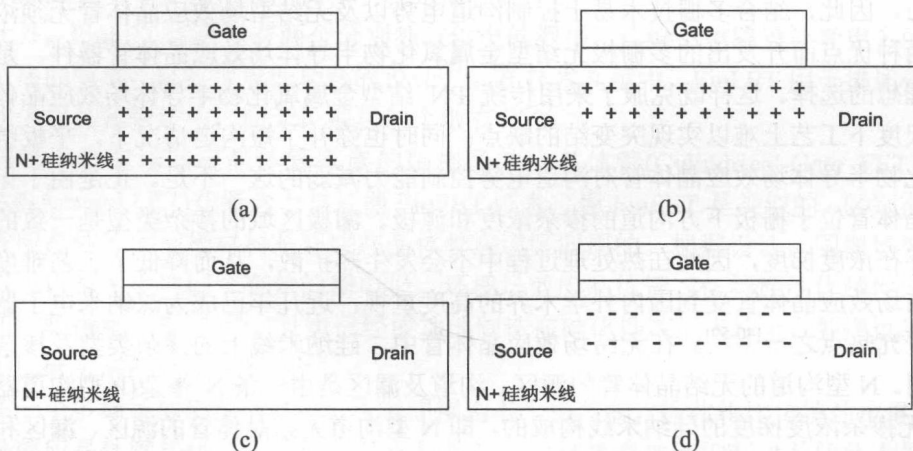


图 1.1.3 N 型无结型场效应晶体管中电子分布示意图

综上，无结型的多栅金属氧化物半导体场效应晶体管器件，在纳米级短沟道条件下，对比于单栅平面结构的金属氧化物半导体场效应晶体管器件具有更好的工作特性，并且它解决了普通多栅器件实际工艺中陡峭的突变 PN 结难以形成的问题。但目前对其工作机理的研究还存在多个技术性难题。建立完善的无结型多栅结构理论体系，特别是深入研究短沟道效应的影响，不但有助于对器件工作的深层次问题进行讨论，同时也能对器件潜在的问题进行分析和判断。更为重要的是，通过系统地对其工作机理进行研究，可以得出适合于指导纳米级短沟道无结型多栅金属氧化物半导体场效应晶体管生产实践的优化设计方案，对于更为新型的次世代纳米级器件的设计开发也具有指导性意义。目前，针对无结型多栅金属氧化物半导体场效应晶体管器件工作机理的研究，已经成为当今国内外研究的热点。本书正是针对当前几个急待解决的关键性技术难题进行深入研究，因此，本书的研究成果对于完善纳米级短沟道无结型多栅金属氧化物半导体场效应晶体管器件的科学理论体系具有重要意义。

由于在栅极结构的设计上，无结型和有结型是相同的，因此对无结型多栅结构工作机理的研究，是可以建立在对普通有结型多栅金属氧化物半导体场效应晶体管器件工作机理的研究基础之上的。深入了解国内外对有结型多栅金属氧化物半导体场效应晶体管器件的研究现状和发展动态，对无结型多栅结构的研究会起到事半功倍的作用。无结晶体管和普通反型模式金属氧化物半导体场效应晶体管的主要区别是体掺杂浓度的类型。无结晶体管的体掺杂浓度与源极、漏极两端采用相同的掺杂类型，其中 N 型无结晶体管的体掺杂浓度为 N 类型，P 型无结晶体管的体掺杂浓度为 P 类型，这是和普通金属氧化物半导体场效应晶体管相反的，也是和普通金属氧化物半导体场效应